

特徴

高性能、低消費 AVR[®] 8ビットマイクロコントローラ
進化した RISC 構造

- 強力な 123 命令 (多くは 1 サイクル実行)
- 32 個の 16 ビット長汎用レジスタ
- 完全なステイック動作

高耐久不揮発性メモリ

- 実装自己書き換え可能な 4K/8K バイト (2K/4K 語) フラッシュメモリ内蔵
- 64/64 バイトの EEPROM
- 256/512 バイトの内蔵 SRAM
- 書き換え回数: 10,000/フラッシュ, 100,000/EEPROM
- データ保持力: 20 年 / 85 °C, 100 年 / 25 °C
- 自己プログラミング フラッシュと EEPROM データ保護用の設定可能なロック機能

内蔵周辺機能

- 独立した前置分周器と比較機能付き 1 つの 8 ビットタイマ/カウンタ
- 独立した前置分周器、比較、捕獲機能付き 1 つの 16 ビットタイマ/カウンタ
- 6 チャンネル (PD P, QFN/MLF28), 8 チャンネル (TQFP, QFN/MLF32) の 10 ビット A/D 変換器
- 主装置/従装置動作 SP 直列インターフェース
- 16 ビット対応 2 線直列インターフェース (Philips PC 互換)
- 設定可能な専用発振器付きウォッチドッグタイマ
- アナログ比較器
- ピン変化での割り込みと起動復帰

特殊マイクロコントローラ機能

- データフラッシュメモリ内蔵データフラッシュシステム
- SP 経路の経路の実装書き込み (ISP)
- 電源 ON リセット回路と設定可能な低電圧検出器 (BOD)
- 校正可能な内蔵発振器
- 外部及び内部の割り込み
- アイドル、A/D 雑音低減、パワーダウンの 3 つの低消費動作

I/O と外圍器

- 28 ピット (32 ピット外圍器), 24 ピット (28 ピット外圍器) の設定可能な I/O
- 28 ピット PD P, 28 ピット QFN/MLF, 32 ピット TQFP, 32 ピット QFN/MLF

動作電圧

- 1.8 ~ 5.5V

動作温度

- 40 ~ 85 °C

動作速度

- 0 ~ 4MHz/1.8 ~ 5.5V
- 0 ~ 8MHz/2.7 ~ 5.5V
- 0 ~ 12MHz/4.5 ~ 5.5V

代表消費電力

- 240µA (標準動作、1MHz, 1.8V)
- 0.1µA (パワーダウン動作)

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL 社とは無関係であることを御承知ください。しおりのはじめに 1 の内容にご注意ください。



8ビット AVR[®]

マイクロコントローラ

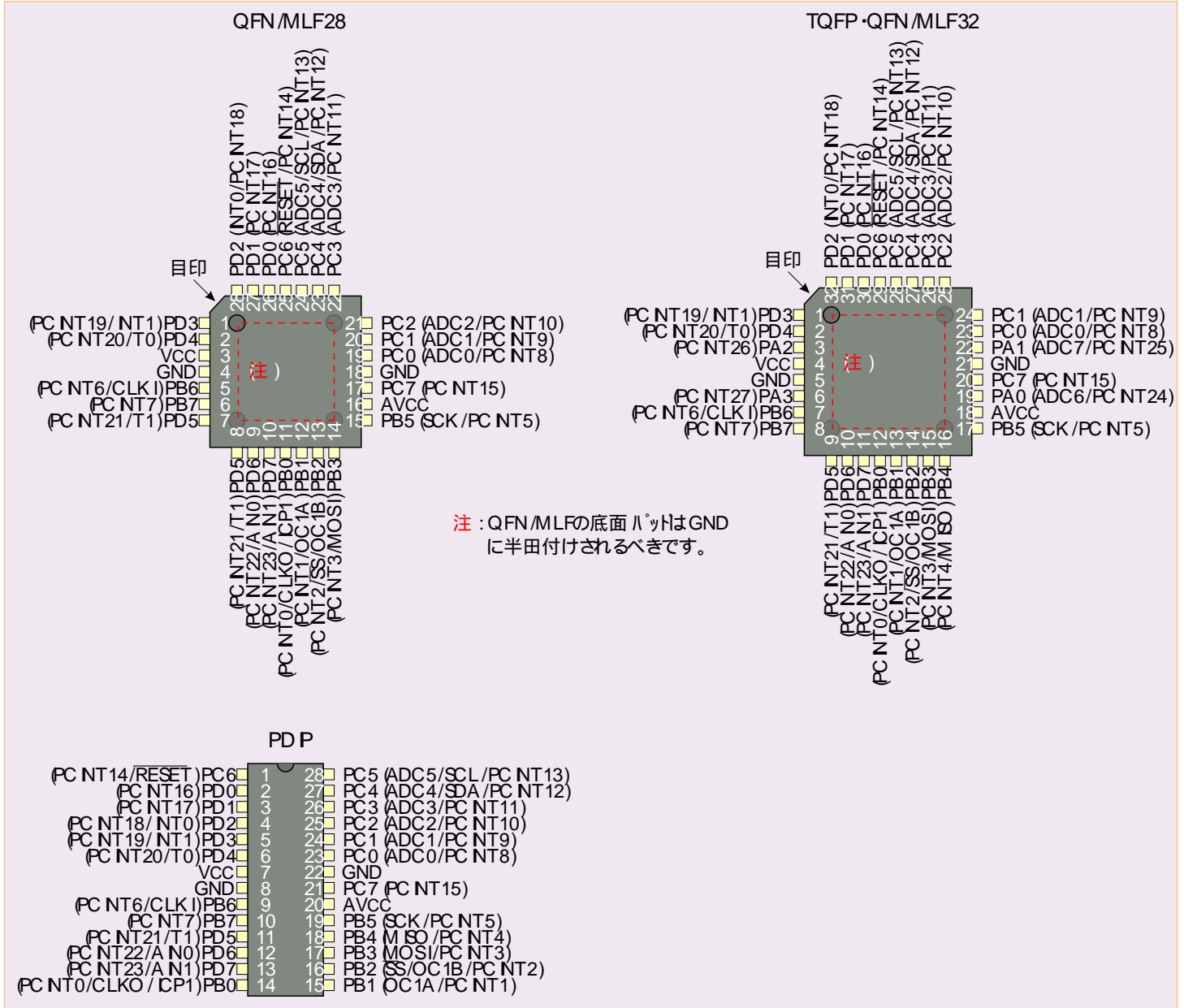
実装書き換え可能な
4/8K バイト
フラッシュメモリ内蔵

ATtiny48

ATtiny88

暫定

1. ピン配置



1.1. ピン概要

1.1.1. VCC

デジタル電源ピン。

1.1.2. GND

グランドピン。

1.1.3. PA3~ PA0

(ポートA)

(32ピン外周器のみ)

ポートAは32ピンTQFPと32ピンQFN/MLF外周器に於けるピン毎に選択される内蔵プルアップ抵抗付きの4ビットの双方向入出力ポートです。PA3~ 0出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力としてプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートAピンにはソース電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートAピンはHi-Zになります。

1.1.4. PB7~ PB0

(ポートB)

ポートBはピン毎に選択される内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力としてプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンにはソース電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートBピンはHi-Zになります。

クロック選択ヒューズ設定に依存し、PB6は内部クロック操作回路の入力として使用できます。

ポートBの各特殊機能は4頁の「ポートBの兼用機能」と1頁の「システムクロックとクロック選択」で詳しく述べられます。

1.1.5. PC7/PC5~ PC0

(ポートC)

ポートCはピン毎に選択される内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。PC7とPC5~ 0出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力としてプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンにはソース電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートCピンはHi-Zになります。

1.1.6. PC6/RESET

RSTDISBLヒューズがプログラム(0)されると、PC6はI/Oピンとして使用されます。PC6の電気的特性がポートCの他のピンのそれらと異なることに注意してください。

RSTDISBLヒューズが非プログラム(1)の場合、PC6はリセット入力として使用されます。クロックが動作していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は13頁の表21-3で与えられます。より短いパルスはリセットの生成が保証されません。

ポートCの各特殊機能は45頁の「ポートCの兼用機能」で詳しく述べられます。

1.1.7. PD7~ PD0

(ポートD)

ポートDはピン毎に選択される内蔵プルアップ抵抗付きの8ビットの双方向入出力ポートです。PD7~ 4出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性で、一方PD3~ 0出力緩衝部はより強い吸い込み能力を持ちます。入力としてプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートDピンにはソース電流が流れます。リセット条件が有効になると、クロックが動作していなくても、ポートDピンはHi-Zになります。

ポートDの各特殊機能は4頁の「ポートDの兼用機能」で詳しく述べられます。

1.1.8. AVCC

AVCCは分離I/OピンとA/D変換器用供給電圧電源ピンです。例えばA/D変換が使用されなくても、このピンは外部的にVCCへ接続されるべきです。A/D変換が使用される場合、11頁の「アナログ雑音低減技術」で記述されるように、このピンは低域通過濾波器を通してVCCへ接続されることが推奨されます。

PC7/PC5~ 0と(32ピン外周器での)PA1~ 0ピンはそれらの供給電圧をAVCCから受けます。他の全てのI/Oピンはそれらの供給電圧をVCCから取り入れます。

本デバイスはATMELの高密度不揮発性メモリ技術を使用して製造されています。内蔵の実装書き換え (ISP可能なプログラム用フラッシュメモリ)は規定の不揮発性メモリ書き込み器、SP直列インターフェース経由、AVRコア上ブートプログラムの実行によって再書き込みができます。ブートプログラムはフラッシュメモリ内の応用プログラムの読み込みにどのインターフェースでも使用できます。モリシックチップ上の自己実装書き換え可能なフラッシュメモリと、8ビットRISC型CPUの組み合わせによるATMEL ATtiny48/88は多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATtiny48/88 AVRはCコンパイラ、マクロアセンブラ、デバッガ、シミュレータ、評価キットを含む専用のプログラム及びシステム開発ツールで支援されます。

2.2. ATtiny48とATtiny88間の違い

ATtiny48とATtiny88はメモリ容量だけが異なります。表 2-1は2つのデバイスに

表 2-1. メモリ容量対比表

デバイス名	フラッシュメモリ	EEPROM	SRAM
ATtiny48	4Kバイト	64バイト	256バイト
ATtiny88	8Kバイト	64バイト	512バイト

3. 付加情報

3.1. 資料

包括的なデータシート、応用記述、開発ツール群は <http://www.atmel.com/av>でのダウンロードで利用可能です。

3.2. コード例について

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブラまたはコンパイラに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

拡張 I/O領域に配置した I/Oレジスタに対し、**N**, **OUT**, **SBIS**, **SBIC**, **CBI**, **SB**命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には**SBRS**, **SBRC**, **SBR**, **CBR**命令と組み合わせた**LDS**, **STS**命令です。

3.3. テンタ保持力

信頼性証明結果はテンタ保持誤り率の反映を示し、20年以上 /85 または 100年以上 /25 で 1PPMよりずっと小さな値です。

3.4. お断り

本データシート内で示された代表値はシミュレーションと同じ製法技術で製造された他のAVRマイクロコントローラの特性に基いています。MinとMax値はデバイスの特性が記載された後に利用可能になります。

4. AVR CPU コア

4.1. 序説

ここでは一般的なAVRコア構造について説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

4.2. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバート構造を使用します。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロックサイクルで命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロックサイクルアクセスの32個の8ビット長汎用レジスタを含みます。これは1クロックサイクルALU (Arithmetic Logic Unit) 操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロックサイクル内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポイント用レジスタとして使用されます。これらアドレスポイントの1つはプログラム用フラッシュメモリ内の定数テーブル参照用アドレスポイントとしても使用できます。これら16ビット長付加機能レジスタはX、Y、Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。殆どのAVR命令は16ビット語(ワード)形式ですが、32ビット命令もあります。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者プログラムは8ビット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

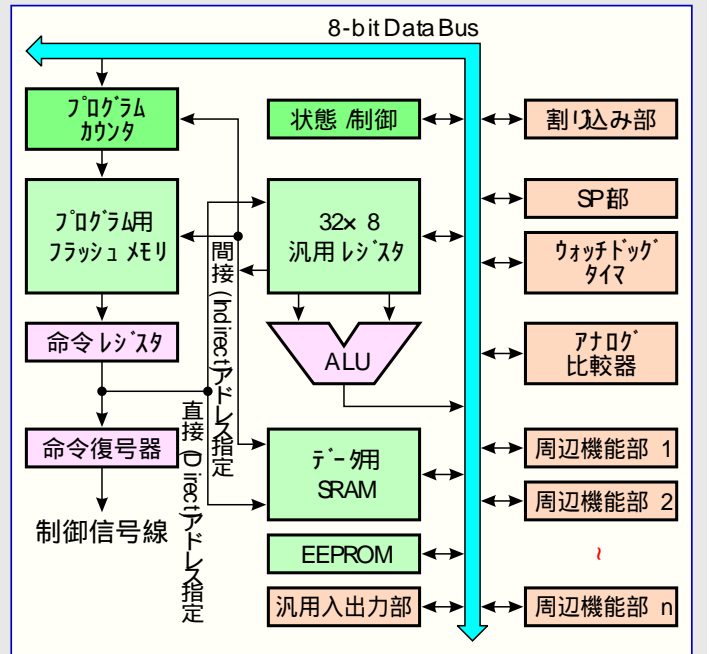
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(1)ビットがあります。全ての割り込みは割り込みベクタテーブルに個別の割り込みベクタを持ちます。割り込みには割り込みベクタテーブルの位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタ、SPI、他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。加えてATtiny48/88にはST/STS/STDとLD/LDS/LDD命令だけ使用できるSRAM内の\$60~\$FFに拡張I/O空間があります。

4.3. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタとの直結で動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロックサイクル内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装製品があります。詳細記述については命令一覧項をご覧ください。

図 4-1. AVR構造構成図



4.4. ステータスレジスタ (Status Register) SREG

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使用できます。ステータスレジスタは「命令セット参考書」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復（復帰）が自動的に行われません。これはソフトウェアによって扱われなければなりません。

AVRのステータスレジスタ(SREG)は次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - I: 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるためにセット(1)されなければなりません。その時に個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットがクリア(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。ビットは割り込みが起こった後にハードウェアによってクリア(0)され、後続の割り込みを許可するため、RET命令によってセット(1)されます。ビットは「命令セット参考書」で記述されるようにSEやCL命令で応用(プログラム)によってセット(1)やクリア(0)できます。

ビット6 - T: ビット変数 (Bit Copy Storage)

ビット複写命令、BLD (Bit Load) とBST (Bit Store)は操作したビットの転送元または転送先として、このTビットを使用します。レジスタファイルのレジスタからのビットはBST命令によってTに複写でき、TのビットはBLD命令によってレジスタファイルのレジスタ内のビットに複写できます。

ビット5 - H: ハーフキャリーフラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「命令一覧」記述をご覧ください。

ビット4 - S: 符号 (Sign Bit, S=N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「命令一覧」記述をご覧ください。

ビット3 - V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「命令一覧」記述をご覧ください。

ビット2 - N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果 (MSB=1)を示します。詳細情報については「命令一覧」記述をご覧ください。

ビット1 - Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「命令一覧」記述をご覧ください。

ビット0 - C: キャリーフラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(または borrow)を示します。詳細情報については「命令一覧」記述をご覧ください。

4.5. 汎用レジスタ ファイル

このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

図 4-2はCPU内の32個の汎用作業レジスタの構成を示します。

レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一サイクル命令です。

図 4-2で示されるように各レジスタはユーザーデータ空間の最初の32位置へ直接配置することで、それらはデータメモリアドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくても、X,Y,Zレジスタ(ポインタ)がレジスタファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図 4-2.AVR CPU 汎用レジスタ構成図

7	0 アドレス
R0	\$00
R1	\$01
R2	\$02
...	
R13	\$0D
R14	\$0E
R15	\$0F
R16	\$10
R17	\$11
...	
R26	\$1A
R27	\$1B
R28	\$1C
R29	\$1D
R30	\$1E
R31	\$1F

Xレジスタ	下位バイト
Yレジスタ	上位バイト
Zレジスタ	下位バイト
	上位バイト

4.5.1. Xレジスタ,Yレジスタ,Zレジスタ

R26~ R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図 4-3で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます。詳細については「命令セット参考書」をご覧ください。

図 4-3.X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

4.6. スタックポインタ (Stack Pointer) SPH SPL (SP)

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使用されます。スタックポインタレジスタは常にこのスタックの先頭(注)次に使用されるべき位置を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタックポインタを減少するという意味です。

スタックポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立って、プログラムによって定義されなければなりません。スタックポインタはRAMENDに設定されるべきです。スタックポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタックポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RETI)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタックポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使用されるビット数はそのデバイス実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	-	-	-	-	-	-	(SP9)	SP8	SPH
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	

(注補) 内蔵SRAMはATtiny48が256バイト(\$0100~ \$01FF)、ATtiny88が512バイト(\$0100~ \$02FF)です。従ってATtiny48ではSPHのSP9が利用できません。RAMENDはATtiny48が\$01FF(0000 0001 1111 1111)、ATtiny88が\$02FF(0000 0010 1111 1111)になります。

4.7. 命令実行 タイミング

本項は命令実行の一般的なアクセス タイミングの概念を記述します。AVR CPUはチップ内ハイズ用に選択したクロック元から直接的に生成したCPUクロック(clk_{CPU})によって駆動されます。内部クロック分周は使用されません。

図 4-4はハート構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック 機能対電源部に関する好結果と対応するMHzあたり1M IPSを達成するための基本的なパイプラインの概念です。

図 4-5はレジスタファイルに対する内部タイミングの概念を示します。単一クロックサイクルで2つのレジスタオペランドを使用するALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図 4-4. 命令の取得と実行の並列動作

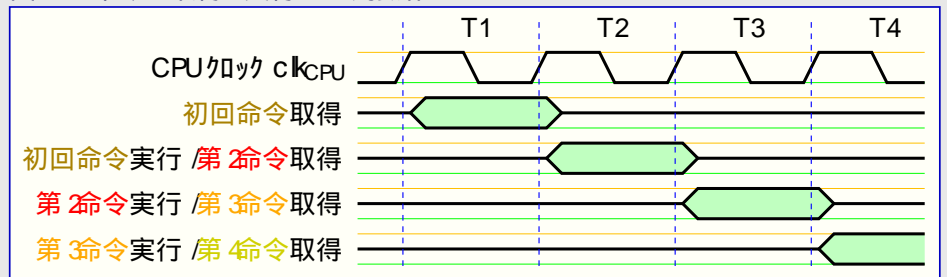
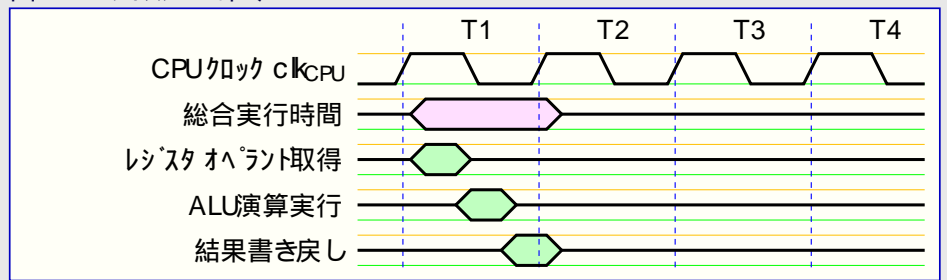


図 4-5. 1サイクルALU命令



4.8. リセット割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットと共に論理1が書かれなければならない。個別の許可ビットを割り当てられます。LB2またはLB1ロックビットがプログラム0されると、プログラムカウンタ値によっては割り込みが自動的に禁止されるかもしれません。この特質はソフトウェア保護を改善します。詳細については12頁の「メモリプログラミング」項をご覧ください。

既定でのプログラムメモリ空間の最下位アドレスはリセット割り込みベクタとして定義されます。ベクタの完全な一覧は3頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。ベクタが最高優先順位で次が外部割り込み要求0(NT0)です。より多くの情報については3頁の「割り込み」を参照してください。

割り込みが起こると全割り込み許可 (I)ビットがクリア0され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可 (I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可 (I)ビットは割り込みからの復帰 (RET)命令が実行されると自動的にセット1されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグをセット(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグをクリア0します。割り込み要求フラグはクリア0されるべきフラグのビット位置へ論理1を書くことによってクリア0できます。対応する割り込み許可ビットがクリア0されている間に割り込み条件が起こると、割り込み要求フラグがセット(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによってクリア0されるまで記憶保持されます。同様に、全割り込み許可 (I)ビットがクリア0されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグがセット(1)されて全割り込み許可 (I)ビットがセット(1)されるまで記憶され、その(H+1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し続けます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われないうことに注意してください。これはソフトウェアによって扱われなければならない。

割り込みを禁止するために **CL** 命令を使用すると、割り込みは直ちに禁止されます。**CL** 命令と同時に割り込みが起こっても、**CL** 命令後に割り込みは実行されません。次例は時間制限 EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

アセンブリ言語プログラム例

```
IN      R16, SREG      ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE    ;EEPROM主書き込み許可
SBI     EECR, EEPPE    ;EEPROM書き込み開始
OUT     SREG, R16      ;ステータスレジスタを復帰
```

C言語プログラム例

```
char cSREG;           /* ステータスレジスタ保存変数定義 */
cSREG = SREG;         /* ステータスレジスタを保存 */
__disable_interrupt(); /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);  /* EEPROM主書き込み許可 */
EECR |= (1<<EEPPE);  /* EEPROM書き込み開始 */
SREG = cSREG;         /* ステータスレジスタを復帰 */
```

割り込みを許可するために **SE** 命令を使用すると、次例で示されるようにどの保留割り込みにも先立って **SE** 命令の次の命令が実行されます。

アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;スリープ動作移行 (割り込み待ち)
```

C言語プログラム例

```
__enable_interrupt(); /* 全割り込み許可 */
__sleep();            /* スリープ動作移行 (割り込み待ち) */
```

注 : SLEEP命令までは割り込み禁止、保留割り込み実行前にスリープ動作へ移行します。

4.8.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小 4クロックサイクルです。4クロックサイクル後、実際の割り込み処理ルーチンに対する**プログラムベクタアドレス**が実行されます。この4クロックサイクル時間中にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロックサイクル **訳注** 原文は3(JMP命令=3を想定、実際はRJP命令=2)要します。複数サイクル命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUがスリープ動作の時に割り込みが起こると、割り込み実行応答時間は4クロックサイクル加増されます。この増加は選択したスリープ動作からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロックサイクル要します。これらの4クロックサイクル中、プログラムカウンタ(PC) 2バイトがスタックから取り戻され(ポップ)、スタックポインタは増加され (+2) **ステータスレジスタ(SREG)の全割り込み許可 (I)ビット**がセット(1)されます。

5. メモリ

この項はATtiny48/88の各種メモリを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。加えてこれらのデバイスにはデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

5.1. 実装書き換え可能なプログラム用フラッシュメモリ

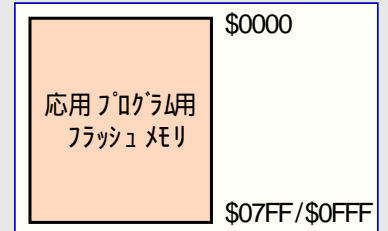
ATtiny48/88はプログラム保存用に実装書き換え可能な4/8Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは2/4K×16ビットとして構成されます。ATtiny48/88は独立したブートプログラム領域と応用プログラム領域を持たず、SPM命令はフラッシュメモリ全体で実行できます。より多くの詳細については120頁の「SPM命令制御/状態レジスタ」項の自己プログラミング許可 (SELFPRGEN) の記述をご覧ください。

フラッシュメモリは最低10,000回の消去/書き込みサイクルの耐久性があります。ATtiny48/88のプログラムカウンタ(PC)は11/12ビット幅で、従って2/4Kプログラムメモリ位置のアドレス指定です。121頁の「メモリプログラミング」はSPまたは並列プログラミング動作でのフラッシュメモリプログラミングの詳細な記述を含みます。

定数テーブルは全てのプログラムメモリアドレス空間に配置できます。(LPMとSPM命令記述参照)

命令の取得と実行のタイミング図は5頁の「命令実行タイミング」で示されます。

図 5-1. プログラムメモリ配置図



5.2. データ用SRAMメモリ

図 5-2 は ATtiny48/88 の SRAM メモリ構成方法を示します。

ATtiny48/88はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(データ空間内\$60~\$FFの拡張I/O空間に対してLD/LDS/LDDとST/STS/STD命令だけが使用できます。

下位512/768データメモリ位置はレジスタファイル、I/Oメモリ拡張I/Oメモリデータ用内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準I/Oメモリ、その次の160位置は拡張I/Oメモリ、そして次の256/512位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータメモリ空間を網羅します。レジスタファイル内のレジスタR26~R31は間接アドレス指定ポイント用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使用するとき、使用されるX,Y,Zアドレスレジスタは減少(-1)または増加(+1)されます。

ATtiny48/88の32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、256/512バイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは8頁の「汎用レジスタファイル」で記述されます。

図 5-2. データメモリ配置図

		アドレス
レジスタファイル (32×8)	R0 ~ R31	\$0000 ~ \$001F
I/Oレジスタ (64×8)	\$00 ~ \$3F	\$0020 ~ \$005F
拡張I/Oレジスタ (160×8)	\$0060 ~ \$00FF	\$0060 ~ \$00FF
内蔵SRAM (256/512×8)	\$0100 ~ \$0xFFF	\$0100 ~ \$01FF/\$02FF

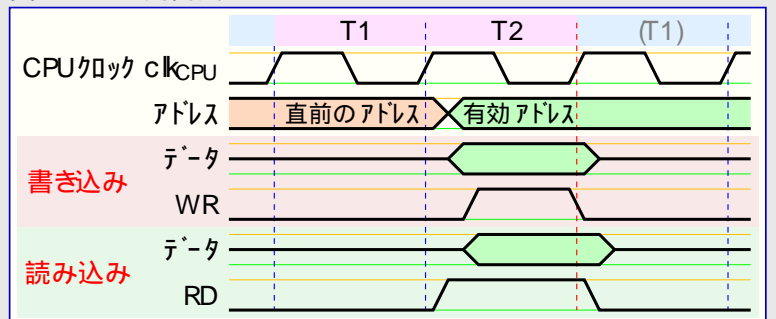
注: 赤字はI/Oアドレス

5.2.1. データメモリアクセスタイミング

本節は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-3で記載されるように2clk_{CPU}サイクルで実行されます。

訳注 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2サイクルで実行され、T1で対象アドレスを取得/算出/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図 5-3. データ用内蔵SRAMアクセスサイクル



5.3. データ用 EEPROM メモリ

ATtiny48/88は64バイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込みサイクルの耐久性があります。CPUとEEPROM間のアクセスは以降の[EEPROMアドレスレジスタ](#)、[EEPROMデータレジスタ](#)、[EEPROM制御レジスタ](#)で詳細に記述されます。

12頁の「メモリプログラミング」はSPまたは並列プログラミングの詳細な記述を含みます。

5.3.1. EEPROM アクセス

EEPROMアクセスレジスタはI/O空間に配置されます。

EEPROMの消去/書き込み **訳注** 原文はアクセス時間は表5-1で与えられます。書き込みは自己タイシング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られねばなりません。嚴重に濾波した電源では電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使用されるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については以下の「EEPROMデータ化けの防止」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細については次の「非分離バイト書き込み」と「分離バイト書き込み」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロックサイクル停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロックサイクル停止されます。

5.3.2. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くと、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMRビットが'00'ならば、(EEMPEが1を書かれた後の4サイクル内の)EEPEの書き込みは消去/書き込み動作を起動します。消去と書き込みの両サイクルは操作で行われ、総プログラミング時間は表5-1で与えられます。EEPEビットは消去と書き込み動作が完了されるまでセット(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.3. 分離バイトプログラミング

2つの異なる操作として消去と書き込みサイクルを分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

5.3.4. 消去

バイトを消去するにはアドレスがEEARに書かれなければなりません。EEPMRビットが'01'なら、(EEMPEが1を書かれた後の4サイクル内の)EEPEの書き込みは消去動作だけを起動します(プログラミング時間は表5-1で与えられます)。EEPEビットは消去動作が完了されるまでセット(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.5. 書き込み

特定位置を書くため、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMRビットが'10'なら、(EEMPEが1を書かれた後の4サイクル内の)EEPEの書き込みは書き込み動作だけを起動します(プログラミング時間は表5-1で与えられます)。EEPEビットは書き込み動作が完了されるまでセット(1)に留まります。書かれるべき位置が書き込み前に消去されてしまっていなければ、元の格納データは失ったとみなされなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

EEPROMアクセスの時間に校正済み内蔵発振器が使用されます。発振器周波数が20頁の[発振校正レジスタ\(OSCCAL\)](#)で記述した必要条件内であることを確かめてください。

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は例えば全割り込み禁止によって割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はソフトウェア内にフラッシュブートローダが無い前提でもあります。そのようなコードが存在する場合、EEPROM書き込み関数は何れかが実行するSPM命令の完了も待たねばなりません。 **訳注** 共通性から次例は補足修正しています。)

アセンブリ言語 プログラム例

```
EEPROM_WR:  SBIC    EECR,EEPE          ;EEPROMプログラミング完了ならばスキップ
             R JMP   EEPROM_WR       ;以前のEEPROMプログラミング完了まで待機
;
             LDI    R18,(0<<EEPMM1)|(0<<EEPMD0) ;プログラミング種別値取得 本例は非分離)
             OUT    EECR,R18         ;対応プログラミング種別設定
             OUT    EEARL,R17        ;EEPROMアドレス(下位)ハイ設定
             OUT    EEDR,R16        ;EEPROM書き込み値を設定
             SBI    EECR,EEPMPE      ;EEPROM主プログラミング許可ビット設定
             SBI    EECR,EEPE        ;EEPROMプログラミング開始 (プログラミング許可ビット設定)
             RET                      ;呼び出し元へ復帰
```

C言語 プログラム例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while((EECR & (1<<EEPE)));          /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEPMM1)|(0<<EEPMD0);    /* 対応プログラミング種別設定 */
    EEAR = uiAddress;                  /* EEPROMアドレス設定 */
    EEDR = ucData;                    /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEPMPE);              /* EEPROM主プログラミング許可 */
    EECR |= (1<<EEPE);                /* EEPROMプログラミング開始 */
}
```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語 プログラム例

```
EEPROM_RD:  SBIC    EECR,EEPE          ;EEPROMプログラミング完了ならばスキップ
             R JMP   EEPROM_RD       ;以前のEEPROMプログラミング完了まで待機
;
             OUT    EEARL,R17        ;EEPROMアドレス(下位)ハイ設定
             SBI    EECR,EEERE      ;EEPROM読み出し開始 読み込み許可ビット設定)
             IN     R16,EEDR         ;EEPROM読み出し値を取得
             RET                      ;呼び出し元へ復帰
```

C言語 プログラム例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while((EECR & (1<<EEPE)));          /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = uiAddress;                  /* EEPROMアドレス設定 */
    EECR |= (1<<EEERE);              /* EEPROM読み出し開始 */
    return EEDR;                      /* EEPROM読み出し値を取得 復帰 */
}
```

5.3.6. EEPROMデモ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデモ化け得ます。これらの問題はEEPROMを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデモ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎるとCPU自身が命令を間違えて実行し得ます。

EEPROMデモ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使用できます。書き込み動作実行中にリセットが起るとこの書き込み操作は供給電源電圧が充分ならば継続完了されます。

5.4. I/O メモリ (レジスタ)

ATtiny48/88のI/O空間定義は162頁の「レジスタ一覧」で示されます。

ATtiny48/88の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲\$00~\$1F内のI/OレジスタはSB命令とCB命令の使用で直接的にビットアクセス可能です。これらのレジスタではSBISとSBC命令の使用によって単一ビット値が検査できます。より多くの詳細については「命令一覧」項を参照してください。I/O指定命令INとOUTを使用するとき、I/Oアドレス\$00~\$3Fが使用されなければなりません。LD命令とST命令を使用し、データ空間としてI/Oレジスタをアクセスするとき、これらのアドレスに\$20が加算されなければなりません。ATtiny48/88はINやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(データ空間)内\$60~\$FFの拡張I/O領域に対してはLD/LDS/LDDとST/STS/STD命令だけが使用できます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによってクリア(0)されます。CBとSB命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使用できることに注意してください。CBとSB命令は(I/Oアドレス)\$00~\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

5.4.1. 汎用 I/Oレジスタ

ATtiny48/88は3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使用でき、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲\$00~\$1Fの汎用I/OレジスタはSBIS,CBIS,SBIS,SBC命令の使用で直接ビットアクセスが可能です。

5.5. メモリ関係レジスタ

5.5.1. EEPROMアドレスレジスタ (EEPROM Address Register) EEARH EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$22 (\$42)	-	-	-	-	-	-	-	-	EEARH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	-	-	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

ビット15~6 - Res: 予約 (Reserved)

これらのビットは予約されており常に0として読めます。

ビット5~0 - EEAR5~0: EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は64バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータバイトは0~63間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。

5.5.2. EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - EEDR7~0: EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

5.5.3. EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1F (\$3F)	-	-	EEPM1	EEPM0	EERE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

ビット7,6 - Res: 予約 (Reserved)

これらのビットは予約されており常に0として読めます。

ビット54 - EEPM10 :EEPROMプログラミング種別 (EEPROM Programming Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可 (EEPE書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作 (旧値消去と新値書き込み) または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする書くことが可能です。各動作に対するプログラミング時間は表5-1で示されます。EEPEがセット(1)されている間はEEPROMへのどの書き込みも無視されます。他ッ中、EEPROMビットはEEPROMがプログラミング作業中を除いて'00'に他ッされます。

表 5-1. EEPROMプログラミング種別

EEPROM1	EEPROM0	プログラミング時間	動作
0	0	3.4ms	操作での消去と書き込み (非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	-	将来使用に予約

ビット3 - EERE :EEPROM操作割り込み許可 (EEPROM Ready Interrupt Enable)

EEREの書き込みはステータスレジスタ(SREG)の全割り込み許可(1)ビットがセット(1)されているなら、EEPROM操作割り込みを許可します。EEREの書き込みは、この割り込みを禁止します。EEPROM操作割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。EEPROM書き込みとSPM命令の間、本割り込みは生成されません。

ビット2 - EEMPE :EEPROM主プログラム許可 (EEPROM Master Program Enable)

EEMPEビットはEEPROMプログラミング許可 (EEPEビット)の書き込みが有効か無効かどちらかを決めます。EEMPEがセット(1)されると、4クロックサイクル内のEEPEセット(1)は選択したアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPEセット(1)は無効です。EEMPEがソフトウェアによってセット(1)されてしまうと、4クロックサイクル後にハードウェアがこのビットを0にクリアします。EEPROM書き込み手順については次のEEPE記述をご覧ください。

ビット1 - EEPE :EEPROMプログラム許可 (EEPROM Program Enable)

EEPROMプログラム許可信号 (EEPE)はEEPROMへのプログラミング許可信号です。EEPEが1を書かれると、EEPROMはEEPROMビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROM主プログラム許可 (EEMPEビット)は1を書かれなければならない、さもなければEEPROM書き込み/消去は行われません。EEPROMを書くとき、次の手順に従うべきです (手順 と の順番は重要ではありません)。

EEPROMプログラム許可 (EEPE)ビットが0になるまで待ちます。

SPM制御状態レジスタ(SPMCSR)の自己プログラミング許可 (SELFPRGEN)ビットが0になるまで待ちます。

今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)

今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)

EEPROM制御レジスタ(EECR)のEEPROM主プログラム許可 (EEMPE)ビットに1を、EEPROMプログラム許可 (EEPE)ビットに0を同時に書きます。

EEMPEビット設定後4クロックサイクル内にEEPROMプログラム許可 (EEPE)ビットへ論理1を書きます。

CPUがフラッシュメモリ書き込み中、EEPROMはプログラム書き込みができません。ソフトウェアは新規EEPROM書き込みを始める前にフラッシュメモリのプログラミングが完了されていることを検査しなければなりません。フラッシュメモリが決してCPUによって更新されないなら、は省略できます。

警告: 手順 と 間の割り込みはEEPROM主プログラム許可が時間超過するため、書き込みサイクル失敗になります。EEPROMをアタックする割り込みルーチンが他のEEPROMアタックを中断し、EEARかEEDRが変更されると、中断したEEPROMアタックを失敗させます。これらの問題を避けるため、全ての手順中、ステータスレジスタ(SREG)の全割り込み許可(1)ビットはクリア(0)されていることが推奨されます。

書き込み (プログラミング) アタック時間が経過されると、EEPROMプログラム許可 (EEPE)ビットはハードウェアによってクリア(0)されます。EEPEがセット(1)されてしまうと、次の命令が実行される前にCPUは2サイクル停止されます。

ビット0 - EERE :EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号 (EERE)はEEPROMへの読み込みスタートです。EEARに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければならない。EEPROM読み出しアタックは (その) 命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4サイクル停止されます。

使用者は読み込み操作を始める前にEEPEビットをホールドすべきです。書き込み (プログラム) 操作実行中の場合、EEPROMアドレスレジスタ(EEAR)の変更もEEPROM読み込みもできません。

EEPROMアタックの時間には校正済み内蔵発振器が使用されます。表5-2はCPUからのEEPROMアタックに対する代表的な書き込み時間を示します。

表 5-2. EEPROM書き込み時間

項目	校正付き内蔵発振器サイクル数	Typ
EEPROM書き込み (CPU)	26,368	3.4ms

5.5.4. 汎用 I/Oレジスタ2 (General Purpose I/O Register 2) GPDR2

ビット	7	6	5	4	3	2	1	0	
\$2B (\$4B)	(MSB)							(LSB)	GPDR2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このレジスタはどんな種類のデータの格納にも自由に使用できるかもしれません。

5.5.5. 汎用 I/Oレジスタ1 (General Purpose I/O Register 1) GPDR1

ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	(MSB)							(LSB)	GPDR1
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このレジスタはどんな種類のデータの格納にも自由に使用できるかもしれません。

5.5.6. 汎用 I/Oレジスタ0 (General Purpose I/O Register 0) GPDR0

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	(MSB)							(LSB)	GPDR0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

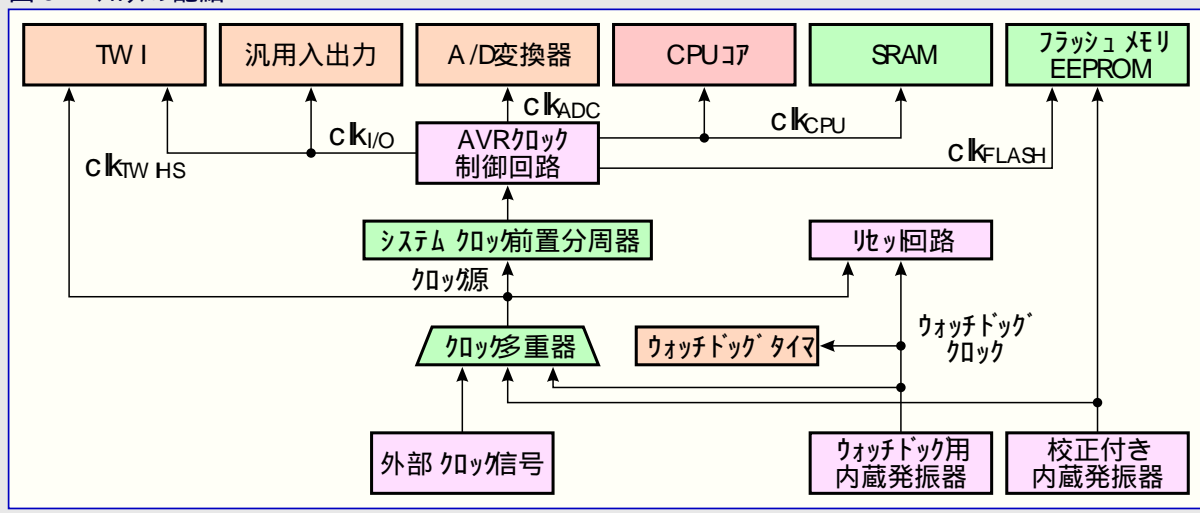
このレジスタはどんな種類のデータの格納にも自由に使用できるかもしれません。

6. システム クロックとクロック選択

6.1. クロック系統とその配給

図 6-1 は AVR 内の主要な クロック系統とその配給を示します。全ての クロックが与えられた時間有効である必要はありません。消費電力低減のため、2 頁の「電力管理とスリープ動作」で記述される各種スリープ動作の使用によって、使用されない部分の クロックを停止することができます。クロック系統は以下で詳細に示されます。

図 6-1. クロックの配給



6.1.1. CPU クロック clkCPU

CPU クロックは AVR コアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタ、ファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPU クロックの停止はコアが一般的な操作や計算を実行することを禁止します。

6.1.2. I/O クロック clkI/O

I/O クロックはタイマ/カウンタ、直列周辺インターフェース、外部割り込み部のような I/O 部の大部分で使用されます。いくつかの外部割り込みは例え I/O クロックが停止されてもそれらが認証されることを意味する、非同期論理回路によって検知されることに注意してください。2 線インターフェースの開始条件検出が例え clkI/O が停止されている時でも全スリープ動作での TW アドレス認証動作を意味する非同期期であることに注意してください。

6.1.3. フラッシュ クロック clkFLASH

フラッシュ クロックはフラッシュ メモリ インターフェースの動作を制御します。このフラッシュ クロックは常に CPU クロックと同時に活動します。

6.1.4. A/D 変換 クロック clkADC

A/D 変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成された雑音を低減するために CPU と I/O クロックの停止を許します。これはより正確な A/D 変換結果を与えます。

6.1.5. 高速 TWI クロック clkTW HS

この TWI クロックは高速動作で操作される時の 2 線インターフェース部の動作を制御します。実際問題として、このクロックはデバイスのクロック源と同じです。8 頁の「ビット速度発生器」をご覧ください。

6.2. クロック元

このデバイスには右で示されるようにフラッシュヒューズビットによって選択可能な後続のクロック元選択があります。選択したクロック元からのクロックは AVR クロック発生器への入力で、適切な部署へ配給されます。

表 6-1. クロック元選択

クロック元	CKSEL10
128kHz 内部 WDT 発振器	11
校正付き内蔵発振器	10
(予約)	01
外部クロック信号	00

注: 1=非プログラム 0=プログラム

6.2.1. 既定のクロック元

このデバイスは 8.0MHz の校正付き内蔵発振器で CKD M8 ヒューズがプログラム (0) され、結果として 1.0MHz のシステム クロックで出荷されます。起動時間は計時完了周期が許可され、最大に設定されます。(CKSEL=10, SUT=10, CKD M8=プログラム (0)) この既定設定は全ての使用者が実装または並列書き込み器を使用して、それらを希望したクロック元設定にできることを保証します。

622. クロック起動手順

何れのクロックも発振を開始するための十分なVCCと、それが安定であると考えられるのに先立って最低発振サイクル数が必要です。

十分なVCCを保証するためにその他全てのレジスタによってデバイスレジスタが開放された後、デバイスは起動遅延時間 (t_{ROUT}) の内部レジスタを発生します。27頁からの「システム制御とレジスタ」はこの内部レジスタに対する起動条件を記述します。この遅延 (t_{ROUT}) はウォッチドッグ発振器で計時され、遅延サイクル数はSUTとCKSELヒューズによって設定されます。選択可能な遅延は表6-2で示されます。157頁の「ウォッチドッグ発振器周波数 対 動作電圧」と「ウォッチドッグ発振器周波数 対 動作温度」で示されるようにウォッチドッグ発振器の周波数は電圧に依存します。

遅延の主な目的はAVRが最小VCCを印加されるまでAVRをレジスタに保つことです。この遅延は実電圧を監視しないので、VCC上昇時間より長い遅延を選ぶことが必要とされるべきです。これが不可能な場合、内部または外部の低電圧検出回路 (BOD) が使用されるべきです。BOD回路がレジスタを開放する前に十分なVCCを保証するでしょうから、起動遅延時間は禁止され得ます。低電圧検出回路 (BOD) なしでの起動遅延時間の禁止は推奨されません。

この発振器はクロックが安定と考えられるのに先立って最低クロック数を発振することを必要とされます。内部リプルカウンタは発振器の出力クロックを監視し、与えられたクロックサイクル数に対して内部レジスタを活性有効に保ちます。このレジスタはその後開放され、デバイスが実行を開始します。推奨発振器起動時間はクロック種別に依存し、外部的に印加されたクロックに対する6サイクルから、低周波数クリスタルに対する32Kサイクルまで変化します。

クロックについての起動手順は計時完了遅延とデバイスがレジスタから起動する時の起動時間の両方を含みます。パワーダウンから起動する時にVCCは十分な電圧であると認識され、起動時間だけが含められます。

表 6-2. 始動手順時間長

CKSEL10	SUT10	WDTサイクル数	代表経過時間
00	00	0	0ms
00	01	4K (4096)	4ms
10	10	8K (8192)	64ms
11	11	予約)	予約)
01	xx	予約)	予約)

63. 校正付き内蔵発振器

既定による校正された内蔵発振器は概ね 8.0MHz のクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については135頁の表21-1をご覧ください。このデバイスはCKD M8ヒューズがプログラム(0)で出荷されます。より多くの詳細については20頁の「システムクロック前置分周器」をご覧ください。

このクロックは表6-3で示されるようにCKSELヒューズのプログラミングによってシステムクロックとして選択できます。選択したなら、外部部品なしで動作します。レジスタ中、ハードウェアが発振校正 (OSCCAL) レジスタに予めプログラムされた校正值ハイを設定し、これによって発振器を自動的に校正します。この校正の精度は表21-1で工場校正として示されます。

ソフトウェアからOSCCALレジスタを変更することによって発振校正レジスタ (OSCCAL 参照) 工場校正を使用するより高い精度を得ることができます。この校正の精度は表21-1で使用者校正として示されます。

この発振器がチップ(システム)クロックとして使用されるとき、ウォッチドッグ発振器は未だウォッチドッグタイマとレジスタ付加遅延タイマに使用されます。予め設定された校正值のより多くの情報については123頁の発振校正值ハイ項目をご覧ください。

この発振器が選択されると、起動時間は表6-4で示されるようにSUTヒューズによって決定されます。

表 6-3. 校正付き内蔵発振器動作種別

CKSEL10	周波数範囲 (MHz)
10	7.3~ 8.1

注: デバイスはこの選択で出荷されます。

注: 周波数範囲は暫定値です。実際の値は TBD です。

注: この 8MHz 周波数がデバイス仕様 (VCC に依存) を越える場合、内部周波数を 8 分周するために CKD M8 ヒューズをプログラム (0) にできます。

表 6-4. 校正付き内蔵発振器用起動遅延時間選択表

SUT10	パワーダウンからの 起動遅延時間	レジスタからの付加遅延 時間 (VCC=5.0V)	推奨使用法
00	6x CK	14x CK (注1)	低電圧検出レジスタ(BOD)許可
01	6x CK	14x CK+4ms	高速上昇電源
10 (注2)	6x CK	14x CK+64ms	低速上昇電源
11			予約)

注1: RSTDBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は 14x CK+4ms に増やされます。

注2: デバイスはこの選択で出荷されます。

6.4. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は3V₂₅での公称値です。本クロックは表6-5で示されるようにCKSEL1₀を'0011'にプログラミング設定することによってシステムクロックとして選択できます。

このクロックが選択されると、起動時間は表6-6で示されるようにSUT1₀によって決定されます。

表 6-5. 128kHz内部発振器動作種別

CKSEL1 ₀	公称周波数
1 1	128kHz

注：周波数は暫定値で実際の値はTBDです。

表 6-6. 128kHz内部発振器用起動遅延時間選択表

SUT1 ₀	パワーダウンからの 起動遅延時間	リセットからの 付加遅延時間	推奨使用法
0 0	6x CK	14x CK (注1)	低電圧検出 (BOD) 利用許可
0 1	6x CK	14x CK+4ms	高速上昇電源
1 0	6x CK	14x CK+64ms	低速上昇電源
1 1	(予約)		

注1: RSTDISBL1₀がプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14x CK+4msに増やされます。

6.5. 外部クロック信号

外部クロックからデバイス駆動するにはCLKが図6-2で示されるように駆動されるべきです。外部クロックでデバイスを走行するためにはCKSEL1₀が'00'にプログラム設定されなければなりません(表6-7参照)。

このクロックが選択されると、起動時間は表6-8で示されるようにSUT1₀によって決定されます。

表 6-7. 外部クロック信号動作種別

CKSEL1 ₀	周波数範囲
0 0	0~12MHz

図 6-2. 外部クロック信号駆動接続図

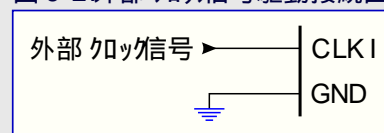


表 6-8. 外部クロック信号駆動用起動遅延時間選択表

SUT1 ₀	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6x CK	14x CK	低電圧検出 (BOD) 利用許可
0 1	6x CK	14x CK+4ms	高速上昇電源
1 0	6x CK	14x CK+64ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロックサイクルから次への2倍より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システムクロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使用できることに注意してください。詳細については次頁の「システムクロック前置分周器」を参照してください。

6.6. クロック出力バッファ (外部クロック出力)

このデバイスはシステムクロックをCLKOピンに出力できます。本出力を許可するにはCKOUT1₀がプログラム(0)されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このピンのプログラム(0)されると、I/Oピンの標準動作は無視され、このクロックはリセット中も出力されます。CLKOがクロック出力を扱うとき、校正付き内蔵発振器を含む何れのクロック元も選択できます。システムクロック前置分周器が使用されると、CKOUT1₀がプログラム(0)された時の出力は分周したシステムクロックです。

6.7. システム クロック前置分周器

ATtiny48/88はシステム クロック前置分周器を持ち、システム クロックは **クロック前置分周レジスタ (CLKPR)** の設定によって分周できます。この特徴 (機能) は必要とされる処理能力が低い時の消費電力削減に使用できます。これは全 クロック種別で使用でき、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。CLKCPU、CLKFLASH、CLKI/O、CLKADCSは表 6-9 で示された値によって分周されます。

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間 経過途中 の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらより先高くなく、クロックでグリッチが起きないことを保証します。前置分周器として実行するリアル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例えば (カウンタ値が 続めるとしても、前置分周器の状態を決めることはできず、何らかの他のクロック分周値切り替えを行う正確な時間は必ずしも予測できません。CLKPS値が書かれる時から新規クロック周波数が活性 (有効) になる前に $T1+T2 \sim T1+2 \times T2$ 間がかかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

クロック分周値変更許可 (CLKPCE) ビット に 1、CLKPR内の他の全ビットに 0 を書きます。

次からの 4 サイクル以内にCLKPCEビットを 0 とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

6.8. クロック関係レジスタ

6.8.1. 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット (\$66)	7	6	5	4	3	2	1	0	
	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

ビット7~ 0 - CAL7~ 0 : 発振校正値 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使用されます。チップの地獄中、135頁の表 21-1 で指定されるように工場 で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するためにOSCCALレジスタへ書くことができます。この発振器は表 21-1 で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクセス時間に使用され、この書き込み時間がそれにに応じて影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

全てのレジスタビットが周波数用に使用します。\$00設定が最低周波数、\$FF設定が最高周波数を生じます。

6.8.2. クロック前置分周レジスタ (Clock Prescale Register) CLKPR

ビット (\$61)	7	6	5	4	3	2	1	0	
	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/W rite	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

ビット7 - CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理 1 を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが 0 書かれる時だけ更新されます。CLKPCEは書き込み後 4クロック サイクルまたはCLKPSビット書き込み時、ハードウェアによってクリア (0) されます。この制限時間 (4クロック サイクル 内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットのクリア (0) も行いません。

ビット6~ 4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に 0 として読めます。

ビット3~ 0 - CLKPS3~ 0 : クロック分周値選択 (Clock Prescaler Select Bits 3~ 0)

これらのビットは選択したクロック元と内部システム クロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種 クロック周波数を実行時に書けます。分周値が使用されると、分周器はMCUへの主 クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表 6-9 で与えられます。

CKDM8レジスタがCLKPSビットの初期値を決めます。CKDM8が非プログラム (1) にされると、CLKPSビットは '0000' にセットされます。CKDIVがプログラム (0) されると、CLKPSビットは起動時に 8分周を与える '0011' にセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、この機能が使用されるべきです。CKDM8レジスタ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、十分な分周値が選択されることを保証しなければなりません。このデバイスはCKDM8レジスタがプログラム (0) で出荷されます。

表 6-9. 加ッ前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値 数)	1	2	4	8	16	32	64	128	256	予約)						

7. 電力管理とスリープ動作

スリープ動作は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々なスリープ動作を提供します。

許可したなら、低電圧検出器 (BOD) はスリープ期間中、電源電圧を積極的に監視します。更なる節電のため、いくつかのスリープ動作種別でBODを禁止することが可能です。より多くの詳細については次頁の「ソフトウェア低電圧検出器 (BOD) 禁止」をご覧ください。

7.1. スリープ動作種別

17頁の図 6-1 は AT tiny48/88 の各種 クロック系統とその配給を示します。本図は適切なスリープ動作を選択する助けになります。表 7-1 は各種スリープ動作、それらの起動元とBOD禁止の可能性を示します。

表 7-1. 各スリープ動作に於ける動作 クロック範囲と復帰起動要因

スリープ種別	動作クロック範囲				動作発振器	復帰起動要因 (割り込み)					
	clkCPU	clkFLASH	clkIO	clkADC	主クロック供給元	NT1 NT0 レベル変化	TWI アドレス一致	EEPROM 操作可	A/D変換完了	ウォッチドッグ	その他 I/O
アイドル			○	○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○		○	○	○	○	
パワーダウン							○			○	

：NT1とNT0についてはレベル割り込みだけです。

スリープ動作の何れかへ移行するにはスリープ動作制御レジスタ (SMCR) のスリープ許可 (SE) ビットが論理 1 を書かれ、SLEEP 命令が実行されなければなりません。SMCR のスリープ種別選択 (SM1,0) ビットは SLEEP 命令によって活性 (有効) にされるスリープ動作 (アイドル、A/D変換雑音低減、パワーダウン) のどれかを選びます。一覧については 24 頁の表 7-2 をご覧ください。

MCU がスリープ動作中に許可した割り込みが起こると、MCU は起動します。その時に MCU は起動時間に加えて 4 サイクル停止され、割り込みルーチンを実行し、そして SLEEP 命令の次の命令から実行を再開します。デバイスがスリープから起動するとき、レジスタファイルと SRAM の内容は変えられません。スリープ動作中にリセットが起こると、MCU は起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使用される場合、MCU を起動し、MCU がその割り込み処理ルーチンへ移行するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については 32 頁の「外部割り込み」を参照してください。

7.1.1. アイドル動作

スリープ種別選択 (SM1,0) ビットが '00' を書かれるとき、SLEEP 命令は MCU をアイドル動作へ移行させ、CPU を停止しますが、SPI アナログ比較器、A/D変換器、2線直列インターフェース タイマ/カウンタ ウォッチドッグ、割り込み機構の継続動作を許します。このスリープ動作は基本的に clkCPU と clkFLASH を停止する一方、他のクロックに走行を許します。

アイドル動作は MCU に SP などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ (ACSR) のアナログ比較器禁止 (ACD) ビットをセット (1) することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

7.1.2. A/D変換雑音低減動作

スリープ種別選択 (SM1,0) ビットが '01' を書かれるとき、SLEEP 命令は MCU を A/D変換雑音低減動作へ移行させ、CPU を停止しますが、A/D変換器、外部割り込み、2線直列インターフェースのアドレス監視、ウォッチドッグの許可されていれば継続動作を許します。このスリープ動作は基本的に clkI/O、clkCPU、clkFLASH を停止する一方、他のクロックに走行を許します。

これは A/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、本動作に移行すると変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット ウォッチドッグ システム リセット ウォッチドッグ割り込み、低電圧検出 (BOD) リセット 2線直列インターフェースのアドレス一致割り込み、EEPROM操作可割り込み、NT0または NT1 の外部レベル割り込み、レベル変化割り込みだけが、A/D変換雑音低減動作から MCU を起動できます。

7.1.3. パワーダウン動作

スリープ種別選択 (SM1,0) ビットが '10' を書かれるとき、SLEEP 命令は MCU をパワーダウン動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、2線直列インターフェースのアドレス監視、ウォッチドッグ機能は許可されていれば継続して動作します。外部リセット ウォッチドッグ システム リセット ウォッチドッグ割り込み、低電圧検出 (BOD) リセット 2線直列インターフェースのアドレス一致割り込み、NT0または NT1 の外部レベル割り込み、レベル変化割り込みだけが MCU を起動できます。このスリープ動作は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

レベルで起動した割り込みがパワーダウン動作からの復帰に使用される場合、MCU を起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については 32 頁の「外部割り込み」を参照してください。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動遅延時間は 17 頁の「クロック」で記述されるように、リセット付加遅延時間を定義するのと同じ CKSEL1:0 によって定義されます。

7.2. ソフトウェア低電圧検出器 (BOD) 禁止

低電圧検出器 (BOD) が 122 頁の表 20-4 の BODLEVEL レジスタによって許可されていると、BOD はスリープ期間中に電源電圧を活発に監視します。節電のため、スリープ動作のいくつかに対してソフトウェアによって BOD を禁止することが可能です。表 7-1 をご覧ください。このスリープ動作電力消費は BOD がレジスタによって全面的に禁止される時と同じ水準になるでしょう。BOD がソフトウェアで禁止される場合、BOD 機能はスリープ動作移行後、直ちに OFF されます。スリープからの起動復帰で BOD は再び自動的に許可されます。これはスリープ期間中に VCC レベルが落ちた場合の安全な動作を保証します。

BOD が禁止されてしまうと、MCU がコードの実行を継続する前に BOD が正しく動作することを保証するために、スリープ動作からの起動時間は概ね 60 μ s になります。

BOD 禁止は MCU 制御レジスタ (MCUCR) のビット **BOD 休止 (BODS)** レジスタによって制御されます。24 頁の「MCU 制御レジスタ (MCUCR)」をご覧ください。このビットへの書き込みは関連するスリープ動作での BOD を OFF にし、一方このビットの **1** は BOD 活動 (有効) を保ちます。既定設定は BOD 活動維持、換言すると BODS は **0** に設定です。

BODS レジスタへの書き込みは許可ビット時間制限手順によって制御されます。24 頁の「MCU 制御レジスタ (MCUCR)」をご覧ください。

7.3. 消費電力の最小化

AVR が制御するシステムで消費電力の最小化を試みる時の考慮には様々な検討点があります。一般的にスリープ動作は可能な限り多く使用されるべきで、スリープ種別は動作するデバイス機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

7.3.1. A/D 変換器 (ADC)

許可なら、A/D 変換器は全スリープ動作で許可されます。電力を節約するため、スリープ動作の何れかへ移行する前に A/D 変換器は禁止されるべきです。A/D 変換器が OFF して再び ON に切り替えられると、次の最初の変換は延長された初回変換になります。A/D 変換器操作の詳細については 106 頁の「A/D 変換器」を参照してください。

7.3.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使用されないなら、禁止されるべきです。A/D 変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他のスリープ動作でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使用する設定の場合、全スリープ動作でアナログ比較器は禁止されるべきです。さもないと内部基準電圧はスリープ動作と無関係に許可されます。アナログ比較器設定法の詳細については 104 頁の「アナログ比較器」を参照してください。

7.3.3. 低電圧検出器 (BOD)

低電圧検出器 (BOD) が応用で必要とされないなら、この部署は OFF にされるべきです。低電圧検出器が BODLEVEL レジスタによって許可されていると全スリープ動作で許可され、故に常時電力を消費します。これはより深いスリープ動作での総消費電流にとって重要な一因になります。低電圧検出器 (BOD) 設定法の詳細については 27 頁の「低電圧検出 (BOD)」を参照してください。

7.3.4. 内部基準電圧

内部基準電圧は低電圧検出器 (BOD)、アナログ比較器、A/D 変換器によって必要とされる時に許可されます。これら部署が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使用される前に使用者は基準電圧へ起動 (安定時間) を与えなければなりません。基準電圧がスリープ動作で ON 保持される場合、この出力は直ちに使用できます。起動時間の詳細については 28 頁の「内部基準電圧」を参照してください。

7.3.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この部署は OFF にされるべきです。ウォッチドッグ タイマが許可されていると全スリープ動作で許可され、故に常時電力を消費します。これはより深いスリープ動作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については 28 頁の「ウォッチドッグ タイマ」を参照してください。

7.3.6. ポートピン

スリープ動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/O クロック (CLKI/O) と A/D 変換 クロック (CLKADC) の両方が停止されるスリープ動作ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については 40 頁の「デジタル入力許可とスリープ動作」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧が VCC/2 付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでの VCC/2 付近のアナログ信号入力は通常動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ 0 (DR0) と 1 (DR1) の書き込みによって禁止できます。詳細については 105 頁の「デジタル入力禁止レジスタ 1 (DR1)」と 114 頁の「デジタル入力禁止レジスタ 0 (DR0)」を参照してください。

7.3.7. 内蔵デバイス機能 (dV)

内蔵デバイス機能が DWEN レジスタによって許可され、チップがスリープ動作へ移行すると、主クロック元は許可に留まり、従って常に電力を消費します。これはより深いスリープ動作での総消費電流にとって重要な一因になります。

7.4.電力管理用レジスタ

7.4.1.スリープ動作制御レジスタ (Sleep Mode Control Register) SMCR

このスリープ動作制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	-	-	-	-	-	SM1	SM0	SE	SMCR
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - Res :予約 (Reserved)

これらのビットは予約されており 常に0として読めます。

ビット2,1 - SM10 :スリープ種別選択 (Sleep Mode Select Bit 1 and 0)

これらのビットは表 7-2で示される利用可能なスリープ動作の1つを選択します。

表 7-2.スリープ動作種別選択

SM1	SM0	スリープ動作種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	(予約)

ビット0 - SE :スリープ許可 (Sleep Enable)

SLEEP命令が実行される時にMCUをスリープ動作へ移行させるには、スリープ許可 (SE)ビットが論理1を書かれなければなりません。MCUの目的外スリープ動作移行を避けるため、**SLEEP**命令実行直前にスリープ許可 (SE)ビットをセット(1)し、起動後直ちにクリア(0)することが推奨されます。

7.4.2.MCU制御レジスタ (MCU Control Register)MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	BODS	BODSE	PUD	-	-	-	-	MCUCR
Read/W rite	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット6 - BODS :BOD休止 (BOD Sleep)

スリープ間にBODをOFFにするために、BODSビットは論理1を書かれなければなりません。22頁の表 7-1をご覧ください。BODSビットの書き込みはMCUCRのBOD休止許可 (BODSE)ビットと時間制限手順によって制御されます。関連するスリープ動作でBODを禁止するには最初にBODSとBODSEの両方が1に設定されなければなりません。その後BODSビットを設定するためにBODSが1に設定され、そして4クロックサイクル内にBODSEが1に設定されなければなりません。

BODSビットはそれが設定された後の3クロックサイクル間活性有効です。**SLEEP**命令は実際のスリープ動作に対してBODをOFFにするために、BODSが活性有効の間に実行されなければなりません。BODSビットは3クロックサイクル後、自動的にクリア(0)されます。

ビット5 - BODSE :BOD休止許可 (BOD Sleep Enable)

BODSEはBOD休止 (BODS)ビット記述で説明されるように、BODS制御ビットの設定を許可します。このBOD禁止は時間制限手順によって制御されます。

7.4.3.電力削減レジスタ (Power Reduction Register) PRR

電力削減レジスタは消費電力を削減するために個別周辺機能へのクロックを停止する方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止している時に周辺機能によって使用されていた資源は占有されたままですので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ (PRR) のビットをクリア (0) することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために通常動作とアイドル動作で使用できます。その他のスリープ動作ではクロックが予め停止されます。

ビット (\$64)	7	6	5	4	3	2	1	0	PRR
	PRTWI	-	PRTM0	-	PRTM1	PRSPI	-	PRADC	
Read/Write	R/W	R	R/W	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - PRTWI : 2線直列 インターフェース電力削減 (Power Reduction TWI)

このビットへの書き込みはその部分へのクロック停止によって2線直列 インターフェース (TWI) を停止します。TWI の再起動時、TWI は正しい動作を保証するために再初期化されるべきです。

ビット6,4,1 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット5 - PRTM0 : タイマ/カウンタ電力削減 (Power Reduction Timer/Counter0)

このビットへの書き込みはタイマ/カウンタ部を停止します。タイマ/カウンタが許可されると、停止前と同様に動作は継続します。

ビット3 - PRTM1 : タイマ/カウンタ電力削減 (Power Reduction Timer/Counter1)

このビットへの書き込みはタイマ/カウンタ部を停止します。タイマ/カウンタが許可されると、停止前と同様に動作は継続します。

ビット2 - PRSPI : 直列周辺 インターフェース電力削減 (Power Reduction Serial Peripheral Interface)

デジタルバックW R内蔵デジタル機能を使用するなら、このビットは1を書かれるべきではありません。

このビットへの書き込みはその部分へのクロック停止によって直列周辺 インターフェース (SPI) を停止します。SPI の再起動時、SPI は正しい動作を保証するために再初期化されるべきです。

ビット0 - PRADC : A/D変換器電力削減 (Power Reduction ADC)

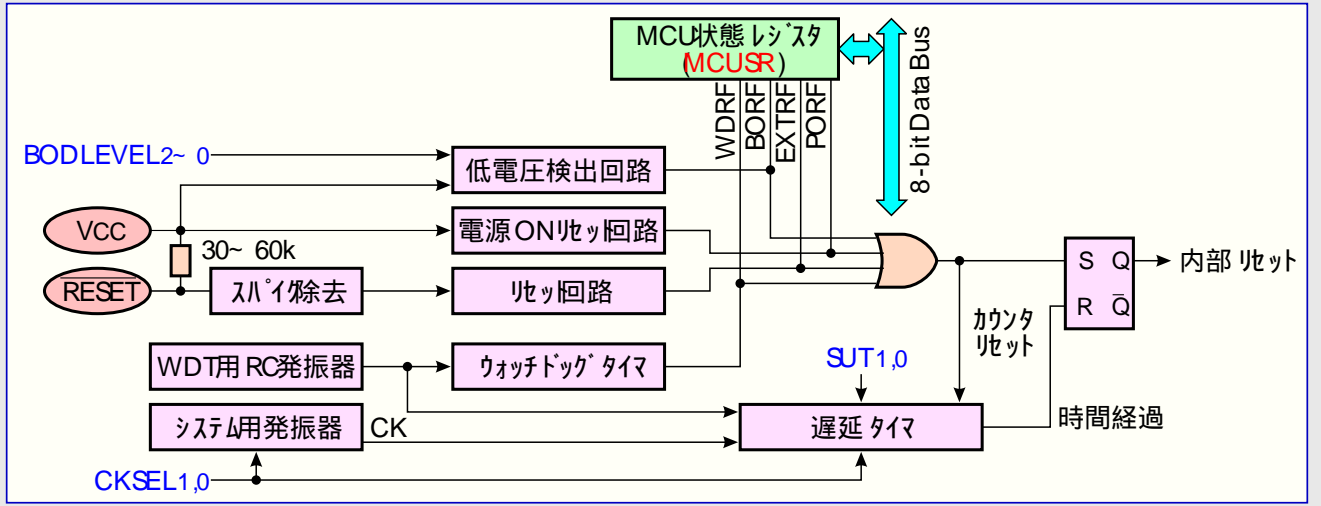
このビットへの書き込みはA/D変換器 (ADC) を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、アナログ比較器はADC入力切替器を使用できません。

8. システム制御とリセット

8.1. AVRのリセット

リセット中、全ての I/O レジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きつとリセット処理ルーチンへの **RJMP** 相対分岐命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが配置できます。図 8-1 の回路構成図はリセット論理回路を示します。表 21-3 はリセット回路の電気的特性を定義します。

図 8-1. リセット回路構成



AVR の I/O ポートはリセットが有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセットが無効にされてしまった後、遅延計数器 (タイマ) が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間は **CKSEL1,0** を通して使用者によって定義されます。この遅延時間についての各種選択は 17 頁の「クロック」で示されます。

8.2. リセット要因

ATtiny48/88 には次の 4 つのリセットがあります。

- **電源 ON リセット** 供給電圧が電源 ON リセット閾値電圧 (V_{POT}) 以下、または供給電圧の急激な低下時に MCU がリセットされます。
- **外部リセット** RESET ピンが **ハイレベル必要条件** 以上 **Low** レベルに保たれると MCU がリセットされます。
- **ウォッチドッグ リセット** ウォッチドッグシステム リセット動作が許可され、ウォッチドッグ タイマが終了すると MCU がリセットされます。
- **低電圧リセット** 低電圧検出が許可され、供給電圧 (VCC) が低電圧検出電圧 (V_{BOT}) 以下で MCU がリセットされます。

8.2.1.電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は136頁の表21-3で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出には勿論、始動リセットの起動にも使用できます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧(V_{POT})への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図 8-2.内蔵電源ONリセット (RESETはVCCに接続)

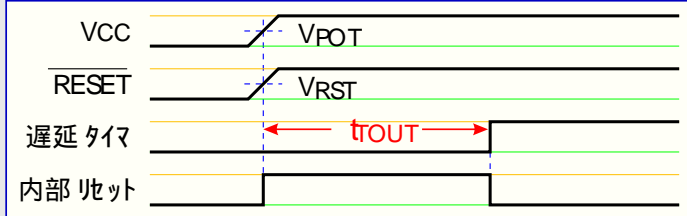
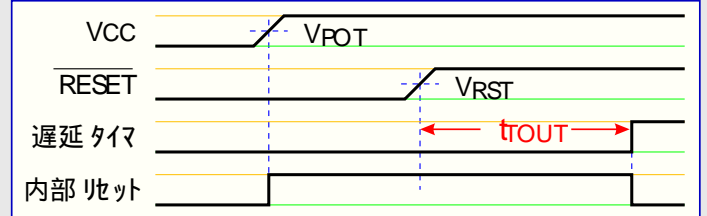


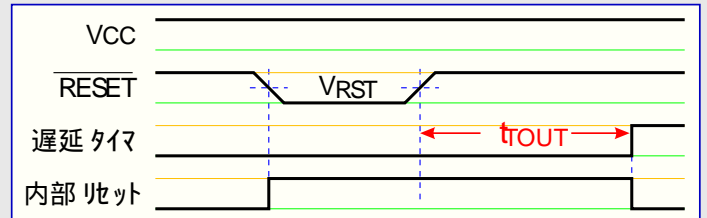
図 8-3.外部 RESET 信号による延長電源ONリセット



8.2.2.外部リセット

外部リセットはRESETピンの Lowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(136頁の表21-3参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧(V_{RST})に達すると遅延タイマを起動し、遅延タイマは遅延時間(t_{OUT})経過後にMCUを始動します。外部リセットはRSTDISBLレジスタによって禁止できます。122頁の表20-4をご覧ください。

図 8-4.動作中の外部リセット



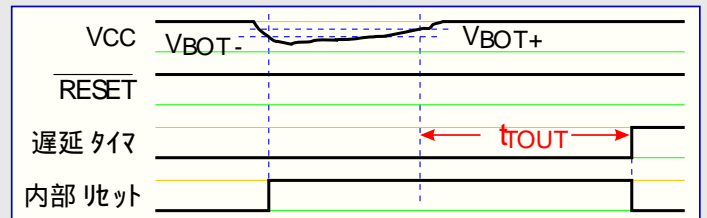
8.2.3.低電圧(ブラウンアウト)検出リセット

ATtiny48/88には固定化された起動検出電圧と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD回路)があります。BODの起動電圧はBODLEVELレジスタによって選択できます。この起動電圧はスライク対策BODを保証するためにヒステリシスを持ちます。検出電圧のヒステリシスはV_{BOT+}=V_{BOT}+V_{HYST}/2、V_{BOT-}=V_{BOT}-V_{HYST}/2と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると図8-5のV_{BOT-}、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると図8-5のV_{BOT+}、遅延タイマが起動され、遅延タイマは遅延時間(t_{OUT})経過後にMCUを始動します。

BOD回路は電圧が136頁の「システムとリセットの特性」で与えられるt_{BOD}時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

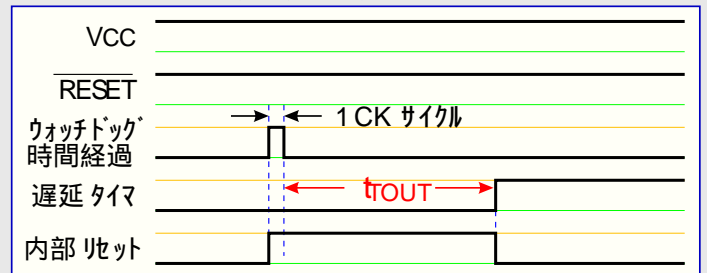
図 8-5.動作中の低電圧検出リセット



8.2.4.ウォッチドッグリセット

ウォッチドッグ時間経過時、内部的に1CKサイクル幅の短いリセットパルスを生成します。このパルスの下降端で、遅延タイマは遅延時間(t_{OUT})の計時を始めます。ウォッチドッグタイマ操作の詳細については28頁を参照してください。

図 8-6.動作中のウォッチドッグリセット



8.3. 内部基準電圧

ATtiny48/88は内部基準電圧が特徴です。この基準電圧は低電圧検出 (BOD) に使用され、A/D変換やアナログ比較器の入力としても使用できます。

8.3.1. 基準電圧許可信号と起動時間

基準電圧には使用されるべき方法に影響するかもしれない起動時間があります。この起動時間は [13頁の「システムとレックの特性」](#) で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

低電圧検出 レック許可時 (BODLEVELヒューズのプログラム (0) により)

アナログ比較器内部基準電圧接続時 (アナログ比較器 制御 / 状態 レジスタ (ACSR) の基準電圧入力選択 (ACBG)=1)

A/D変換部動作許可時 (A/D変換制御 / 状態 レジスタ (ADCSRA) のA/D動作許可 (ADEN)=1)

従って低電圧検出 (BOD) が許可されていないと、ACBGの設定 (=1) またはA/D変換部許可 (ADEN=1) 後、使用者はアナログ比較器またはA/D変換器出力が使用される前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

8.4. ウォッチドッグ タイム

ウォッチドッグ タイム (WDT) は 128kHz で走行するチップ上の発振器からクロック駆動されます。ウォッチドッグ タイム前置分周器を制御することによって、ウォッチドッグ レック間隔は [30頁の表 8-3](#) で示されるように調整できます。WDR (ウォッチドッグ レック) 命令はウォッチドッグ タイムをレックします。ウォッチドッグ タイムはそれが禁止される時とチップ レックが起こる時にもレックされます。レック間隔を決めるために 10種のクロック サイクル周期を選択することができます。他のウォッチドッグ レックなしにレック周期が経過した場合、ATtiny48/88はレックしてレック バックから実行します。ウォッチドッグ レックの詳細 タイミングについては [27頁](#) を参照してください。

ウォッチドッグ タイムはレックの代わりに割り込みを生成するように形態設定することもできます。これはパワーダウンからの起動にウォッチドッグを使用する時に大変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時周期変更を防ぐために、2つの異なる安全レベルが表 8-1 で示されるWDTONヒューズによって選択されます。詳細については次の「ウォッチドッグ タイム設定変更の時間制限手順」をご覧ください。

図 8-7. ウォッチドッグ タイム構成図

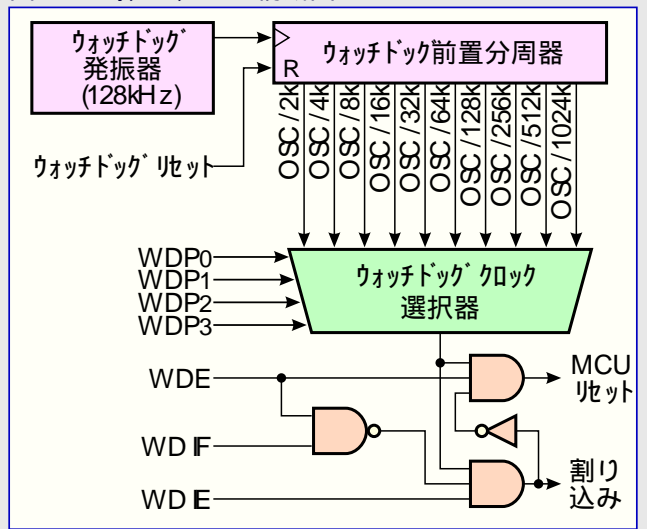


表 8-1. WDTONヒューズ設定によるウォッチドッグ機能設定

WDTON ヒューズ	安全レベル	WDT初期状態	WDT禁止方法	計時時間変更方法
非プログラム (1)	1	禁止	時間制限	制限なし
プログラム (0)	2	許可	なし (常時許可)	時間制限

8.4.1. ウォッチドッグ タイム設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

8.4.2. 安全レベル1 この動作種別ではウォッチドッグ タイムが初めに禁止されますが、どんな制限もなくウォッチドッグ許可 WDEビットに 1 を書くことにより許可できます。ウォッチドッグ計時完了周期を変更または許可したウォッチドッグ タイムを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイムを禁止や、ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

同じ操作 命令 でウォッチドッグ変更許可 WDCEとWDEに論理 1を書きます。WDEビットの直前の値に拘らず、論理 1がWDEに書かれなければなりません。

次からの4クロック サイクル内に同じ操作 命令 で欲したWDEとウォッチドッグ タイム前置分周選択 (WDP2~ 0)ビットを書きますが、WDCEビットはクリア (0) されてです。

8.4.3. 安全レベル2 この動作種別ではウォッチドッグ タイムが常に許可され、WDEビットは常に 1として読めます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

同じ操作 命令 でWDCEとWDEに論理 1を書きます。WDEビットが常にセット (1) されていても、WDEは時間制限手順を開始するために 1を書かれなければなりません。

次からの4クロック サイクル内に同じ操作 命令 で欲したWDP2~ 0ビットを書きますが、WDCEビットはクリア (0) されてです。WDEビットに書かれた値は無関係です。

8.5. リセット関係レジスタ

8.5.1. MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	-	-	-	-	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

ビット7~4 - Res :予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット3 - WDRF :ウォッチドッグリセットフラグ (Watchdog Reset Flag)

このビットはウォッチドッグリセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット2 - BORF :低電圧リセットフラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット1 - EXTRF :外部リセットフラグ (External Reset Flag)

このビットは外部リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

ビット0 - PORF :電源ONリセットフラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こるとセット(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセットフラグを使用するため、使用者はプログラム内で可能な限り早くMCUSRを読み、そしてクリア(0)すべきです。別のリセットが起こる前にこのレジスタがクリア(0)されると、そのリセット元はリセットフラグを調べることによって得られます。

85.2. ウォッチドッグ タイム制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット (\$60)	7	6	5	4	3	2	1	0	
	WDF	WDE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

ビット7 - WDF : ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグ タイムが割り込みに設定され、ウォッチドッグ タイムで計時完了が起こると、本ビットがセット(1)されます。対応する割り込み処理を実行すると、WDFはハードウェアによってクリア(0)されます。代わりにWDFはこのフラグへの論理書き込みによってもクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(IL)ビットとウォッチドッグ割り込み許可(WDE)がセット(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

ビット6 - WDE : ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IL)ビットがセット(1)されると、ウォッチドッグ割り込みが許可されます。この設定(=1)との組み合わせでウォッチドッグリセット許可(WDRF)ビットがクリア(0)されると、割り込み動作種別になり、ウォッチドッグ タイムで計時完了が起こると、対応する割り込みが実行されます。

WDEがセット(1)されると、ウォッチドッグ タイムは割り込み及びシステムリセット動作種別になります。ウォッチドッグ タイムでの最初の計時完了がウォッチドッグ割り込み要求(WDF)フラグをセット(1)します。対応する割り込みベクタの実行はハードウェアによってWDEとWDFを自動的にクリア(0)します。これは割り込みを使用する間のウォッチドッグリセット保護を維持するのに有用です。割り込み及びシステムリセット動作種別に留まるには、各割り込み後にWDEがセット(1)されなければなりません。然しながら、ウォッチドッグシステムリセット動作種別の安全機能に危険を及ぼすかもしれないため、これは割り込み処理ルーチン自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、システムリセットが適用実行されます。

表 8-2. ウォッチドッグ タイム設定

WDTON	WDE	WDE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	システムリセット	リセット
1	1	1	割り込み及びシステムリセット	割り込み、その後システムリセット動作種別
0	x	x	システムリセット	リセット

注: WDTONピュースは0でプログラム、1で非プログラムに設定です。

ビット4 - WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

このビットはウォッチドッグリセット許可(WDE)と前置分周器ビットの変更用の時間制限手順で使用されます。WDEビットのクリア(0)や前置分周器ビット変更のため、WDCEはセット(1)されなければなりません。

一旦1を書かれると、4クロックサイクル後にハードウェアがWDCEをクリア(0)します。

ビット3 - WDRF : ウォッチドッグリセット許可 (Watchdog System Reset Enable)

WDRFはMCU状態レジスタ(MCUSR)のウォッチドッグリセットフラグ(WDRF)によって無効にされます。これはWDRFがセット(1)されると、WDEが常にセット(1)されることを意味します。WDEをクリア(0)するにはWDRFが先にクリア(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

ビット5-0 - WDP3-0 : ウォッチドッグ タイム前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3-0ビットはウォッチドッグ タイムが走行する時のウォッチドッグ タイムの前置分周を決めます。各種前置分周値と対応する計時完了周期は表 8-3で示されます。

表 8-3. ウォッチドッグ前置分周器選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振サイクル数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	予約(注)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

注: 選択した場合、101未満の有効な設定の(どれか)1つが使用されます。

9. 割り込み

本項はATtiny48/88によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については [9.1の「割り込みの扱い」](#)を参照してください。

9.1 割り込みベクタ

表 9-1. 割り込みベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$0000	リセット	電源 ON, WDT, BOD等の各種 リセット
2	\$0001	INT0	外部割り込み要求 0
3	\$0002	INT1	外部割り込み要求 1
4	\$0003	PC INT0 (PC I0)	ピン変化割り込み要求 0
5	\$0004	PC INT1 (PC I1)	ピン変化割り込み要求 1
6	\$0005	PC INT2 (PC I2)	ピン変化割り込み要求 2
7	\$0006	PC INT3 (PC I3)	ピン変化割り込み要求 3
8	\$0007	ウォッチドッグ WDT	ウォッチドッグ計時完了
9	\$0008	タイマ/カウンタ1 CAPT	タイマ/カウンタ捕獲発生
10	\$0009	タイマ/カウンタ1 COMPA	タイマ/カウンタ比較 A一致
11	\$000A	タイマ/カウンタ1 COMPB	タイマ/カウンタ比較 B一致
12	\$000B	タイマ/カウンタ1 OVF	タイマ/カウンタ溢れ
13	\$000C	タイマ/カウンタ0 COMPA	タイマ/カウンタ比較 A一致
14	\$000D	タイマ/カウンタ0 COMPB	タイマ/カウンタ比較 B一致
15	\$000E	タイマ/カウンタ0 OVF	タイマ/カウンタ溢れ
16	\$000F	SPI STC	SPI転送完了
17	\$0010	A/D変換器 ADC	A/D変換完了
18	\$0011	EEPROM EE_RDY	EEPROM 操作可
19	\$0012	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
20	\$0013	2線直列 インターフェース TWI	2線直列 インターフェース状態変化

ATtiny48/88での最も代表的且つ一般的な割り込みベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	注釈
\$0000		RJMP RESET	;各種 リセット
\$0001		RJMP EXT_INT0	;外部割り込み要求 0
\$0002		RJMP EXT_INT1	;外部割り込み要求 1
\$0003		RJMP PCINT0	;ピン変化割り込み要求 0
\$0004		RJMP PCINT1	;ピン変化割り込み要求 1
\$0005		RJMP PCINT2	;ピン変化割り込み要求 2
\$0006		RJMP PCINT3	;ピン変化割り込み要求 3
\$0007		RJMP WDT_OVF	;ウォッチドッグ計時完了
\$0008		RJMP TIM1_CAPT	;タイマ/カウンタ捕獲発生
\$0009		RJMP TIM1_COMPA	;タイマ/カウンタ比較 A一致
\$000A		RJMP TIM1_COMPB	;タイマ/カウンタ比較 B一致
\$000B		RJMP TIM1_OVF	;タイマ/カウンタ溢れ
\$000C		RJMP TIM0_COMPA	;タイマ/カウンタ比較 A一致
\$000D		RJMP TIM0_COMPB	;タイマ/カウンタ比較 B一致
\$000E		RJMP TIM0_OVF	;タイマ/カウンタ溢れ
\$000F		RJMP SPI_STC	;SPI転送完了
\$0010		RJMP ADC	;ADC変換完了
\$0011		RJMP EE_RDY	;EEPROM操作可
\$0012		RJMP ANA_COMP	;アナログ比較器出力遷移
\$0013		RJMP TWI	;2線直列 インターフェース状態変化
\$0014	RESET:	LDI R16, HIGH(RAMEND)	;RAM最終アドレス上位を取得
\$0015		OUT SPH, R16	;スタックポインタ上位を初期化
\$0016		LDI R16, LOW(RAMEND)	;RAM最終アドレス下位を取得
\$0017		OUT SPL, R16	;スタックポインタ下位を初期化
			;以下、I/O初期化など

9.2. 外部割り込み

外部割り込みは NT0, NT1 ピンまたは PC NT0~ 27 ピンの何れかによって起動されます。許可したなら、例えば NT0, または PC NT0~ 27 ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴は以下のようなソフトウェア割り込みを生成する方法を提供します。

- ・ PC B ピン変化割り込みは許可した PC NT24~ 27 ピンの何れかが切り替わると起動します。
- ・ PC D ピン変化割り込みは許可した PC NT16~ 23 ピンの何れかが切り替わると起動します。
- ・ PC H ピン変化割り込みは許可した PC NT8~ 15 ピンの何れかが切り替わると起動します。
- ・ PC I ピン変化割り込みは許可した PC NT0~ 7 ピンの何れかが切り替わると起動します。

ピン変化割り込みマスクレジスタ (PCMSK0, PCMSK1, PCMSK2, PCMSK3) は、どのピンがピン変化割り込み要因となるかを制御します。PC I NT0~ 27 でのピン変化割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外のスリープ動作からもデバイス起動するのに使用できることを意味します。

NT0 と NT 割り込みは上昇端または下降端 (含む両端) または Lowレベルにより起動できます。これは外部割り込み制御レジスタ (EICRA) で記述されるように形態設定されます。NT0 または NT 割り込みがレベル起動として設定、且つ許可されると、そのピンが Low に保持される限り、割り込みは継続的に起動します。NT0 または NT1 の上昇端や下降端割り込みの認知は、1 頁の「クロックシステムとその配給」で記述される I/O クロックの存在を必要とすることに注意してください。

9.2.1. Lowレベル割り込み

NT0 と NT1 の Lowレベル割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外のスリープ動作からもデバイス起動するのに使用できることを意味します。I/O クロックはアイドル動作を除く全スリープ動作で停止されます。

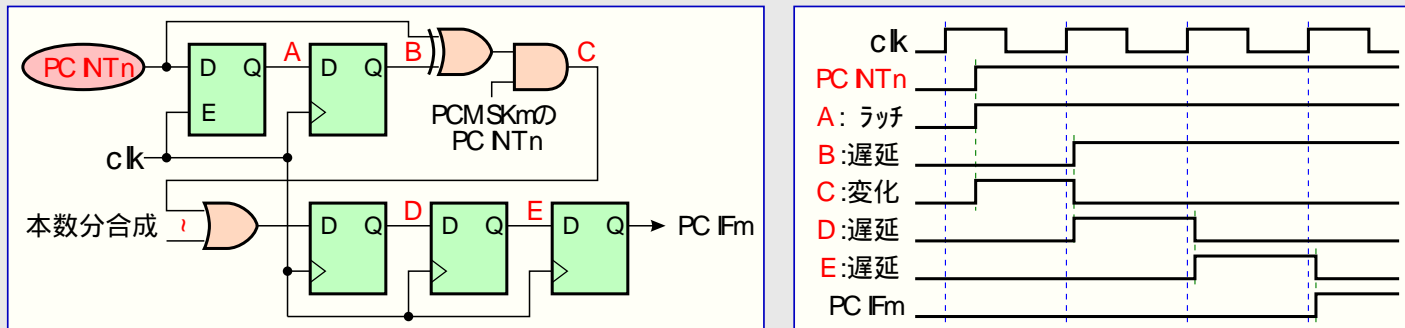
レベル起動割り込みがパワーダウン動作からの起動に使用される場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCU に対して充分長く保たなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅した場合、MCU は今まで通り起動しますが、割り込みが生成されません。起動時間は 1 頁の「システムクロックとクロック選択」で示されるように SUT と CKSEL で定義されます。

デバイスが起動復帰する前に割り込みピン上の Lowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、SLEEP 命令に続く命令から継続します。

9.2.2. ピン変化割り込み タイミング

ピン変化割り込みの例は図 9-1 で示されます。

図 9-1. ピン変化割り込み タイミング



9.3 外部割り込み用レジスタ

9.3.1 外部割り込み制御レジスタA (External Interrupt Control Register A) EICRA

外部割り込み制御レジスタAは割り込み条件制御ビットを含みます。

ビット (\$69)	7	6	5	4	3	2	1	0	
	-	-	-	-	ISC11	ISC10	ISC01	ISC00	EICRA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7～4 - Res. 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット3,2 - ISC11:0 外部割り込み1条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み1はステータスレジスタ(SREG)の全割り込み許可 (Iビット)と外部割り込みマスクレジスタ(EIMSK)の外部割り込み許可 (NT1ビット)がセット(1)される場合のNT1ビットによって活性有効にされます。割り込みを活性にする外部NT1ビットのエッジとレベルは表9-2で定義されます。NT1ビットの値はエッジ検出に先立って採取されています。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるハルシは割り込みを生成します。より短いハルシは割り込みの発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たなければなりません。

表 9-2 外部割り込み1 (NT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	NT1ビットがLowレベルで発生。
0	1	NT1ビットの論理変化 (両端)
1	0	NT1ビットの下降端で発生。
1	1	NT1ビットの上昇端で発生。

ビット1,0 - ISC01:0 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可 (Iビット)と外部割り込みマスクレジスタ(EIMSK)の外部割り込み許可 (NT0ビット)がセット(1)される場合のNT0ビットによって活性有効にされます。割り込みを活性にする外部NT0ビットのエッジとレベルは表9-3で定義されます。NT0ビットの値はエッジ検出に先立って採取されています。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるハルシは割り込みを生成します。より短いハルシは割り込みの発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たなければなりません。

表 9-3 外部割り込み0 (NT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	NT0ビットがLowレベルで発生。
0	1	NT0ビットの論理変化 (両端)
1	0	NT0ビットの下降端で発生。
1	1	NT0ビットの上昇端で発生。

932. 外部割り込みマスクレジスタ (External Interrupt Mask Register) EMSK

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	-	-	-	-	-	-	NT1	NT0	EMSK
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7- 2 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット1 - NT1 :外部割り込み 1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ (SREG) の全割り込み許可 (I)ビットがセット(1)され、NT1ビットがセット(1)されると、NT外部割り込みが許可されます。外部割り込み制御レジスタA (ICRA) の割り込み条件制御のビット (ISC11, ISC10)は、この外部割り込みが NT1ピンの上昇端、下降端、両端、またはLowレベルのどれで活性 (有効) にされるかを定義します。例えば NT1ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求 1に対応する割り込みは **NT割り込みベクタ**から実行されます。

ビット0 - NT0 :外部割り込み 0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ (SREG) の全割り込み許可 (I)ビットがセット(1)され、NT0ビットがセット(1)されると、NT外部割り込みが許可されます。外部割り込み制御レジスタA (ICRA) の割り込み条件制御のビット (ISC01, ISC00)は、この外部割り込みが NT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性 (有効) にされるかを定義します。例えば NT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求 0に対応する割り込みは **NT割り込みベクタ**から実行されます。

933. 外部割り込み要求フラグレジスタ (External Interrupt Flag Register) EFR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	-	-	NTF1	NTF0	EFR
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7- 2 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット1 - NTF1 :外部割り込み 要求フラグ (External Interrupt Flag 1)

NT1ピン上のエッジまたは論理変化が割り込み要求を起動すると、NTF1がセット(1)になります。ステータスレジスタ (SREG) の全割り込み許可 (I)ビットと外部割り込みマスクレジスタ EMSK の外部割り込み 許可 (NT1)ビットがセット(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア (0)されます。代わりにこのフラグは論理 1を書くことによってもクリア (0)できます。NT1がレベル割り込みとして設定されると、このフラグは常にクリア (0)されます。

ビット0 - NTF0 :外部割り込み (要求フラグ) (External Interrupt Flag 0)

NT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、NTF0がセット(1)になります。ステータスレジスタ (SREG) の全割り込み許可 (I)ビットと外部割り込みマスクレジスタ EMSK の外部割り込み 許可 (NT0)ビットがセット(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア (0)されます。代わりにこのフラグは論理 1を書くことによってもクリア (0)できます。NT0がレベル割り込みとして設定されると、このフラグは常にクリア (0)されます。

93.4.ピン変化割り込み制御レジスタ (Pin Change Interrupt Control Register) PC CR (注 次頁下段参照)

ビット	7	6	5	4	3	2	1	0	
(\$68)	-	-	-	-	PC E3	PC E2	PC E1	PC E0	PC CR
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7- 4 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット3 - PC E3 :ピン変化割り込み 3許可 (Pin Change Interrupt Enable 3)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、このPC E3ビットがセット(1)されると、ピン変化割り込み 3が許可されます。許可したPC NT24~ 27ビットの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPC I割り込みベクタから実行されます。PC NT24~ 27ビットはピン変化割り込みマスク3レジスタ(PCMSK3)によって個別に許可されます。

ビット2 - PC E2 :ピン変化割り込み 2許可 (Pin Change Interrupt Enable 2)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、このPC E2ビットがセット(1)されると、ピン変化割り込み 2が許可されます。許可したPC NT16~ 23ビットの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPC I割り込みベクタから実行されます。PC NT16~ 23ビットはピン変化割り込みマスク2レジスタ(PCMSK2)によって個別に許可されます。

ビット1 - PC E1 :ピン変化割り込み 1許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、このPC E1ビットがセット(1)されると、ピン変化割り込み 1が許可されます。許可したPC NT8~ 14ビットの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPC I割り込みベクタから実行されます。PC NT8~ 14ビットはピン変化割り込みマスク1レジスタ(PCMSK1)によって個別に許可されます。

ビット0 - PC E0 :ピン変化割り込み 0許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、このPC E0ビットがセット(1)されると、ピン変化割り込み 0が許可されます。許可したPC NT0~ 7ビットの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPC I割り込みベクタから実行されます。PC NT0~ 7ビットはピン変化割り込みマスク0レジスタ(PCMSK0)によって個別に許可されます。

93.5.ピン変化割り込み要求フラグレジスタ (Pin Change Interrupt Flag Register) PC FR (注 次頁下段参照)

ビット	7	6	5	4	3	2	1	0	
(\$1B) (\$3B)	-	-	-	-	PC IF3	PC IF2	PC IF1	PC IF0	PC FR
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7- 4 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット3 - PC F3 :ピン変化割り込み 3要求フラグ (Pin Change Interrupt Flag 3)

PC NT24~ 27ビットの何れかの論理変化が割り込み要求を起動すると、PC IF3がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットとピン変化割り込み制御レジスタ(PC CR)のピン変化割り込み 3許可 (PC E3)ビットがセット(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されるとクリア(0)されます。代わりにこのフラグは論理 1を書くことによってモクリア(0)できます。

ビット2 - PC F2 :ピン変化割り込み 2要求フラグ (Pin Change Interrupt Flag 2)

PC NT16~ 23ビットの何れかの論理変化が割り込み要求を起動すると、PC IF2がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットとピン変化割り込み制御レジスタ(PC CR)のピン変化割り込み 2許可 (PC E2)ビットがセット(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されるとクリア(0)されます。代わりにこのフラグは論理 1を書くことによってモクリア(0)できます。

ビット1 - PC F1 :ピン変化割り込み 1要求フラグ (Pin Change Interrupt Flag 1)

PC NT8~ 14ビットの何れかの論理変化が割り込み要求を起動すると、PC IF1がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットとピン変化割り込み制御レジスタ(PC CR)のピン変化割り込み 1許可 (PC E1)ビットがセット(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されるとクリア(0)されます。代わりにこのフラグは論理 1を書くことによってモクリア(0)できます。

ビット0 - PC F0 :ピン変化割り込み 0要求フラグ (Pin Change Interrupt Flag 0)

PC NT0~ 7ビットの何れかの論理変化が割り込み要求を起動すると、PC IF0がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットとピン変化割り込み制御レジスタ(PC CR)のピン変化割り込み 0許可 (PC E0)ビットがセット(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されるとクリア(0)されます。代わりにこのフラグは論理 1を書くことによってモクリア(0)できます。

93.6.ピン変化割り込みマスク3レジスタ (Pin Change Enable Mask 24~ 27) PCMSK3 (訳注 頁下段参照)

ビット (\$6A)	7	6	5	4	3	2	1	0	
	-	-	-	-	PC NT27	PC NT26	PC NT25	PC NT24	PCMSK3
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 4 - Res :予約 (Reserved)

これらのビットは予約されており 常に0として読めます。

ビット3~ 0 - PC NT27~ PC NT24 :ピン変化割り込み 27~ 24許可 (Pin Change Enable Mask 27~ 24)

各 PC NT24~ 27ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT24~ 27とピン変化割り込み制御レジスタ(PC ICR)のPC E3がセット(1)なら 対応する I/Oピンのピン変化割り込みが許可されます。PC NT24~ 27がクリア(0)されると 対応する I/Oピンのピン変化割り込みは禁止されます。

93.7.ピン変化割り込みマスク2レジスタ (Pin Change Enable Mask 16~ 23) PCMSK2

ビット (\$6D)	7	6	5	4	3	2	1	0	
	PC NT23	PC NT22	PC NT21	PC NT20	PC NT19	PC NT18	PC NT17	PC NT16	PCMSK2
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - PC NT23~ PC NT16 :ピン変化割り込み 23~ 16許可 (Pin Change Enable Mask 23~ 16)

各 PC NT16~ 23ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT16~ 23とピン変化割り込み制御レジスタ(PC ICR)のPC E2がセット(1)なら 対応する I/Oピンのピン変化割り込みが許可されます。PC NT16~ 23がクリア(0)されると 対応する I/Oピンのピン変化割り込みは禁止されます。

93.8.ピン変化割り込みマスク1レジスタ (Pin Change Enable Mask 8~ 14) PCMSK1

ビット (\$6C)	7	6	5	4	3	2	1	0	
	PC NT15	PC NT14	PC NT13	PC NT12	PC NT11	PC NT10	PC NT9	PC NT8	PCMSK1
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - PC NT15~ PC NT8 :ピン変化割り込み 15~ 8許可 (Pin Change Enable Mask 15~ 8)

各 PC NT8~ 15ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT8~ 15とピン変化割り込み制御レジスタ(PC ICR)のPC E1がセット(1)なら 対応する I/Oピンのピン変化割り込みが許可されます。PC NT8~ 15がクリア(0)されると 対応する I/Oピンのピン変化割り込みは禁止されます。

93.9.ピン変化割り込みマスク0レジスタ (Pin Change Enable Mask 0~ 7) PCMSK0

ビット (\$6B)	7	6	5	4	3	2	1	0	
	PC NT7	PC NT6	PC NT5	PC NT4	PC NT3	PC NT2	PC NT1	PC NT0	PCMSK0
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - PC NT7~ PC NT0 :ピン変化割り込み 7~ 0許可 (Pin Change Enable Mask 7~ 0)

各 PC NT0~ 7ビットは対応する I/Oピンでピン変化割り込みが許可されるかどうかを選びます。PC NT0~ 7とピン変化割り込み制御レジスタ(PC ICR)のPC E0がセット(1)なら 対応する I/Oピンのピン変化割り込みが許可されます。PC NT0~ 7がクリア(0)されると 対応する I/Oピンのピン変化割り込みは禁止されます。

(訳補) 28ピン外周器には PC NT24~ 27が存在しないため、PC E3,PC I3ビット及び PCMSK3レジスタが利用できません。

10. 入出力ポート

10.1. 序説

全てのAVRのポートは標準デジタルI/Oポートとして使用されるとき、真の読み・変更・書き(リード・モディファイ・ライト)を機能的に持ちます。これは**SB**と**CB**命令で他のどのビットの方向をも無意識に変更することなく、1つのポートビットの方向を変更できることを意味します。出力として設定されていれば駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。ビット駆動部はLED表示器を直接駆動するのに十分な強さです。全てのポートビットには個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗があります。全てのI/Oビットは図10-1で示されるようにVCCとGNDの両方に保護ダイオードを持っています。各値の完全な一覧については13頁の「電気的特性」を参照してください。

本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'**x**'はポート番号文字、小文字の'**n**'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使用するとき、正確な形式(例えば、ここで一般に記されたPORTxがポートBのビット3に対しては**PORTB3**が使用されなければなりません)。物理的なI/Oレジスタとビット位置は49頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(**PORTx**)、方向レジスタ(**DDRx**)、入力レジスタ(**PNx**)の各ポートに対して、3つのI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き両方です。けれども**PNx**レジスタのビットへの論理書き込みは、出力レジスタの対応ビット値を(1/0反転する結果になります)。加えて**MCU制御レジスタ(MCUCR)**の**プルアップ禁止(PUD)**ビットがセット(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

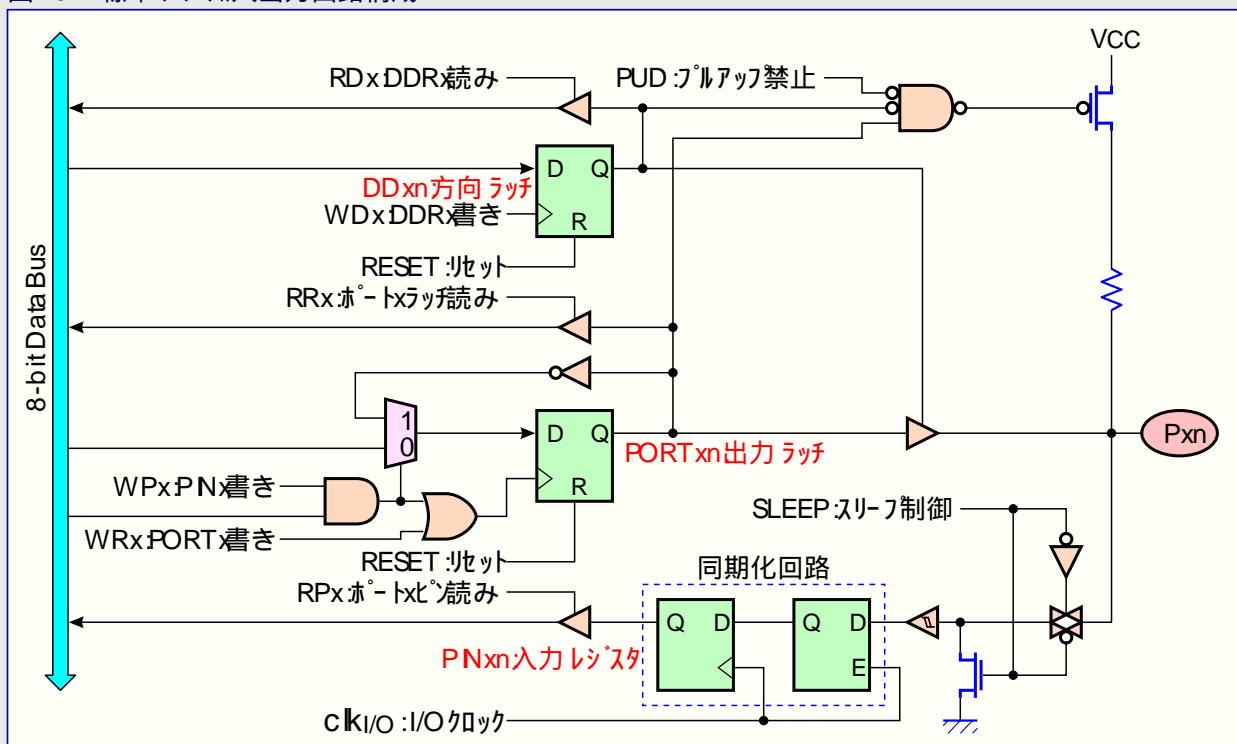
標準デジタルI/OとしてのI/Oポートの使用は次の標準デジタル入出力としてのポートで記述されます。多くのポートビットはデバイスの周辺機能用の兼用機能と多重化されます。ポートビットの各兼用機能のインターフェース法は4頁の「兼用ポート機能」で記述されます。兼用機能の完全な記述については個別機能部項目を参照してください。

ポートビットのいくつかの兼用機能の許可は、そのポート内の他のビットの標準デジタル入出力としての使用に影響しないことに注意してください。

10.2. 標準デジタル入出力としてのポート

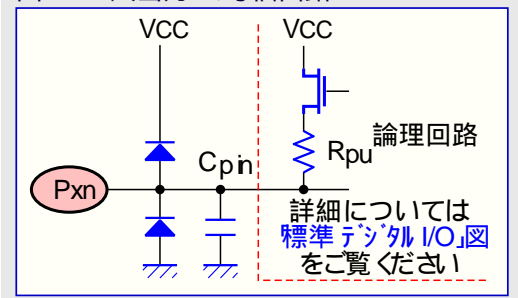
このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2はここで属に**Pxn**と呼ばれるI/Oポートビットの1つの機能説明を示します。

図 10-2 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ビットで共通です。
clk_{I/O}, SLEEP, PUDは全ポートで共通です。

図 10-1 入出力ビット等価回路



102.1. ピンの設定

各ポートピンは3つのレジスタビット **DDxn** **PORTxn** **PNxn**から成ります。49頁の「I/Oポート用レジスタ」で示されるようにDDxnビットはDDRx I/Oアドレス PORTxnビットはPORTx I/Oアドレス PNxnビットはPNx I/Oアドレスでアクセスされます。

DDRxnレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理 **1**を書かれるとPxnは出力ピンとして設定されます。DDxnが論理 **0**を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理 **1**を書かれると、プルアップ抵抗が活性 有効 にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理 **0**を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、レジスタ条件が活性 有効 になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理 **1**を書かれると、そのポートピンは **High(1)**に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理 **0**を書かれると、そのポートピンは **Low(0)**に駆動されます。

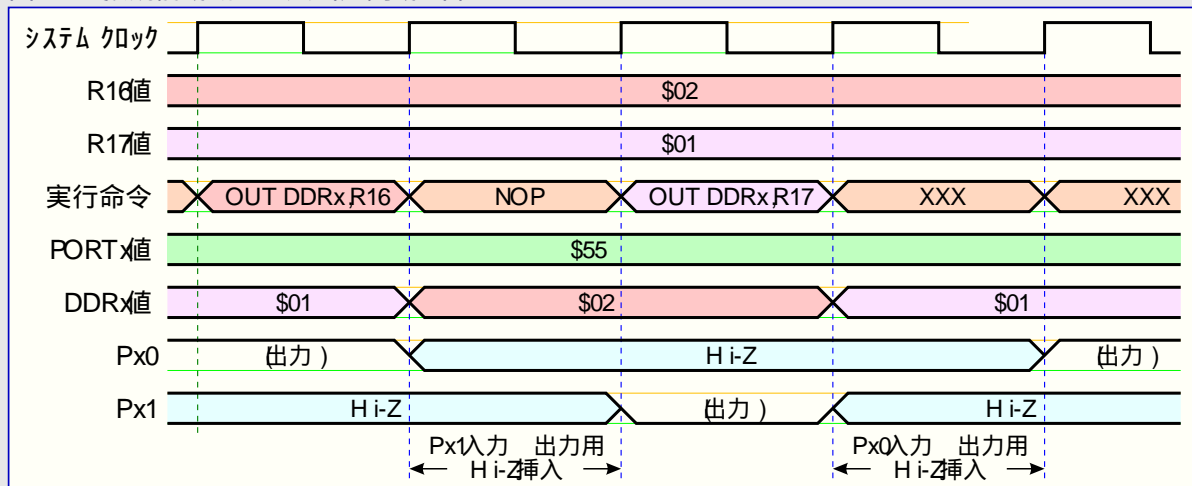
102.2. ピンの出力交互切り替え

PNxnへの論理 **1**書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。**SB**命令がポート内のビットの反転切り替えに使用できることに注目してください。

102.3 接続前切断 (Break-Before-Make)切り替え

接続前切断動作ではDDRxnを入力から出力へ切り換える時にシステムクロック持続する隣接Hi-Z区間が図10-3で示されるように導入されます。例えば、システムクロックが4MHzでDDRxnが出力にように書かれた場合、PORTxnの値がポートピンで見える前に250nsの隣接Hi-Z区間が導入されます。異常を避けるため、DDRxn最大切り替え周波数はシステムクロックが推奨されます。この接続前切断はポート単位動作で、ポート単位の接続前切断許可(BBMx)ビットによって活性にされます。BBMxビットの詳細については49頁の「ポート制御レジスタ(PORTCR)」をご覧ください。DDRxnビットを出力から入力に切り替える時に隣接Hi-Z区間は導入されません。

図 10-3 接続前切断での入出力間切り替え



102.4. 入出力間の切り替え

Hi-Z入力 (DDxn=0, PORTxn=0)とHigh出力 (DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力 (DDxn=0, PORTxn=1)またはLow出力 (DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、ハイインピーダンス環境は強力なHighソース駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタMCUCRのプルアップ禁止(PUD)ビットがセット(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力 (DDxn=0, PORTxn=0)またはHigh出力 (DDxn=1, PORTxn=1)のどちらかを使用しなければなりません。

表 10-1はピン値に対する制御信号の一覧を示します。

表 10-1. ポートピンの設定

DDxn	PORTxn	PUD (MCUCR) (注)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	ハイインピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力するとリーク電流が流れます。
0	1	1	入力	なし	ハイインピーダンス (Hi-Z)
1	0	X	出力	なし	Low (シンク)出力
1	1	X	出力	なし	High (ソース)出力

注: またはポート制御レジスタ(PORTCR)のポート単位プルアップ禁止(PUDx)ビット

10.2.5. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPNxnレジスタビットを通して読めます。図10-2で示されるようにPNxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態（メタステーブル）を避けるために必要とされますが、それは遅延も持ち込みます。図10-4は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd\ min}$ と $t_{pd\ max}$ で示されます。

図10-4でシステムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過（トランスパレント）となります。この信号値はシステムクロックがLowになる時に保持（ラッチ）されます。それが続くクロックの上昇端でPNxnレジスタに取り込まれます。2つの矢印 $t_{pd\ min}$ と $t_{pd\ max}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-5で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間 (t_{pd}) は1システムクロック周期です。

図10-4 外部供給ピン値読み込み時の同期化

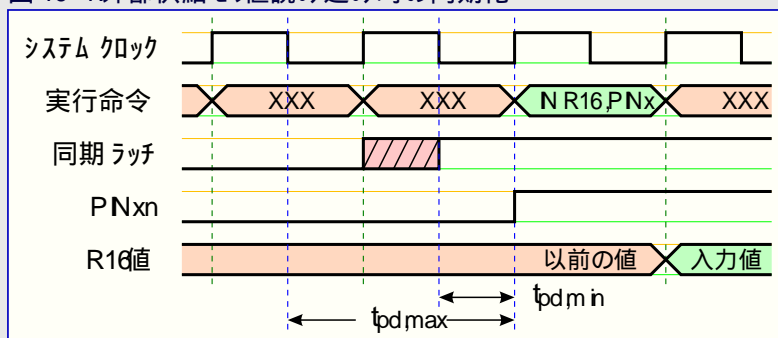
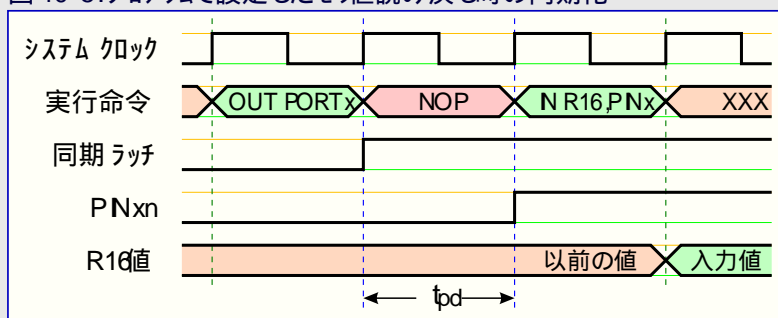


図10-5 プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートピンの0と1をHigh出力、2と3をLow出力、6と7をプルアップ指定として4~7を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0)    ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0) ;出力ビット値を取得
OUT     PORTB, R16    ;プルアップとHigh値を設定
OUT     DDRB, R17     ;入出力方向を設定
NOP                     ;同期化遅延対処
IN      R16, PINB     ;ピン値読み戻し
~

```

C言語プログラム例

```

unsigned char i;

~
PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0);    /* */
DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0); /* プルアップとHigh値を設定 */
__no_operation(); /* 入出力方向を設定 */
i = PINB;          /* 同期化遅延対処 */
~                  /* ピン値読み戻し */
/* */

```

注：アセンブリ言語プログラムについてはプルアップがピン0,1,6,7に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするのに2つの一時レジスタが使用されます。

1026. デジタル入力許可とスリーフ動作

図 10-2 で示されるようにデジタル入力信号はシュミットトリガの入力を GND に クランプ できます。この図で **SLEEP** と印された信号は入力信号のいくつかが開放のまま、または VCC / 2 付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン** 動作で MCU スリーフ制御器によってセッ(1) されます。

SLEEP は外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、**SLEEP** は他のピンについてと同様に有効です。**SLEEP** は 4 頁の **兼用ポート機能** で記載されるように様々な他の兼用機能によっても無視されず。

外部割り込みが許可されていない "上昇端、下降端または論理変化 (両端 割り込み)" として設定された非同期外部割り込みピンに論理 1 が存在すると、上で言及したスリーフ動作から復帰 再開する時に、これらのスリーフ動作に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定 (=1) されます。

1027. 未接続ピン

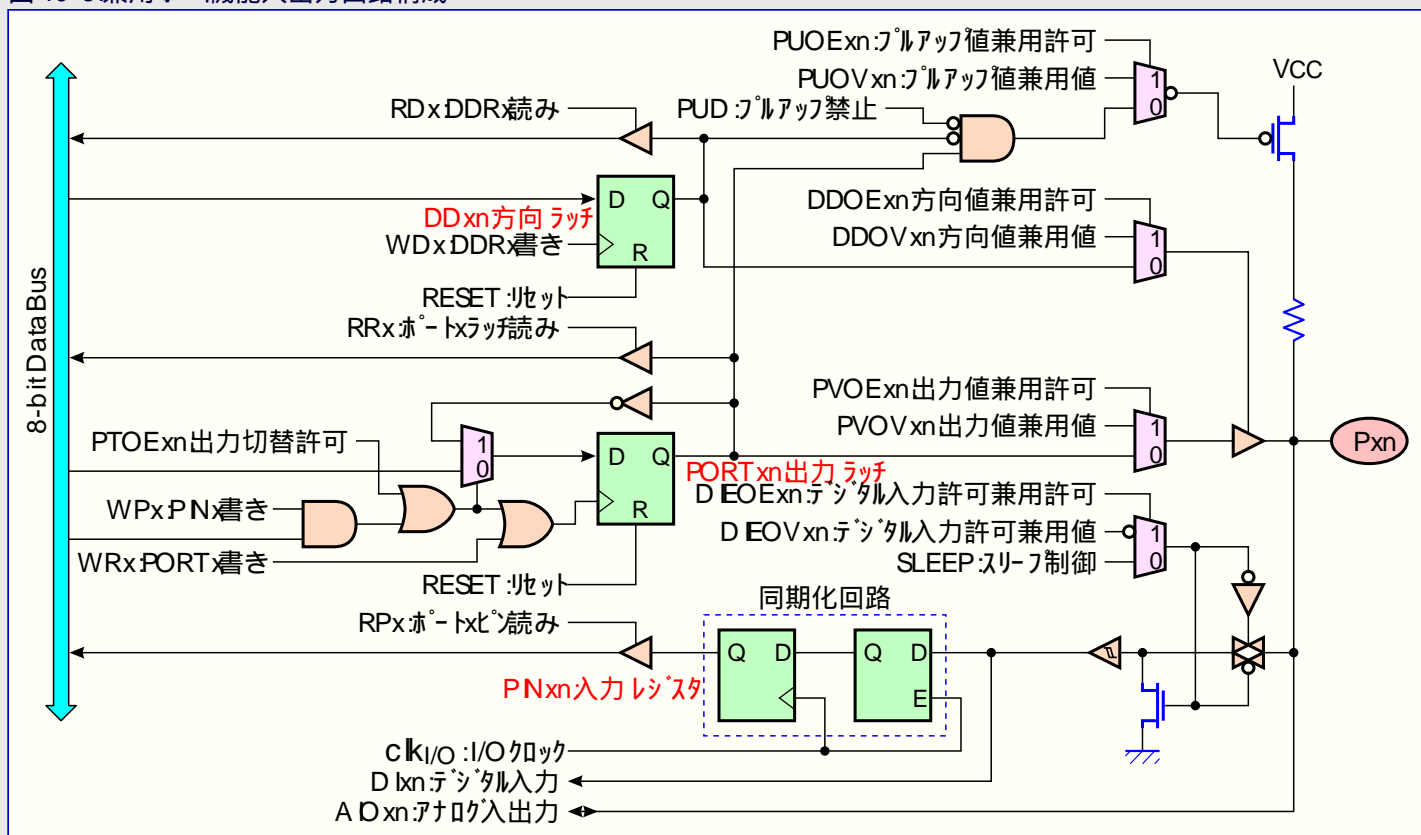
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例えば上記のような深いスリーフ動作で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作 (リセット 通常動作、アイドル動作) で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、チップ中のプルアップは禁止されます。チップ中の低消費電力が重要なら、外部プルアップまたはプルダウンを使用することが推奨されます。未使用ピンを直接 GND または VCC に接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

10.3. 兼用ポート機能

多くのポートピンには標準デジタル入出力に加え兼用機能があります。図 10-6は単純化された図 10-2でのポートピン制御信号が兼用機能によってどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。

図 10-6 兼用ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clk_{I/O}, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表 10-2は重複 兼用 信号の機能一覧を示します。図 10-6で示すピンとポートは次表で示されません。重複 兼用 信号は兼用機能を持つ機能部で内部的に生成されます。

表 10-2 兼用機能用兼用信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値兼用許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値兼用値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有 (1)/無 (0)を指定します。
DDOE	方向値兼用許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値兼用値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON (1)/OFF (0)を制御します。
PVOE	出力値兼用許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値兼用値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御 (1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DEOE	デジタル入力許可兼用許可	1で、デジタル入力許可はDEOV信号で制御され、0の場合、MCUの状態 (通常動作、スリープ動作) によって決定されます。
DEOV	デジタル入力許可兼用値	DEOE=1時、MCUの状態 (通常動作、スリープ動作) に関係なく、デジタル入力を許可 (1)/禁止 (0)します。
DI	デジタル入力	兼用機能用デジタル入力です。この信号は図上でシュミットトリカ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各兼用機能自身が同期化します。
AD	アナログ入出力	兼用機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は兼用機能に関連する重複 兼用 信号と各ポートの兼用機能を簡単に記述します。更に先の詳細については兼用機能の記述を参照してください。

10.3.1. ホー卜Aの兼用機能

ホー卜Bの兼用機能は表 10-3で示されます。

表 10-3. ホー卜Aの兼用機能

ホー卜	兼用機能
PA3	PC NT27 (レバ变化割込み 27入力)
PA2	PC NT26 (レバ变化割込み 26入力)
PA1	ADC7 (A/D変換チャネル7入力) PC NT25 (レバ变化割込み 25入力)
PA0	ADC6 (A/D変換チャネル6入力) PC NT4 (レバ变化割込み 4入力)

兼用レバの設定は次の通りです。

PC NT27 - ホー卜A レバ3 :PA3

PC NT27 :レバ变化割込み 27入力。

PC NT26 - ホー卜A レバ2 :PA2

PC NT26 :レバ变化割込み 26入力。

ADC7/PC NT25 - ホー卜A レバ1 :PA1

ADC7 :PA1は A/D変換チャネル7入力として使用できます。

PC NT25 :レバ变化割込み 25入力。

ADC6/PC NT24 - ホー卜A レバ0 :PA0

ADC6 :PA0は A/D変換チャネル6入力として使用できます。

PC NT24 :レバ变化割込み 24入力。

表 10-4は ホー卜Aの兼用機能を 4頁の図 10-6で示される兼用信号に関連付けます。

表 10-4. ホー卜Aの兼用機能用兼用信号

信号名	PA3/PC NT27	PA2/PC NT26	PA1/PC NT25	PA0/PC NT24
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	-	-	-	-
DEOE	PC NT27・PC E3	PC NT26・PC E3	PC NT25・PC E3	PC NT24・PC E3
DEOV	1	1	1	1
DI	PC NT27入力	PC NT26入力	PC NT25入力	PC NT24入力
AD	-	-	ADC7入力	ADC6入力

10.3.2. ホー-IBの兼用機能

ホー-IBの兼用機能は表 10-5で示されます。

表 10-5. ホー-IBの兼用機能

ホー-IB	兼用機能
PB7	PC NT7 (ピク変化割り込み 7入力)
PB6	CLK I 外部 クック信号入力) PC NT6 (ピク変化割り込み 6入力)
PB5	SCK SPI直列 クック主装置側出力 (従装置側入力) PC NT5 (ピク変化割り込み 5入力)
PB4	MISO SPI主装置側データ入力 (従装置側データ出力) PC NT4 (ピク変化割り込み 4入力)
PB3	MOSI SPI主装置側データ出力 (従装置側データ入力) PC NT3 (ピク変化割り込み 3入力)
PB2	SS SPI従装置選択入力) OC1B タイマ/カウンタ1比較B一致出力) PC NT2 (ピク変化割り込み 2入力)
PB1	OC1A タイマ/カウンタ1比較A一致出力) PC NT1 (ピク変化割り込み 1入力)
PB0	CP1 タイマ/カウンタ1捕獲起動入力) CLKO システム クック出力) PC NT0 (ピク変化割り込み 0入力)

兼用ピンの設定は次の通りです。

PC NT7 - ホー-IB ピン7 :PB7

PC NT7 :ピク変化割り込み 7入力。PB7ピンは外部割り込み元としても扱えます。

CLK I/PC NT6 - ホー-IB ピン6 :PB6

CLK I外部 クック信号入力。クックピンとして使用されると、このピンは I/Oピンとして使用できません。

PC NT6 :ピク変化割り込み 6入力。PB6ピンは外部割り込み元としても扱えます。

PB6がクックピンとして使用されると、PORTB6, DDB6, PNB6は全て 0を読みます。

SCK/PC NT5 - ホー-IB ピン5 :PB5

SCK :SPIチャネル用の主装置 クック出力、従装置 クック入力。SPが従装置として許可されると、本ピンはホー-IB方向レジスタ(DDRB)の DDB5設定に拘らず、入力として設定されます。SPが主装置として許可されると、このピンのデータ方向はDDB5によって制御されます。このピンがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ(PORTB)の PORTB5によって制御できます。

PC NT5 :ピク変化割り込み 5入力。PB5ピンは外部割り込み元としても扱えます。

MISO/PC NT4 - ホー-IB ピン4 :PB4

MISO :SPIチャネル用の主装置データ入力、従装置データ出力。SPが主装置として許可されると、本ピンはホー-IB方向レジスタ(DDRB)の DDB4設定に拘らず、入力として設定されます。SPが従装置として許可されると、このピンのデータ方向はDDB4によって制御されます。このピンがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ(PORTB)の PORTB4によって制御できます。

PC NT4 :ピク変化割り込み 4入力。PB4ピンは外部割り込み元としても扱えます。

MOSI/PC NT3 - ホー-IB ピン3 :PB3

MOSI :SPIチャネル用の主装置データ出力、従装置データ入力。SPが従装置として許可されると、本ピンはホー-IB方向レジスタ(DDRB)の DDB3設定に拘らず、入力として設定されます。SPが主装置として許可されると、このピンのデータ方向はDDB3によって制御されます。このピンがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ(PORTB)の PORTB3によって制御できます。

PC NT3 :ピク変化割り込み 3入力。PB3ピンは外部割り込み元としても扱えます。

SS/OC1B/PC NT2 - ホー-IB ピン2 :PB2

SS :SPI従装置選択入力。SPが従装置として許可されると、本ピンはホー-IB方向レジスタ(DDRB)の DDB2設定に拘らず、入力として設定されます。従装置としてこのピンが Lowに駆動されるとSPI機能が活性化 有効に されます。SPが主装置として許可されると、このピンのデータ方向はDDB2によって制御されます。このピンがSPによって入力を強制されるとき、プルアップは未だホー-IB出力レジスタ(PORTB)の PORTB2によって制御できます。

OC1B :タイマ/カウンタ1の比較B一致出力。PB2ピンはタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、PB2ピンは出力として設定 (DDB2=1) されなければなりません。このOC1Bピンはタイマ機能のPWM動作出力ピンでもあります。

PC NT2 :ピク変化割り込み 2入力。PB2ピンは外部割り込み元としても扱えます。

OC1A/PCNT1 - ホー - HB ピット1 :PB1

OC1A :**タイマ/カウンタ**の比較 A一致出力。PB1ピンはタイマ/カウンタの比較 A一致用外部出力として扱えます。この機能を扱うため、PB1ピンは出力として設定 (**DDB1=1**) されなければなりません。このOC1Aピンはタイマ機能のPWM動作出力ピンでもあります。

PCNT1 :ピン変化割り込み 1入力。PB1ピンは外部割り込み元としても扱えます。

CP1/CLKO/PCNT0 - ホー - HB ピット0 :PB0

CP1 :タイマ/カウンタの捕獲起動入力。PB0ピンはタイマ/カウンタ用捕獲起動入力ピンとして動作できます。

CLKO :**システム クロック出力**。分周したシステム クロックがPB0ピンに出力できます。分周したシステム クロックは**CKOUTピンス**がプログラム (0) されると **PORTB0**と**DDRB**設定に拘らず、出力されます。これは リセット中にも出力されます。

PCNT0 :ピン変化割り込み 0入力。PB0ピンは外部割り込み元としても扱えます。

表 10-6と表 10-7はホー - HBの兼用機能を41頁の図 10-6で示される兼用信号に関連付けます。SP主装置入力とSP従装置出力がMISOを構成し、一方MOSはSP主装置出力とSP従装置入力に分けられます。

表 10-6. ホー - HB7~ 4の兼用機能用兼用信号

信号名	PB7/PCNT7	PB6/CLKI/PCNT6	PB5/SCK/PCNT5	PB4/MISO/PCNT4
PUOE	0	NTOSC	SPE・MSTR	SPE・MSTR
PUOV	0	0	PORTB5・PUD	PORTB4・PUD
DDOE	0	NTOSC	SPE・MSTR	SPE・MSTR
DDOV	0	0	0	0
PVOE	0	0	SPE・MSTR	SPE・MSTR
PVOV	0	0	SCK出力	SP従装置出力
PTOE	-	-	-	-
DEOE	PCNT7・PCIE0	NTOSC+PCNT6・PCIE0	PCNT5・PCIE0	PCNT4・PCIE0
DEOV	1	NTRC	1	1
DI	PCNT7入力	PCNT6入力	SCK/PCNT5入力	SP主装置 /PCNT4入力
AD	-	クック入力	-	-

注 : NTOSCは校正付き内蔵発振器が **CKSELピンス**によって 選択されることを意味します。

表 10-7. ホー - HB3~ 0の兼用機能用兼用信号

信号名	PB3/MOSI/PCNT3	PB2/SS/OC1B/PCNT2	PB1/OC1A/PCNT1	PB0/CP1/CLKO/PCNT0
PUOE	SPE・MSTR	SPE・MSTR	0	0
PUOV	PORTB3・PUD	PORTB2・PUD	0	0
DDOE	SPE・MSTR	SPE・MSTR	0	0
DDOV	0	0	0	0
PVOE	SPE・MSTR	OC1B許可	OC1A許可	0
PVOV	SP主装置出力	OC1B	OC1A	0
PTOE	-	-	-	-
DEOE	PCNT3・PCIE0	PCNT2・PCIE0	PCNT1・PCIE0	PCNT0・PCIE0
DEOV	1	1	1	1
DI	SP従装置 /PCNT3入力	SPISS/PCNT2入力	PCNT1入力	CP1/PCNT0入力
AD	-	-	-	-

10.3.3. ホールICの兼用機能

ホールICの兼用機能は表 10-8で示されます。

表 10-8. ホールICの兼用機能

ホールピン	兼用機能	ホールピン	兼用機能
PC7	PC NT15 (レベル変化割り込み 15入力)	PC3	ADC3 (A/D変換チャネル3入力) PC NT11 (レベル変化割り込み 11入力)
PC6	RESET (リセットピン) PC NT14 (レベル変化割り込み 14入力)	PC2	ADC2 (A/D変換チャネル2入力) PC NT10 (レベル変化割り込み 10入力)
PC5	ADC5 (A/D変換チャネル5入力) SCL (2線直列バスクロック入出力) PC NT13 (レベル変化割り込み 13入力)	PC1	ADC1 (A/D変換チャネル1入力) PC NT9 (レベル変化割り込み 9入力)
PC4	ADC4 (A/D変換チャネル4入力) SDA (2線直列バスデータ入出力) PC NT12 (レベル変化割り込み 12入力)	PC0	ADC0 (A/D変換チャネル0入力) PC NT8 (レベル変化割り込み 8入力)

兼用ピンの設定は次の通りです。

PC NT15 - ホールIC ピン7 : PC7

PC NT15 : レベル変化割り込み 15入力。PC7ピンは外部割り込み元としても扱えます。

RESET / PC NT14 - ホールIC ピン6 : PC6

RESET : リセットピン。RSTDISBLヒューズがプログラム(0)されると、このピンは標準のI/Oピンとして機能し、デバイスにはリセットとして電源ON時にリセットと低電圧リセットに頼らなければなりません。RSTDISBLヒューズが非プログラム(1)にされると、このピンにリセット回路が接続され、このピンはI/Oピンとして使用できません。

PC6がリセットピンとして使用されると、PORTC6、DDRC6、PNC6は全て0を読み取ります。

PC NT14 : レベル変化割り込み 14入力。PC6ピンは外部割り込み元としても扱えます。

SCL / ADC5 / PC NT13 - ホールIC ピン5 : PC5

SCL : 2線直列インターフェースクロック。2線直列インターフェースを許可するために2線直列インターフェース制御レジスタ(TWCR)の2線直列インターフェース動作許可(TWEN)ビットがセット(1)されると、PC5は標準のホールICから切り離されて、2線直列インターフェース用直列クロック入出力ピンになります。この動作では入力信号上の50nsより短いスパイク瞬間雑音を消去するためのスパイク除去器があり、スリープ時上昇/下降速度制限付きオープンドレイン駆動部によって駆動されます。

ADC5 : PC5はA/D変換チャネル5入力としても使用できます。A/D変換チャネル5入力がデジタル電源を使用することに注意してください。

PC NT13 : レベル変化割り込み 13入力。PC5ピンは外部割り込み元としても扱えます。

SDA / ADC4 / PC NT12 - ホールIC ピン4 : PC4

SDA : 2線直列インターフェースデータ。2線直列インターフェースを許可するために2線直列インターフェース制御レジスタ(TWCR)の2線直列インターフェース動作許可(TWEN)ビットがセット(1)されると、PC4は標準のホールICから切り離されて、2線直列インターフェース用直列データ入出力ピンになります。この動作では入力信号上の50nsより短いスパイク瞬間雑音を消去するためのスパイク除去器があり、スリープ時上昇/下降速度制限付きオープンドレイン駆動部によって駆動されます。

ADC4 : PC4はA/D変換チャネル4入力としても使用できます。A/D変換チャネル4入力がデジタル電源を使用することに注意してください。

PC NT12 : レベル変化割り込み 12入力。PC4ピンは外部割り込み元としても扱えます。

ADC3 / PC NT11 - ホールIC ピン3 : PC3

ADC3 : PC3はA/D変換チャネル3入力としても使用できます。A/D変換チャネル3入力がアナログ電源を使用することに注意してください。

PC NT11 : レベル変化割り込み 11入力。PC3ピンは外部割り込み元としても扱えます。

ADC2 / PC NT10 - ホールIC ピン2 : PC2

ADC2 : PC2はA/D変換チャネル2入力としても使用できます。A/D変換チャネル2入力がアナログ電源を使用することに注意してください。

PC NT10 : レベル変化割り込み 10入力。PC2ピンは外部割り込み元としても扱えます。

ADC1 / PC NT9 - ホールIC ピン1 : PC1

ADC1 : PC1はA/D変換チャネル1入力としても使用できます。A/D変換チャネル1入力がアナログ電源を使用することに注意してください。

PC NT9 : レベル変化割り込み 9入力。PC1ピンは外部割り込み元としても扱えます。

ADC0 / PC NT8 - ホールIC ピン0 : PC0

ADC0 : PC0はA/D変換チャネル0入力としても使用できます。A/D変換チャネル0入力がアナログ電源を使用することに注意してください。

PC NT8 : レベル変化割り込み 8入力。PC0ピンは外部割り込み元としても扱えます。

表 10-9と表 10-10はポートCの兼用機能を4頁の図 10-6で示される兼用信号に関連付けます。

表 10-9.ポートC7~4の兼用機能用兼用信号

信号名	PC7/PCNT15	PC6/RESET/PCNT14	PC5/SCL/ADC5/PCNT13	PC4/SDA/ADC4/PCNT12
PUOE	0	RSTDISBL	TWEN	TWEN
PUOV	0	1	PORTC5·PUD	PORTC4·PUD
DDOE	0	RSTDISBL	TWEN	TWEN
DDOV	0	0	SCL出力	SDA出力
PVOE	0	0	TWEN	TWEN
PVOV	0	0	0	0
PTOE	-	-	-	-
DEOE	PCNT15·PCIE1	RSTDISBL+PCNT14·PCIE1	ADC5D+PCNT13·PCIE1	ADC4D+PCNT12·PCIE1
DEOV	1	RSTDISBL	PCNT13·PCIE1	PCNT12·PCIE1
DI	PCNT15入力	PCNT14入力	PCNT13入力	PCNT12入力
AD	-	アナログ入力	ADC5入力 /SCL入力	ADC4入力 /SDA入力

注:許可されると、2線直列インターフェースはPC4とPC5の出力のスレーブ制御を許可します。これは図で示されていません。
加えて、ポートCで示されるAD出力と2線直列インターフェース(TWI)部間にパルス除去器が接続されます。

表 10-10.ポートC3~0の兼用機能用兼用信号

信号名	PC3/ADC3/PCNT11	PC2/ADC2/PCNT10	PC1/ADC1/PCNT9	PC0/ADC0/PCNT8
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	-	-	-	-
DEOE	ADC3D+PCNT11·PCIE1	ADC2D+PCNT10·PCIE1	ADC1D+PCNT9·PCIE1	ADC0D+PCNT8·PCIE1
DEOV	PCNT11·PCIE1	PCNT10·PCIE1	PCNT9·PCIE1	PCNT8·PCIE1
DI	PCNT11入力	PCNT10入力	PCNT9入力	PCNT8入力
AD	ADC3入力	ADC2入力	ADC1入力	ADC0入力

10.3.4. ホールIDの兼用機能

ホールIDの兼用機能は表 10-11で示されます。

表 10-11. ホールIDの兼用機能

ホールID	兼用機能	ホールID	兼用機能
PD7	AN1 (アナログ比較器反転入力) PCNT23 (カウンタ23入力)	PD3	NT1 外部割り込み 1入力) PCNT19 (カウンタ19入力)
PD6	AN0 (アナログ比較器非反転入力) PCNT22 (カウンタ22入力)	PD2	NT0 外部割り込み 0入力) PCNT18 (カウンタ18入力)
PD5	T1 (タイマ/カウンタ1外部クロック入力) PCNT21 (カウンタ21入力)	PD1	PCNT17 (カウンタ17入力)
PD4	T0 (タイマ/カウンタ0外部クロック入力) PCNT20 (カウンタ20入力)	PD0	PCNT16 (カウンタ16入力)

ホールIDの設定は次の通りです。

AN1/PCNT23 - ホールIDビット7 :PD7

AN1 :アナログ比較器反転入力。アナログ比較器機能を邪魔するデジタルホール機能を無効とするために、内部プルアップがOFFにされた入力としてホールIDを設定してください。

PCNT23 :カウンタ23入力。PD7は外部割り込み元としても扱えます。

AN0/PCNT22 - ホールIDビット6 :PD6

AN0 :アナログ比較器非反転入力。アナログ比較器機能を邪魔するデジタルホール機能を無効とするために、内部プルアップがOFFにされた入力としてホールIDを設定してください。

PCNT22 :カウンタ22入力。PD6は外部割り込み元としても扱えます。

T1/PCNT21 - ホールIDビット5 :PD5

T1 :タイマ/カウンタ1の外部クロック入力ピンです。

PCNT21 :カウンタ21入力。PD5は外部割り込み元としても扱えます。

T0/PCNT20 - ホールIDビット4 :PD4

T0 :タイマ/カウンタ0の外部クロック入力ピンです。

PCNT20 :カウンタ20入力。PD4は外部割り込み元としても扱えます。

NT1/PCNT19 - ホールIDビット3 :PD3

NT1 外部割り込み 1入力。PD3は外部割り込み元として扱えます。

PCNT19 :カウンタ19入力。PD3は外部割り込み元としても扱えます。

NT0/PCNT18 - ホールIDビット2 :PD2

NT0 外部割り込み 0入力。PD2は外部割り込み元として扱えます。

PCNT18 :カウンタ18入力。PD2は外部割り込み元としても扱えます。

PCNT17 - ホールIDビット1 :PD1

PCNT17 :カウンタ17入力。PD1は外部割り込み元としても扱えます。

PCNT16 - ホールIDビット0 :PD0

PCNT16 :カウンタ16入力。PD0は外部割り込み元としても扱えます。

表 10-12と表 10-13はホ-ドの兼用機能を4頁の図 10-6で示される兼用信号に関連付けます。

表 10-12.ホ-ド7~ 4の兼用機能用兼用信号

信号名	PD7/A N1/PC NT23	PD6/A N0/PC NT22	PD5/T1/PC NT21	PD4/T0/PC NT20
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	-	-	-	-
D EOE	PC NT23・PC E2	PC NT22・PC E2	PC NT21・PC E2	PC NT20・PC E2
D EOVS	1	1	1	1
DI	PC NT23入力	PC NT22入力	T1/PC NT21入力	T0/PC NT20入力
AD	AN1入力	AN0入力	-	-

表 10-13.ホ-ド3~ 0の兼用機能用兼用信号

信号名	PD3/ NT1/PC NT19	PD2/ NT0/PC NT18	PD1/PC NT17	PD0/PC NT16
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	-	-	-	-
D EOE	NT許可 +PC NT19・PC E2	NT許可 +PC NT18・PC E2	PC NT17・PC E2	PC NT16・PC E2
D EOVS	1	1	1	1
DI	NT1/PC NT19入力	NT0/PC NT18入力	PC NT17入力	RXD/PC NT16入力
AD	-	-	-	-

10.4. I/Oポート用レジスタ

10.4.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	BODS	BODSE	PUD	-	-	-	-	MCUCR
Read/W rite	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット4 - PUD : プルアップ禁止 (Pull-up D isable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可 (DDxn=0, PORTxn=1) に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては38頁の「[ピン設定](#)」をご覧ください。

10.4.2. ポート制御レジスタ (Port Control Register) PORTCR

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	BBMD	BBMC	BBMB	BBMA	PUDD	PUDC	PUDB	PUDA	PORTCR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7- 4 - BBMx : 接続前切断動作許可 (Break-Before-Make Mode Enable)

これらのビットが1を書かれると、ポート単位の接続前切断動作が活性 (有効) にされます。そして出力にするためのDDRxn書き込み時に仲介Hi-Zサイクルが挿入されます。更なる情報については38頁の「[接続前切断切り替え](#)」をご覧ください。

ビット3- 0 - PUDx : ポート単位プルアップ禁止 (Port-W ise Pull-up D isable)

これらのビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可 (DDxn=0, PORTxn=1) に設定されていても、定義された入出力ポートでポート単位のプルアップが禁止されます。これらのポート単位プルアップ禁止ビットはMCU制御レジスタ (MCUCR) の全プルアップ禁止 (PUD) ビットと論理和 OR されます。この特徴についてより多くの詳細に関しては38頁の「[ピン設定](#)」をご覧ください。

10.4.3. ポートA出力レジスタ (Port A Data Register) PORTA [訳注 頁下段参照](#)

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	-	-	-	-	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.4. ポートA方向レジスタ (Port A Data D irection Register) DDRA [訳注 頁下段参照](#)

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	-	-	-	-	DDA3	DDA2	DDA1	DDA0	DDRA
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.5. ポートA入力レジスタ (Port A Input Address) PNA [訳注 頁下段参照](#)

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	-	-	-	-	PNA3	PNA2	PNA1	PNA0	PNA
Read/W rite	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	

訳補) 28ピン外周器にはPA3~ 0が存在しないため、PORTA、DDRA、PNAレジスタは利用できません。

10.4.6. ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$05 (\$25)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.7. ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.8. ポートB入力レジスタ (Port B Input Address) PNB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	PNB
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

10.4.9. ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.10. ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.11. ポートC入力レジスタ (Port C Input Address) PNC

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	PNC7	PNC6	PNC5	PNC4	PNC3	PNC2	PNC1	PNC0	PNC
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

10.4.12. ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.13. ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.4.14. ポートD入力レジスタ (Port D Input Address) PND

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	PND7	PND6	PND5	PND4	PND3	PND2	PND1	PND0	PND
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

11.8ビットタイマ/カウンタ0

11.1 特徴

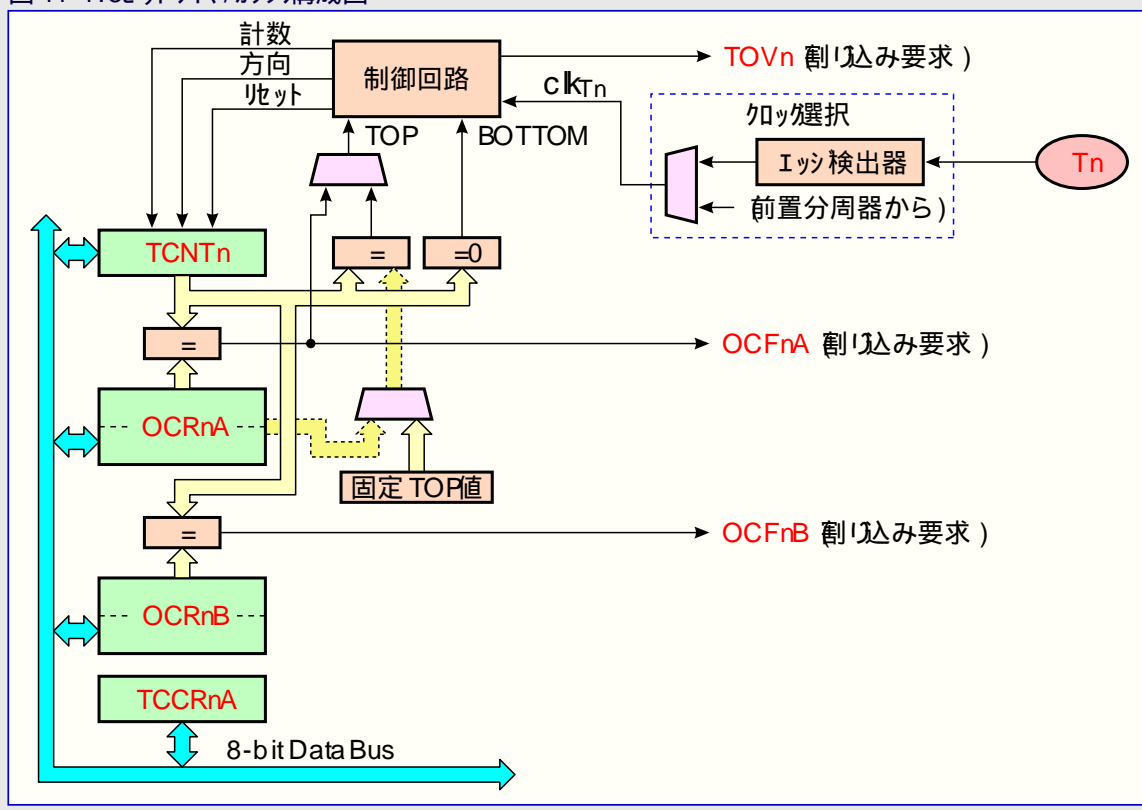
- 2つの独立した比較出力部
- 比較一致でのタイマ/カウンタクリア (自動再設定)
- 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

11.2 概要

タイマ/カウンタ0は2つの独立した比較出力部付きの汎用 8ビットタイマ/カウンタ部です。それは正確なプログラム実行タイミング事象管理、波形生成を許します。この 8ビットタイマ/カウンタの簡便な構成図は図 11-1 で示されます。I/Oピンの実際の配置については 2頁の「ピン配置」を参照してください。CPUがアクセス可能な (I/Oビットと I/Oピンを含む) I/Oレジスタは赤文字 (訳注: 原文は太字) で示されます。デバイス仕様の I/Oレジスタとピン位置は 55頁の「8ビットタイマ/カウンタ用レジスタ」で一覧されます。

25頁の「電力削減レジスタ(PRR)」の PRTM0ビットはタイマ/カウンタ部を許可するために 0を書かれなければなりません。

図 11-1. 8ビットタイマ/カウンタ構成図



11.2.1 関係レジスタ

タイマ/カウンタ (TCNT0) と比較レジスタ (OCR0A と OCR0B) は 8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ (TIFR0) で全て見えます。全ての割り込みはタイマ/カウンタ割り込みマスクレジスタ (TMSK0) で個別に遮蔽 (禁止) されます。TIFR0 と TMSK0 はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、または T0CK1 の外部クロックによってクロック駆動されます。クロック選択論理部はタイマ/カウンタ値を増加するために使用するクロックを制御します。クロックが選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック (clkT0) として参照されます。

比較レジスタ (OCR0A と OCR0B) はタイマ/カウンタ値と常に比較されます。この比較一致発生は比較一致割り込み要求の発生に使用できる比較一致割り込み要求フラグ (OCF0A と OCF0B) をセット (1) します。

11.2.2 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の 'n' はタイマ/カウンタ番号、この場合は 0 で置き換え、小文字の 'x' は比較出力部のチャネル名を表し、この場合は A または B です。然しながらプログラムでレジスタまたはビット定義に使用する時は正確な形式が使用されなければなりません (例えばタイマ/カウンタ0のカウンタ値のアクセスに対しての TCNT0 のように)。

表 11-1 の定義は本資料を広い範囲に通して使用されます。

表 11-1 用語定義

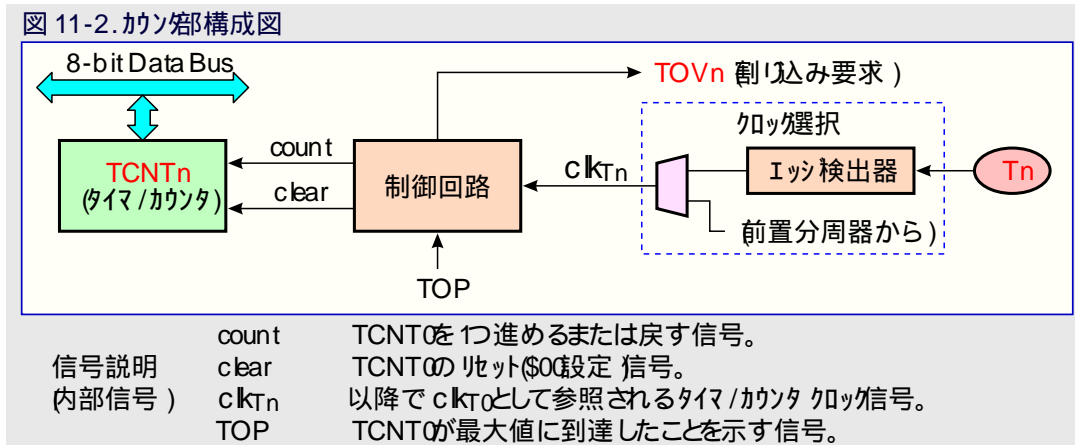
用語	意味
MAX	タイマ/カウンタが \$FF (255) に到達した時。
TOP	タイマ/カウンタが指定された固定値 (\$FF) または OCR0A 値に到達した時。この指定 (TOP 値は動作種別に依存します)。

11.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタ(TCCR0A)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については76頁の「タイマ/カウンタとタイマ/カウンタの前置分周器」をご覧ください。

11.4. 計数器部

8ビットタイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図11-2はこのカウンタとその周辺環境の構成図を示します。



使用した動作種別に依存して、カウンタは各タイマ/カウンタクロック(clkT0)でクリア(\$00)増加(+1)または減少(-1)されます。clkT0はクロック選択(CS02~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS02~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタクロック(clkT0)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタクリアや計数動作を無視します(上位優先順位を持ちます)。

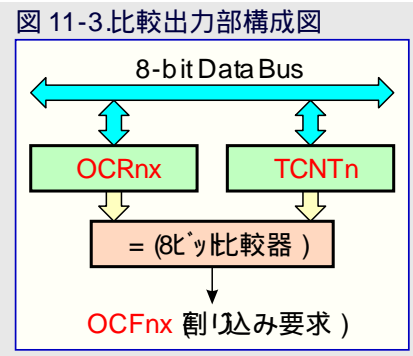
計数順序(方法)はタイマ/カウンタ制御レジスタ(TCCR0A)に配置された比較一致クリア許可(CTC0)ビットの設定によって決定されます。進化した計数順序についてのより多くの詳細に関しては53頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはCTC0ビットによって選択された動作種別に従って設定(=1)されます。TOV0はCPU割り込み発生に使用できます。

11.5. 出力比較部

8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで比較割り込み要求フラグ(OCF0AまたはOCF0B)をセット(1)します。対応する割り込みが許可(=1, OCF0EまたはOCF0EB=1)されているなら、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的にクリア(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでもクリア(0)できます。

図11-3は比較出力部の構成図を示します。



11.5.1. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特性はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0Aに許します。

11.5.2. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも、1タイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかに拘らず、比較出力部を使用する場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0A値と同じ場合、比較一致は失われ(一致が発生せず)不正な結果に終わります。

11.6 動作種別

動作種別、換言するとタイマ/カウンタ比較出力の動作は比較一致クリア許可 (CTC0ビット)によって定義されます。

タイミング情報の詳細については54頁の「タイマ/カウンタのタイミング」を参照してください。

11.6.1 標準動作

最も単純な動作種別が標準動作 (CTC0=0)です。この動作種別での計数方向は常に上昇 (+)で、カウンタクリアは実行されません。カウンタは8ビット最大値 (TOP=\$FF)を通過すると単に範囲を超え、そして\$00から再び始めます。通常動作でのタイマ/カウンタ溢れ (TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロックサイクルでセット(1)されます。この場合のTOV0フラグはセット(1)のみでクリア(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的にクリア(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

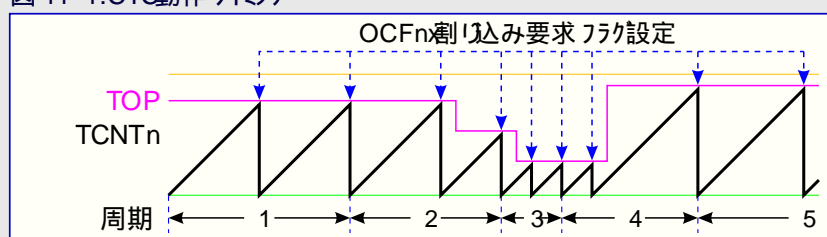
比較出力部は与えられた或る時間に割り込みを生成するのに使用できます。

11.6.2 比較一致タイマ/カウンタクリア (CTC) 動作

比較一致タイマ/カウンタクリア (CTC) 動作 (CTC0=1)ではOCR0Aがカウンタの分解能を操作するために使用されます。CTC動作ではカウンタ (TCNT0値がOCR0Aと一致すると、カウンタは\$00にクリアされます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図11-4で示されます。カウンタ (TCNT0値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後カウンタ (TCNT0)はクリア (\$00)されます。

図 11-4. CTC動作 タイミング



訳注 本図内の周期はOCFn割り込み時に値反転を行った場合のそれに対する周期で、参考の意味だけです。

OCF0Aフラグを使用することにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時に\$00に近い値へTOPを変更することは、2重ハーフ機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値より低い小さい場合、タイマ/カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こるのに先立って、最大値 (\$FF)へそして次に\$00から始める計数をしなければならないでしょう。

標準動作と同じようにタイマ/カウンタ溢れ (TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロックサイクルでセット(1)されます。

11.7. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{T0})がクロック許可信号として示されます。この図は割り込みフラグがセット(1)される時の情報を含みます。図 11-5は基本的なタイマ/カウンタ動作についてのタイミングデータを含みます。この図は全ての動作種別でのMAX値近辺の計数の流れを示します。

図 11-5.前置分周なし(1/1)のタイマ/カウンタタイミング

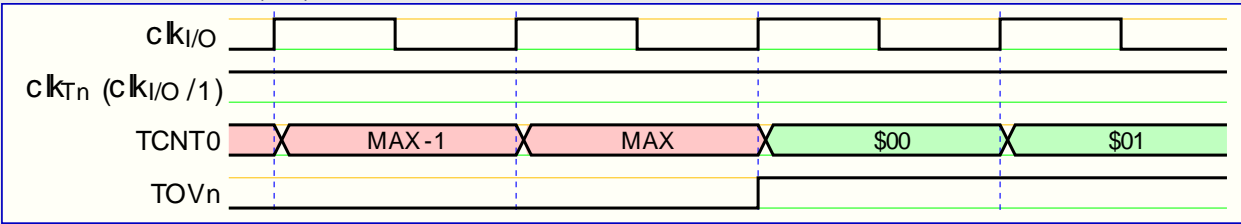


図 11-6は同じタイミングデータを示しますが、前置分周器が許可されています。

図 11-6.前置分周器 ($clk_{I/O} / 8$)のタイマ/カウンタタイミング

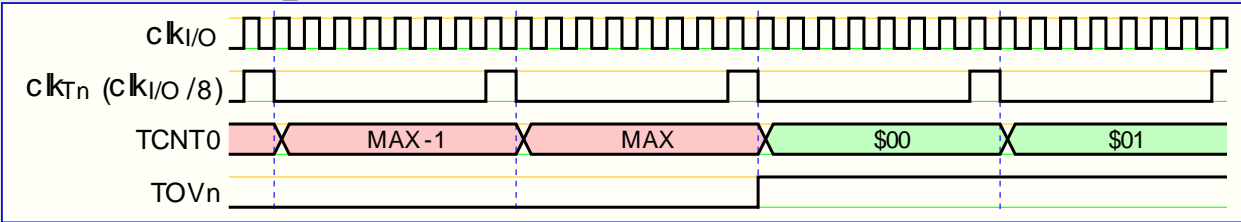


図 11-7はCTC動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図 11-7.前置分周器 ($clk_{I/O} / 8$)のタイマ/カウンタ OCF0設定 タイミング

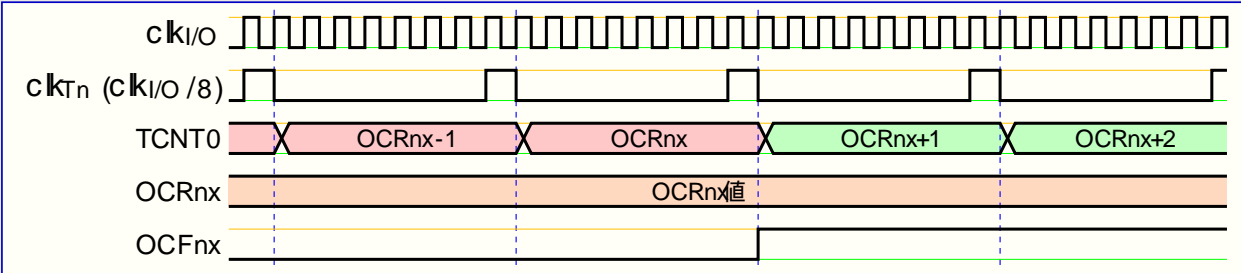
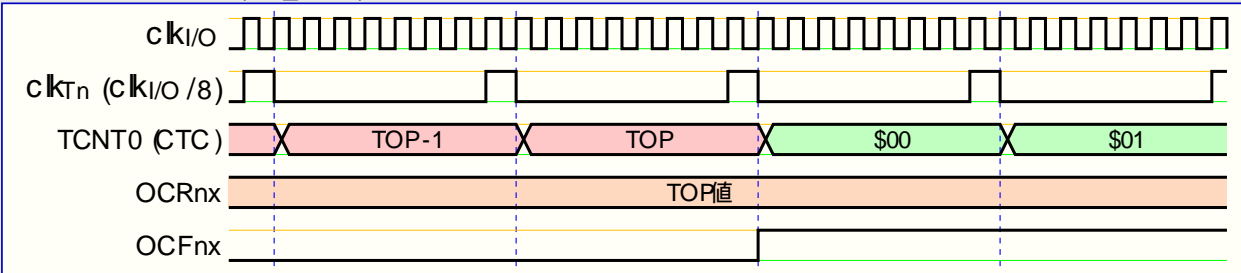


図 11-8はOCR0AがTOPのCTC動作でのTCNT0のクリアとOCF0Aの設定を示します。

図 11-8.前置分周器 ($clk_{I/O} / 8$)のタイマ/カウンタ OCF0A設定 タイミング



11.8. 8ビットタイマ/カウンタ用レジスタ

11.8.1. タイマ/カウンタ制御レジスタA (Timer/Counter 0 Control Register A) TCCR0A

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	-	-	-	-	CTC0	CS02	CS01	CS00	TCCR0A
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7-4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット3 - CTC0 : 比較一致 クリア許可 (Clear Timer on Compare Match Mode)

このビットはカウンタの計数手順、最大カウンタ (TOP) 値の供給元を制御します。表 11-2 をご覧ください。タイマ/カウンタによって支援される動作種別は標準動作 (カウンタ)、比較一致 タイマ/カウンタ クリア (CTC) 動作です。53 頁の「動作種別」をご覧ください。

表 11-2. CTC 動作ビット内容

番号	CTC0	タイマ/カウンタ動作種別	TOP 値	OCR0x 更新時	TOV (設定時)
0	0	標準動作	\$FF	即時	MAX
1	1	比較一致 タイマ/カウンタ クリア (CTC) 動作	OCR0A	即時	MAX

注 : MAX = \$FF です。

ビット2-0 - CS02-0 : クロック選択 0 (Clock Select0, bit 2, 1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ (TCNT0) によって使用されるクロック元を選択します。

表 11-3. タイマ/カウンタ入力 クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{I/O} 前置分周なし)
0	1	0	clk _{I/O} / 8 (8分周)
0	1	1	clk _{I/O} / 64 (64分周)
1	0	0	clk _{I/O} / 256 (256分周)
1	0	1	clk _{I/O} / 1024 (1024分周)
1	1	0	T0clk _{pin} の下降端 (外部クロック)
1	1	1	T0clk _{pin} の上昇端 (外部クロック)

外部ピン (クロック動作がタイマ/カウンタに対して使用される場合、例えば T0clk_{pin} が出力として設定されても、T0clk_{pin} の遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

11.8.2. タイマ/カウンタ (Timer/Counter 0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作についてタイマ/カウンタの 8 ビットカウンタに直接アクセスします。TCNT0 への書き込みは次のタイマ/カウンタ クロックでの比較一致を妨害 (除去) します。カウンタが走行中にカウンタ (TCNT0) を変更することは TCNT0 と OCR0x 間の比較一致消失の危険を誘発します。

11.8.3. タイマ/カウンタ比較 A レジスタ (Timer/Counter 0 Output Compare A Register) OCR0A

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ (TCNT0) 値と比較される 8 ビットの値を含みます。一致は比較一致割り込みを生成するのに使用できます。

11.8.4. タイマ/カウンタ比較レジスタ (Timer/Counter 0 Output Compare B Register) OCR0B

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	MSB							LSB	OCR0B
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に **カウンタ(TCNT0)** 値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するのに使用できます。

11.8.5. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter 0 Interrupt Mask Register) TMSK0

ビット	7	6	5	4	3	2	1	0	
(\$6E)	-	-	-	-	-	OC E0B	OC E0A	TO E0	TMSK0
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7-3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット2 - OC E0B : タイマ/カウンタ比較 B 割り込み許可 (Timer/Counter Output Compare Match B Interrupt Enable)

OC E0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されると、タイマ/カウンタ比較 B 一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較 B 割り込み要求フラグ(OCF0B)がセット(1)されると、対応する割り込みが実行されます。

ビット1 - OC E0A : タイマ/カウンタ比較 A 割り込み許可 (Timer/Counter Output Compare Match A Interrupt Enable)

OC E0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されると、タイマ/カウンタ比較 A 一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較 A 割り込み要求フラグ(OCF0A)がセット(1)されると、対応する割り込みが実行されます。

ビット0 - TO E0 : タイマ/カウンタ溢れ割り込み許可 (Timer/Counter Overflow Interrupt Enable)

TO E0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されると、タイマ/カウンタ溢れ割り込みが許可されます。タイマ/カウンタ(TCNT0)溢れが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)でタイマ/カウンタ溢れ割り込み要求(TOV0)フラグがセット(1)されると、対応する割り込みが実行されます。

11.8.6. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter 0 Interrupt Flag Register) TIFR0

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	-	-	-	-	-	OCF0B	OCF0A	TOV0	TIFR0
Read/W rite	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7-3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット2 - OCF0B : タイマ/カウンタ比較 B 割り込み要求フラグ (Timer/Counter, Output Compare B Match Flag)

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時にセット(1)されます。対応する割り込み処理へクを実行すると、OCF0Bはハードウェアによってクリア(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK0)のタイマ/カウンタ比較 B 一致割り込み許可(OC E0B)ビット、OCF0Bがセット(1)されると、タイマ/カウンタ比較 B 一致割り込みが実行されます。

ビット1 - OCF0A : タイマ/カウンタ比較 A 割り込み要求フラグ (Timer/Counter, Output Compare A Match Flag)

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時にセット(1)されます。対応する割り込み処理へクを実行すると、OCF0Aはハードウェアによってクリア(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aはクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK0)のタイマ/カウンタ比較 A 一致割り込み許可(OC E0A)ビット、OCF0Aがセット(1)されると、タイマ/カウンタ比較 A 一致割り込みが実行されます。

ビット0 - TOV0 : タイマ/カウンタ溢れ割り込み要求フラグ (Timer/Counter Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時にセット(1)されます。対応する割り込み処理へクを実行すると、TOV0はハードウェアによってクリア(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可 (I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK0)のタイマ/カウンタ溢れ割り込み許可(TO E0)ビット、TOV0がセット(1)されると、タイマ/カウンタ溢れ割り込みが実行されます。

55頁の表 11-2.「CTC動作ビット内容」をご覧ください。

12.2.1. 関係レジスタ

タイマ/カウンタ(TCNT1)、比較レジスタ(OCR1A、OCR1B)、捕獲レジスタ(CR1)は全て16ビットレジスタです。16ビットレジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は59頁の「16ビットレジスタのアクセス」項で記述されます。タイマ/カウンタ制御レジスタ(TCCR1A、TCCR1B、TCCR1C)は8ビットレジスタで、CPUアクセスの制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR1)で全て見えます。全ての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK1)で個別に遮蔽/禁止されます。TIFR1とTMSK1はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT1ピン¹の外部クロックによってクロック駆動されます。クロック選択論理部はタイマ/カウンタ値を増加または減少するために使用するクロック元とエッジを制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(CLK1)として参照されます。

2重ハップ化した比較レジスタ(OCR1A、OCR1B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC1A、OC1B)でPWMまたは可変周波数出力を生成するための波形生成器によって使用できます。63頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF1A、OCF1B)もセット(1)します。

捕獲レジスタ(CR1)は捕獲起動(CP1)ピンまたはアナログ比較器出力(104頁の「アナログ比較器」参照)のどちらかの外部エッジで起動された事象でタイマ/カウンタ値を捕獲/複写できます。捕獲入力部はスパイク雑音を捕らえる機会を軽減するためにデジタル濾波器/雑音消去器を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別でOCR1A、CR1、または一群の固定値の何れかによって定義できます。PWM動作でTOP値としてOCR1Aを使用すると、OCR1AはPWM出力生成用に使用できません。けれどもこの場合、TOP値は動作中に変更されることをTOP値に許す2重ハップ化します。固定的なTOP値が必要とされる場合、CR1が代わりに使用でき、PWM出力として使用されるべきOCR1Aを開放します。

12.2.2. 定義

次の定義は本資料を通じて広範囲に使用されます。

表 12-1. 用語定義

用語	意味
BOTTOM	計数器が\$0000に到達した時。
MAX	計数器が\$FFFF (65535)に到達した時。
TOP	計数器がTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値(\$00FF、\$01FF、\$03FF)、OCR1A値、CR1値の何れか1つを指定できます。この指定は動作種別に依存します。

12.3. 16ビットレジスタのアクセス

TCNT1, OCR1A, OCR1B, CR1は8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使用してバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロックサイクルで16ビットレジスタに両方が複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロックサイクルで一時レジスタに複写されます。

全ての16ビットアクセスが上位バイトに対して一時レジスタを使用する訳ではありません。OCR1AとOCR1Bの16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために、上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイトの前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR1A, OCR1B, CR1レジスタのアクセスに対して同じ原理が直接的に使用できます。C言語を使用するとき、コンパイラが16ビットアクセスを扱うことに注意してください。

アセンブリ言語プログラム例

```

~
LDI    R17, $01
LDI    R16, $FF
OUT    TCNT1H, R17
OUT    TCNT1L, R16

IN     R16, TCNT1L
IN     R17, TCNT1H
~
;
; [16ビット$01FF書き込み]
; $01FFの上位バイト取得
; $01FFの下位バイト取得
; 上位バイト設定 (一時レジスタ)
; 下位バイト設定 (一時レジスタ 上位バイト)
; [16ビット読み込み]
; 下位バイト取得 (上位バイト 一時レジスタ)
; 上位バイト取得 (一時レジスタ)
;

```

C言語プログラム例

```

unsigned int i;
~
TCNT1 = 0x1FF;
i = TCNT1;
~
/* */
/* 16ビット$01FF書き込み */
/* 16ビット読み込み */
/* */

```

注: 5頁の「コード例について」をご覧ください。

アセンブリ言語コード例はR17/R16レジスタに対してTCNT値を戻します。

16ビットレジスタアクセスが非分断操作であるのに注意することが重要です。16ビットレジスタをアクセスする命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例は TCNT1 レジスタ内容の非分断読み込み法を示します。同じ原理を使用することにより OCR1A、OCR1B、ICR1 のどの読み込みも行えます。

アセンブリ言語プログラム例

<pre>RD_TCNT1: IN R18,SREG CLI IN R16,TCNT1L IN R17,TCNT1H OUT SREG,R18 RET</pre>	<pre>現全割込み許可フラグ(I)を保存 全割込み禁止 ;TCNT1下位ハイト取得 (上位ハイト 一時レジスタ) ;TCNT1上位ハイト取得 (一時レジスタ) 全割込み許可フラグ(I)を復帰 呼び出し元へ復帰</pre>
--	---

C言語プログラム例

```
unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT1 読み出し変数定義 */
    sreg = SREG;                       /* 現全割込み許可フラグ(I)を保存 */
    __disable_interrupt();             /* 全割込み禁止 */
    i = TCNT1;                         /* TCNT1 値を取得 */
    SREG = sreg;                      /* 全割込み許可フラグ(I)を復帰 */
    return i;                          /* TCNT1 値で呼び出し元へ復帰 */
}
```

注: 5頁の「コード例について」をご覧ください。

アセンブリ言語コード例は R17、R16 レジスタ宛に TCNT1 値を戻します。

次のコード例は TCNT1 レジスタ内容の非分断書き込み法を示します。同じ原理を使用することにより OCR1A、OCR1B、ICR1 のどの書き込みも行えます。

アセンブリ言語プログラム例

<pre>WR_TCNT1: IN R18,SREG CLI OUT TCNT1H,R17 OUT TCNT1L,R16 OUT SREG,R18 RET</pre>	<pre>現全割込み許可フラグ(I)を保存 全割込み禁止 ;TCNT1上位ハイト設定 (一時レジスタ) ;TCNT1下位ハイト設定 (一時レジスタ 上位ハイト) 全割込み許可フラグ(I)を復帰 呼び出し元へ復帰</pre>
--	---

C言語プログラム例

```
void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT1 書き込み変数定義 */
    sreg = SREG;                       /* 現全割込み許可フラグ(I)を保存 */
    __disable_interrupt();             /* 全割込み禁止 */
    TCNT1 = i;                        /* TCNT1 値を設定 */
    SREG = sreg;                      /* 全割込み許可フラグ(I)を復帰 */
}
```

注: 5頁の「コード例について」をご覧ください。

アセンブリ言語コード例は R17、R16 レジスタ宛が TCNT1 へ書かれるべき値を含む必要があります。

12.3.1. 上位ハイト一時レジスタの再使用

書かれる全レジスタについて上位ハイトが同じ複数 16ビットレジスタ書き込みなら、上位ハイトは一度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則がこの場合にも適用されることに注意してください。

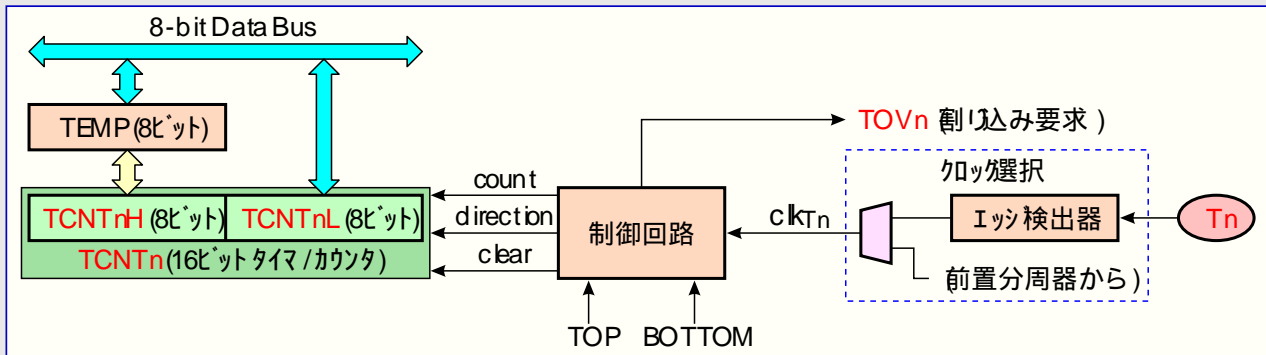
12.4. タイマ/カウンタの クロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元は **タイマ/カウンタ制御レジスタB (TCCR1B)** に配置された **クロック選択 (CS12~ 0)** ビットによって制御されるクロック選択論理回路によって選択されます。クロック元と前置分周器の詳細については **76頁の「タイマ/カウンタとタイマ/カウンタの前置分周器」** をご覧ください。

12.5. 計数器部

16ビットタイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。図 12-2はこのカウンタとその周辺の構成図を示します。

図 12-2. カウンタ構成図



信号説明 (内部信号)	count	TCNT を 1 つ進めるまたは戻す信号。
	direction	進行方向 (上昇または下降 選択信号)。
	clear	TCNT の 8 ビット \$0000 設定 信号。
	clkTn	以降で clkT1 として参照されるタイマ/カウンタ クロック信号。
	TOP	TCNT が最大値に到達したことを示す信号。
	BOTTOM	TCNT が最小値 (\$0000) に到達したことを示す信号。
	TEMP	一時レジスタ。

この16ビットカウンタはカウンタの上位8ビットを含むカウンタ上位 (TCNT1H) と下位8ビットを含むカウンタ下位 (TCNT1L) の2つの8ビット I/O メモリ位置に配置されます。TCNT1H レジスタはCPUによって間接的なアクセスのみできます。CPUがTCNT1H I/O位置をアクセスする時にCPUは上位8ビット一時レジスタ (TEMP) をアクセスします。この一時レジスタはTCNT1Lが読まれる時にTCNT1H値で更新され、TCNT1Lが書かれる時にTCNT1Hは一時レジスタ値で更新されます。これは8ビットデータバス経由で1クロックサイクル内での16ビットカウンタ値全体の読み書きをCPUに許します。予測不能な結果を与える、カウンタが計数中の時のTCNT書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使用した動作種別に依存して、カウンタは各タイマ/カウンタクロック (clkT1) でレジスタ (\$0000) 増加 (+1) または減少 (-1) されます。clkT1はクロック選択 (CS12~ 0) ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない (CS12~ 0=000) 時にカウンタは停止されます。けれどもTCNT値はタイマ/カウンタクロック (clkT1) が存在するしないに拘らずCPUによってアクセスできます。CPU書き込みは全てのカウンタクリアや計数動作を無視します (上位優先順位を持ちます)。

計数順序 (方法) は **タイマ/カウンタ制御レジスタA (TCCR1A)** と **タイマ/カウンタ制御レジスタB (TCCR1B)** に配置された **波形生成種別 (WGM13~ 0) ビット** の設定によって決定されます。これらはカウンタ動作、計数方法と波形がOC1比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては **66頁の「動作種別」** をご覧ください。

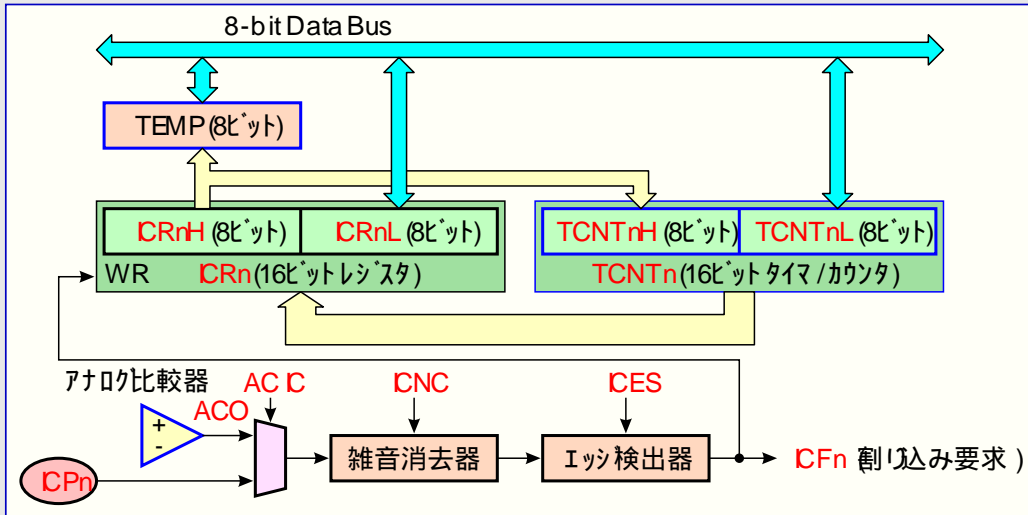
タイマ/カウンタ溢れ (TOV1) フラグ は WGM13~ 0 ビットによって選択された動作種別に従って設定 (=1) されます。TOV1はCPU割り込み発生に使用できます。

12.6. 捕獲入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印 (タイマ/カウンタ値) を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号は CP1ピンまたは代わりにアナログ比較器部経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特徴の計算に使用できます。代わりに時間印は出来事の記録作成にも使用できます。

捕獲入力部は図 12-3で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠 (訳注 原文は灰色背景) で示されます。レジスタとビット名での小文字の 'n' はタイマ/カウンタ番号を示します。

図 12-3 捕獲入力部構成図



注: ACO, ACIC はアナログ比較器制御/状態レジスタ (ACSR) 内のビットです。

捕獲起動入力 (CP1ピン) 若しくは代わりにアナログ比較器出力 (ACO) で論理レベルの変化 (出来事) が起き、その変化がエッジ検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ (TCNT1) の 16ビット値が捕獲レジスタ (CR1) に書かれます。捕獲割り込み要求フラグ (CF1) は TCNT 値が CR1 に複写されるのと同じシステムクロックでセット (1) されます。許可 (IE1, CIE1=1) ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。CF1 は割り込みが実行されると自動的にクリア (0) されます。代わりにこの I/O ビット位置に論理 1 を書くことによってソフトウェアでクリア (0) できます。

捕獲レジスタ (CR1) の 16ビット値読み込みは初めに下位バイト (CR1L) その後上位バイト (CR1H) を読むことによって行われます。下位バイトが読まれる時に上位バイトが上位バイト一時レジスタ (TEMP) に複写されます。CPU が CR1H I/O 位置を読むと、この一時レジスタをアクセスします。

CR1 はカウンタの TOP 値定義に CR を使用する波形生成種別を使用する時だけ書けます。これらの場合、TOP 値が CR1 に書かれるであろう前に波形生成種別 WGM13~0ビットが設定されなければなりません。CR1 に書くとき、下位バイトが CR1L に書かれる前に上位バイトが CR1H I/O 位置に書かれなければなりません。

16ビットレジスタアクセス法により多くの情報については 59 頁の「16ビットレジスタのアクセス」を参照してください。

12.6.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力 (CP1ピン) です。タイマ/カウンタは捕獲入力部用起動元としてアナログ比較器出力を代わりに使用できます。アナログ比較器はアナログ比較器制御/状態レジスタ (ACSR) のアナログ比較器捕獲起動許可 (ACICビット) の設定 (=1) によって起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ (CF1) はその変更後にクリア (0) されなければなりません。

捕獲起動入力 (CP1ピン) とアナログ比較器出力 (ACO) の両入力は T1ピン (76 頁の図 13-1 参照) についてと同じ技法を使用して採取されます。エッジ検出器も全く同じです。けれども雑音除去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を 4 システムクロックサイクル増やします。タイマ/カウンタが TOP 値定義に CR を使用する波形生成種別に設定されないなら、雑音除去器とエッジ検出器の入力は常に許可されることに注意してください。

捕獲入力は CP1ピンのホートレートを制御することによってソフトウェアで起動できます。

12.6.2. 雑音除去器

雑音除去器は簡単なデジタル濾波器機構を使用することによって雑音耐性を改善します。雑音除去器の入力は 4 採取に渡って監視され、エッジ検出器によって使用される方向転換となる出力を変更するためには 4 回全てが同じでなければなりません。

雑音除去器はタイマ/カウンタ制御レジスタ B (TCCR1B) の捕獲入力雑音除去許可 (CNC1ビット) のセット (1) によって許可されます。許可した時に雑音除去器は入力に印加した変更から CR の更新までに 4 システムクロックサイクルの追加遅延をもたらします。雑音除去器はシステムクロックを使用し、従って前置分周器によって影響されません。

12.6.3. 捕獲入力の使用

捕獲入力機能を使用する主な要求 (目的) は入って来る出来事に対して十分なフレッシャ能力を当てがうことです。2つの出来事間の時間が際どいとして。次の出来事が起こる前に捕獲した捕獲レジスタ(CR1)の値をフレッシャが読めなかった場合、CR1は新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使用するとき、CR1は割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うために必要とされる最大クロックサイクル数に依存します。

動作中にTOP値 (分解能) が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のデューティ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はCRが読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、捕獲割り込み要求フラグ(CF1)はソフトウェア(I/Oビット位置への論理書き込み)によってクリア(0)されなければなりません (訳注: エッジ変更によってCFがセット(1)されることを想定) 周波数のみの測定については割り込み処理が使用される場合)CFのクリア(0)は必要とされません。

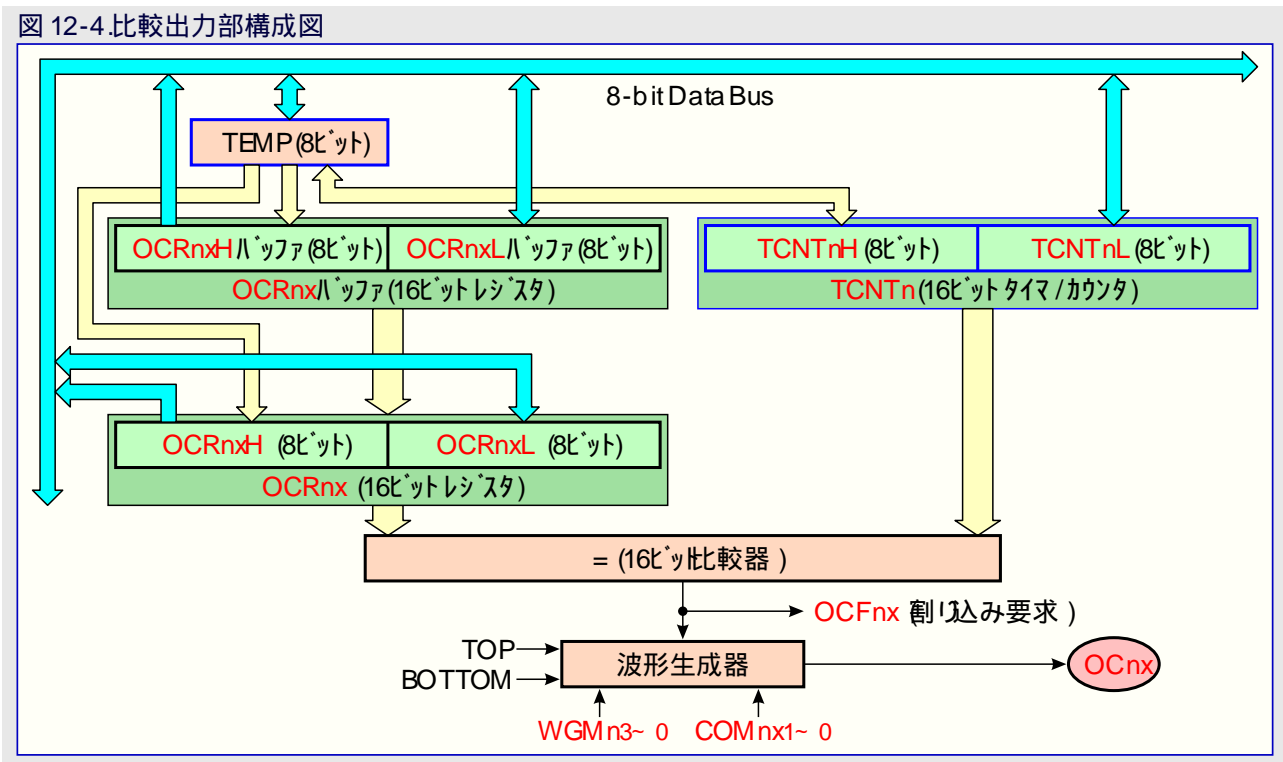
12.7. 比較出力部

この16ビット比較器はTCNT1と比較レジスタOCR1xを継続的に比較します。TCNT1とOCR1xが等しければ比較器が一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで比較割り込み要求フラグ(OCF1x)をセット(1)します。許可(I=1, OCF1x=1)なら、この比較割り込み要求フラグが比較割り込みを発生します。OCF1xは割り込みが実行されると自動的にクリア(0)されます。代わりにOCF1xはこのI/Oビット位置に論理1を書くことによってソフトウェアでクリア(0)できます。波形生成器は波形生成種別(WGM13~0)ビットと比較出力選択(COM1x1~0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使用します。TOPとBOTTOM信号は動作種別(66頁の動作種別)参照のいくつかで両端値の特別な場合を扱うため、波形生成器によって使用されます。

比較A出力部の特殊な特性はタイマ/カウンタのTOP値 (換言するとカウンタの分解能) 定義を許します。カウンタの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図12-4は比較出力部の構成図を示します。レジスタとビット名での小文字の'nはタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1) 小文字の'xは比較出力部(AまたはB)を表します。直接的な比較出力部の部分でない構成図の要素は青枠 (訳注: 原文は灰色背景) で示されます。

図 12-4 比較出力部構成図



OCR1xは12種類のパルス幅変調(PWM)の何れかを使用する時に2重ハフ化されます。標準動作と比較一致タイマ/カウンタクリア(CTC)動作については2重ハフ動作が禁止されます。2重ハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR1xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって異常なしの出力を作成します。

OCR1xのアクセスは複雑なように思えますが決してそんなことはありません。2重ハフ動作が許可されるとCPUはOCR1xハフアをアクセスし、禁止されるとOCR1xレジスタを直接アクセスします。OCR1xハフアまたはレジスタの内容は書き込み操作によってのみ変更されます(タイマ/カウンタはTCNT1やCR1のようにOCR1xを自動的に更新しません)。従ってOCR1xは上位バイト時レジスタ(TEMP経由で読まれません。けれども他の16ビットレジスタをアクセスするときに下位バイトを先に読むのは良い習慣です。OCR1x書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイト(OCR1xH)は先に書かれなければなりません。上位バイトI/O位置がCPUによって書かれると一時レジスタは書かれた値で更新されます。その後下位バイト(OCR1xL)が下位8ビットを書かれると一時レジスタ内の上位バイトは(下位バイト書き込みと同じシステムクロックサイクルでOCR1xハフアまたはOCR1xレジスタのどちらかに複写されます。

16ビットレジスタアクセス法のより多くの情報については59頁の「16ビットレジスタのアクセス」を参照してください。

訳注)ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成するハフ部分をOCRnxハフア、実際の比較に使用されるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

12.7.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC1x)ビットに1を書くことによって強制変更できます。比較一致の強制は比較割り込み要求フラグ(OCF1x)のセット(1)やタイマ/カウンタの再設定/クリアを行いませんが、OCR1xレジスタは実際の比較一致が起きた場合と同様に更新されます(COM1x1~0ビット設定がOCR1xレジスタのセット(1)、クリア(0)、1/0交互のどれかを定義)。

12.7.2. TCNT1書き込みによる比較一致妨害

TCNT1への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT1と同じ値に初期化されることをOCR1xに許します。

12.7.3. 比較一致部の使用

どの動作種別でのTCNT1書き込みでもタイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかなにかに拘らず、何れかの比較出力部を使用する場合にTCNT1を変更する時は危険を伴います。TCNT1に書かれた値がOCR1x値と同じ場合、比較一致は失われ(一致が発生せず)不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNT1を書いてはいけません。行った場合)TOPに対する比較一致は無視され、カウンタは\$FFFFへ計数を続けます。同様にカウンタが下降計数のとき、BOTTOMに等しいTCNT1値を書いてはいけません。

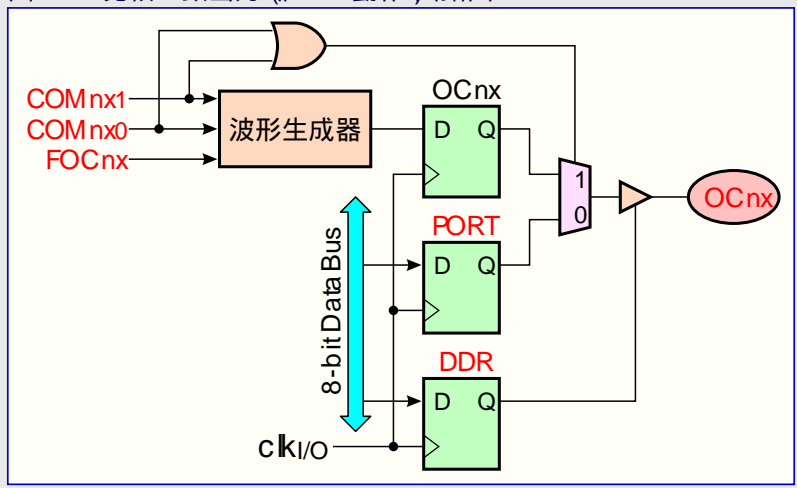
OCR1xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OCR1x値を設定する一番簡単な方法は標準動作で強制変更(FOC1x)レジスタ-7ビットを使用することです。波形生成種別間を変更する時であっても、OCR1x内部レジスタはその値を保ちます。

比較出力選択 (COM1x1~0)ビットが比較値(OCR1x)と共に2重ハフ化されないことに気付いてください。COM1x1~0ビットの変更は直ちに有効となります。

12.8. 比較一致出力部

比較出力選択 (COM1x1~0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC1x)状態の定義にCOM1x1~0ビットを使用します。次にCOM1x1~0ビットはOC1x出力元を制御します。図12-5はCOM1x1~0ビット設定によって影響される論理回路の簡単化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字 (訳注 原文は太字) で示されます。COM1x1~0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。OC1xの状態を参照するとき、その参照はOC1xピンでなく内部OC1xレジスタに対してです。システムリセットが起こると、OC1xレジスタは0にリセットされます。

図12-5. 比較一致出力 非PWM動作 回路図



COM1x1~0ビットのどちらかがセット(1)されると、標準I/Oポート機能は波形生成器からの比較出力 (OC1x)によって無効にされます。けれどもOC1xピンの方向 (入出力) はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OC1xピンに対するポート方向レジスタのビット(DDR OC1x)はOC1x値がピンで見えるのに先立って出力として設定されなければなりません。このポートの兼用機能は一般的に波形生成種別と無関係ですがいくつかの例外があります。詳細については、表12-2、表12-3、表12-4を参照してください。

比較出力ピン論理回路の設計は出力が許可される前のOC1x状態の初期化を許します。いくつかのCOM1x1~0ビット設定が或る種の動作種別に対して予約されることに注意してください。7頁の「16ビットタイマ/カウンタ用レジスタ」をご覧ください。

COM1x1~0ビットは捕獲入力部での何の効果もありません。

12.8.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM1x1~0ビットを違うふうに使います。全ての動作種別に対してCOM1x1~0=0設定は次の比較一致で実行すべきOC1xレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については71頁の表12-2を参照してください。高速PWM動作については71頁の表12-3、位相基準PWMと位相/周波数基準PWMについては71頁の表12-4を参照してください。

COM1x1~0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOC1x)レジスタの7ビットを使用することによって直ちに効果を得ることを強制できます。

12.9.動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は**波形生成種別 (WGM13~ 0ビット)**と**比較出力選択 (COM1x1~ 0ビット)**の組み合わせによって定義されます。比較出力選択ビットは計数順序 (動作) に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM1x1~ 0ビットは生成されたPWM出力が反転されるべきか、されないべきか (反転または非反転PWM) のどちらかを制御します。非PWM動作に対してのCOM1x1~ 0ビットは比較一致で出力がクリア (0) セット (1) 交互のどれにされるべきかを制御します。65頁の「比較一致出力部」をご覧ください。

タイミング情報の詳細については70頁の「タイマ/カウンタのタイミング」を参照してください。

12.9.1.標準動作

最も単純な動作種別が標準動作 (WGM13~ 0=0000) です。この動作種別での計数方向は常に上昇 (+) で、カウンタのクリアは実行されません。カウンタは16ビット最大値 (MAX=\$FFFF) を通過すると単に範囲を超え、そして\$0000 (BOTTOM) から再び始めます。通常動作での**タイマ/カウンタ溢れ (TOV1) フラグ**はTCNT1が\$0000になる時と同じタイマ/カウンタクロックサイクルでセット (1) されます。この場合のTOV1フラグはセット (1) のみでクリア (0) されないことを除いて第17ビットのようになります。けれどもTOV1フラグを自動的にクリア (0) するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

捕獲入力部は標準動作で使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能 (16ビット長) を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するためにタイマ/カウンタ溢れ割り込みまたは前置分周器が使用されなければなりません。

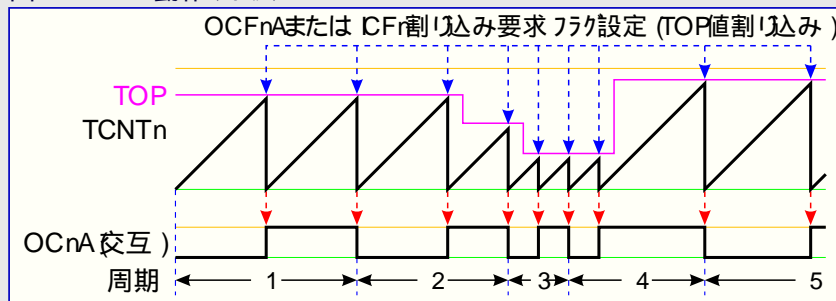
比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

12.9.2.比較一致 タイマ/カウンタ クリア (CTC) 動作

比較一致 タイマ/カウンタ クリア (CTC) 動作 (WGM13~ 0=0100または1100) では、OCR1AまたはICR1がカウンタの分解能を操作するのに使用されます。CTC動作ではカウンタ (TCNT1) 値がOCR1A (WGM13~ 0=4) またはICR1 (WGM13~ 0=12) のどちらかと一致すると、カウンタは\$0000にクリアされます。OCR1AまたはICR1はカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作に関するタイミング図は図12-6で示されます。カウンタ (TCNT1) 値はOCR1AまたはICR1のどちらかで比較一致が起こるまで増加し、そしてその後カウンタ (TCNT1) はクリア (\$0000) されます。

図12-6.CTC動作タイミング



注: COMnA1~ 0=01

TOP値を定義するのに使用されるレジスタに対してOCF1AまたはICF1のどちらかを使用することにより、カウンタ値がTOP値に到達する毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMに近い値にTOPを変更することは、CTC動作が2重ハフ機能を持たないために注意して行わなければなりません。OCR1AまたはICR1に書かれた新しい値がTCNT1の現在値より低い小さい場合、カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こせるのに先立って最大値 (\$FFFF) をそして次に\$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCR1Aが2重ハフされるので、代替はTOPを定義するのにOCR1Aを使用する**高速PWM動作 (WGM13~ 0=1111)**を使用することでしょう。

CTC動作で波形出力を生成するために、OC1A出力は**比較出力選択 (COM1A1~ 0ビット)**を交互動作 (=01) に設定することによって各比較一致での論理レベル交互切替に設定できます。OC1A値はそのピンに対するデフォルト方向が出力 (DDR_OC1A=1) に設定されない限り、ポートピンで見えないでしょう。生成された波形はOCR1Aが0 (\$0000) に設定される時に $f_{OC1A} = f_{clk_I/O} / 2N$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数 (1, 8, 64, 256, 1024) を表します。

標準動作と同じように**タイマ/カウンタ溢れ割り込み要求 (TOV1) フラグ**はカウンタがMAXから\$0000へ計数するのと同じタイマ/カウンタクロックサイクルでセット (1) されます。

12.9.3. 高速 PWM 動作

高速パルス幅変調 (PWM 動作 WGM13~0=0101,0110,0111,1110,1111)は高周波数 PWM 波形生成選択を提供します。高速 PWM はそれが単一傾斜鋸波動作であることによって他の PWM 動作と異なります。カウンタは BOTTOM から TOP まで計数し、その後 BOTTOM から再び始めます。非反転比較出力動作 (COM1x1~0=10)での比較出力 (OC1x)は TCNT1 と OCR1x 間の比較一致でクリア (0)され、TOP でセット (1)されます。反転出力動作 (COM1x1~0=11)の出力は比較一致でセット (1)され、TOP でクリア (0)されます。単一傾斜動作のため、高速 PWM 動作の動作周波数は両傾斜三角波動作を使用する位相基準や位相/周波数基準 PWM 動作より先2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速 PWM 動作を都合よく適合させます。高い周波数は物理的に小さな外部部品 (コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速 PWM の PWM 分解能は 8,9,10ビットに固定、または OCR1A か CR1 のどちらかによって定義できます。許された最小分解能は 2ビット (OCR1A または CR1 が \$0000 設定) 最大分解能は 16ビット (OCR1A または CR1 が MAX 設定) です。ビットでの PWM 分解能は次右式を使用することによって計算できます。

$$R_{PWM} = \frac{\lg(TOP + 1)}{\lg 2}$$

高速 PWM 動作でのカウンタはカウンタ値が固定値 \$00FF, \$01FF, \$03FF (WGM13~0=0101,0110,0111) CR 値 (WGM13~0=1110) または OCR1A 値 (WGM13~0=1111) の何れかと一致するまで増加されます。そしてカウンタは (一致の次のタイマ/カウンタクロックサイクルで) クリア (\$0000) されます。高速 PWM 動作のタイミング図は図 12-7 で示されます。本図は OCR1A か CR1 が TOP を定義するために使用される時の高速 PWM 動作を示します。TCNT 値はタイミング図で単一傾斜動作鋸波を表す折れ線グラフとして示されます。本図は非反転と反転の PWM 出力を含みます。細い赤線は OCR1x 値を示し、TCNT 値との交点 (接点) が TCNT1 と OCR1x 間の比較一致を示します (図注 図補正に伴い本行若干変更) 比較割り込み要求フラグ (OCF1x) は比較一致が起こるとセット (1) されます。

タイマ/カウンタ割り込み要求 (TOV1) フラグはカウンタが TOP に到達する毎にセット (1) されます。加えて、OCR1A か CR1 のどちらかが TOP 値を定義するのに使用される時に OCF1A または CF 割り込み要求フラグは TOV がセット (1) されるのと同じタイマ/カウンタクロックサイクルでセット (1) されます。これらの割り込みの1つが許可されるなら、その割り込み処理ルーチンは TOP と比較値を更新するのに使用できます。

TOP 値を変更するとき、プログラムは新 TOP 値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP 値が何れかの比較レジスタより小さな場合、TCNT1 とその OCR1x 間で比較一致は決して起きません。固定 TOP 値を使用する場合、どの OCR1x が書かれる時も、未使用ビットが 0 で隠しに置換されることに注意してください。

CR が TOP 値を定義するのに使用されるとき、CR を更新する手順は OCR1A の更新と異なります。CR は 2重ハフアされません。これは前置分周なし、または低い前置分周値でカウンタが走行している時に CR が小さな値に変更される場合、書かれた新しい CR 値が TCNT1 の現在値より小さくなる危険を意味します。その後の結果はカウンタが (その回の) TOP 値での比較一致を失うことです。その後カウンタは比較一致を起こせるのに先立って MAX 値 (\$FFFF) をそして次に \$0000 から始める計数をしなければならないでしょう。しかし、OCR1A は 2重ハフアされます。この特徴は何時でも書かれることを OCR1A の I/O 位置に許します。OCR1A I/O 位置が書かれると書かれた値は OCR1A ハフアに置かれます。OCR1A 比較レジスタはその後 TCNT1 が TOP と一致した次のタイマ/カウンタクロックサイクルに OCR1A ハフアの値で更新されます。この更新は TCNT1 のクリア (\$0000) や TOV1 のセット (1) と同じタイマ/カウンタクロックサイクルで行われます。

TOP を定義するのに CR を使用することは決まった TOP 値を使用する時に上手くなります。CR を使用することにより、OCR1A での PWM 出力を生成するために OCR1A が自由に使用できます。けれども基準 PWM 周波数が (TOP 値を変更することによって) 動的に変更される場合、OCR1A が 2重ハフア機能のため、TOP として OCR1A を使用することは明らかに良い選択です。

高速 PWM 動作での比較部は OC1x での PWM 波形の生成を許します。COM1x1~0 のビットを '10' に設定することは非反転 PWM 出力を作成し、反転 PWM 出力は COM1x1~0 を '11' に設定することで生成できます。7頁の表 12-3 をご覧ください。実際の OC1x 値はそのポートピンに対する方向が出力 (DDR_OC1x=1) として設定される場合だけ見えるでしょう。PWM 波形は TCNT1 と OCR1x 間の比較一致で OC1x (内部レジスタ) をセット (1) またはクリア (0) と、カウンタがクリア (\$0000) TOP から BOTTOM へ変更されるタイマ/カウンタクロックサイクルでの OC1x レジスタをクリア (0) またはセット (1) することによって生成されます。

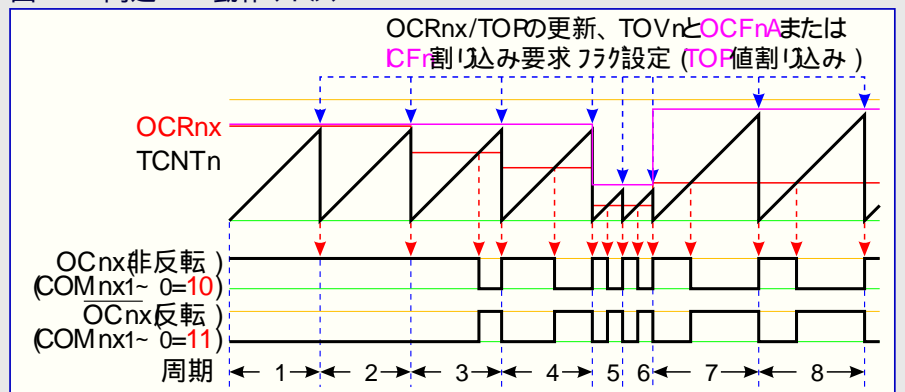
PWM 出力周波数は次式によって計算できます。変数 N は前置分周数 (1,8,64,256,1024 を表します)。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1 + TOP)}$$

OCR1x の両端値は高速 PWM 動作で PWM 波形出力を生成する時の特別な場合に当たります。OCR1x が BOTTOM (\$0000) に等しく設定されると、出力は TOP+1 タイマ/カウンタクロックサイクル毎の狭いスパイク (パルス) になるでしょう。OCR1x が TOP に等しく設定されると、(COM1x1~0 のビットによって設定される出力極性に依存して) 定常的な Low または High 出力に終わるでしょう。

高速 PWM 動作で (フューテック 50% 周波数の) 波形出力は比較一致毎に論理反転する OCR1A 設定 (COM1A1~0=01) によって達成できます。生成された波形は OCR1A が 0 (\$0000) に設定される時に $f_{OC1A} = f_{clk_I/O} / 20$ の最大周波数でしょう。この特性は高速 PWM 動作で比較出力部の 2重ハフア機能が許可されることを除いて、CTC 動作での OCR1A 交互出力 (COM1A1~0=01) と同じです。

図 12-7. 高速 PWM 動作 タイミング



12.9.4. 位相基準 PWM動作

位相基準パルス幅変調 (PWM 動作 WGM13~0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜三角波動作を基準とした位相/周波数基準PWMと似ています。カウンタはBOTTOM (\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返し計数します。非反転比較出力動作 (COM1x1~0=10)での比較出力 (OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 (COM1x1~0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯波動作より低い最大動作周波数になります。けれども両傾斜三角波PWM動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

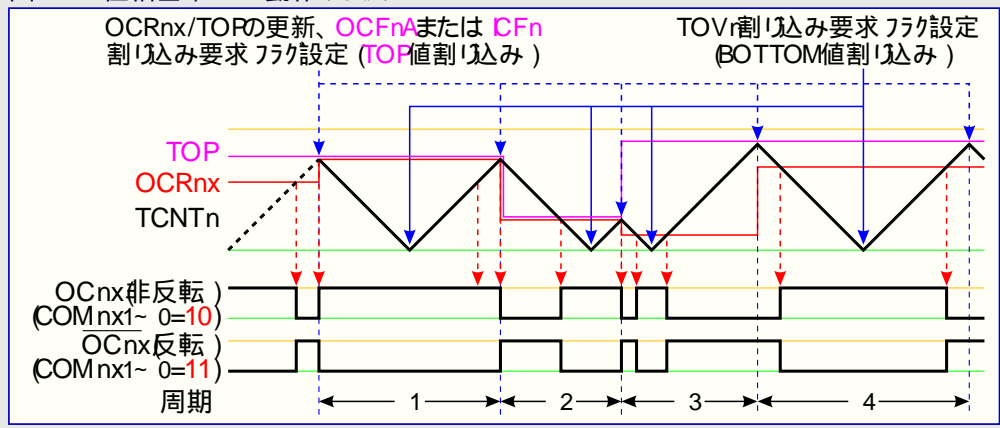
位相基準PWM動作のPWM分解能は8,9,10ビットに固定、若しくはOCR1AかCR1のどちらかによって定義できます。許された最小分解能は2ビットOCR1AまたはCR1が\$0000設定、最大分解能は16ビットOCR1AまたはCR1がMAX設定です。ビットでのPWM分解能は次式を使用することによって計算できます。

$$R_{PCPWM} = \frac{\lg(TOP+1)}{\lg 2}$$

位相基準PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF (WGM13~0=0001,0010,0011) CR値 (WGM13~0=1010)またはOCR1A値 (WGM13~0=1011)の何れかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値は1タイマ/カウンタ

クロックサイクル間TOPと等しくなります。位相基準PWM動作のタイミング図は図12-8で示されます。この図はOCR1AかCR1がTOPを定義するのに使用される時の位相基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します。[訳注: 図補正に伴い本行若干変更] 比較割り込み要求フラグ(OCF1x)は比較一致が起こるとセット(1)されます。

図 12-8. 位相基準 PWM動作 タイミング



タイマ/カウンタ溢れ (TOV1)フラグはカウンタがBOTTOMに到達する時毎にセット(1)されます。OCR1AかCR1のどちらかがTOP値を定義するのに使用されるとき、OCF1AまたはCF割り込み要求フラグはOCR1xレジスタが(TOPに於いて)重ハフアップ値で更新されるのと同じタイマ/カウンタクロックサイクルによってセット(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使用できます。

TOP値を変更する時にプログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使用する場合、どのOCR1xが書かれる時も、未使用ビットが0で隠に置換されることに注意してください。図12-8で示される第3周期が図解するようにタイマ/カウンタが位相基準PWM動作で走行中にTOPを積極的に変更することは非対称出力で終わることが有り得ます。これに対する理由はOCR1xレジスタの更新時に見出せます。OCR1x更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違えば、その周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

タイマ/カウンタが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使用することが推奨されます。一定のTOP値を使用するとき、2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOC1xレジスタでのPWM波形の生成を許します。COM1x1~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1~0を'11'に設定することで生成できます(71頁の表12-4をご覧ください)。実際のOC1x値はそのポートピンに対するデューティ方向が出力(PDR_OC1x=1)として設定される場合だけ見えます。PWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致でOC1x内部レジスタをセット(1)またはクリア(0)と、カウンタが減少する時のTCNT1とOCR1x間の比較一致でOC1xレジスタをクリア(0)またはセット(1)することによって生成されます。

位相基準PWMを使用する時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024を表します)。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

OCR1xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR1AがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使用され(WGM13~0=1011)、COM1A1~0=01なら、OC1A出力はデューティ比50%交互に変化します。

12.9.5. 位相 / 周波数基準 PWM動作

位相 / 周波数基準ハル幅変調 (PWM動作 WGM13~0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相 / 周波数基準PWM動作は両傾斜三角波動作を基準とした位相基準PWMと似ています。カウンタはBOTTOM (\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返し計数します。非反転比較出力動作 (COM1x1~0=10)での比較出力 (OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 (COM1x1~0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯波動作より低い最大動作周波数になります。けれども両傾斜三角波PWM動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

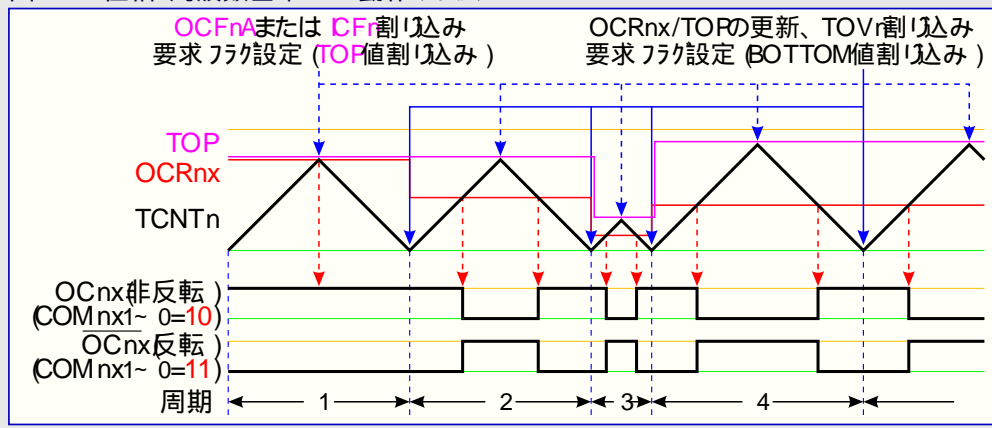
位相基準と位相 / 周波数基準PWM動作間の主な違いはOCR1xレジスタがOCR1xレジスタによって更新される時 (訳注: TOPとBOTTOM)です (図12-8と図12-9参照)。

位相 / 周波数基準PWM動作のPWM分解能はOCR1AかCR1のどちらかで定義できます。許された最小分解能は2ビット(OCR1AまたはCR1が\$0000設定)、最大分解能は16ビット(OCR1AまたはCR1がMAX設定)です。ビットでのPWM分解能は次式を使用することによって計算できます。

$$R_{PFCPWM} = \frac{\lg(TOP+1)}{\lg 2}$$

位相 / 周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がCR1値 (WGM13~0=1000)かOCR1A値 (WGM13~0=1001)のどちらかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値は1タイマ/カウンタクロックサイクル間TOPと等しくなります。位相 / 周波数基準PWM動作のタイミング図は図12-9で示されます。この図はOCR1AかCR1がTOPを定義するのに使用される時の位相 / 周波数基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点 (接点) がTCNT1とOCR1x間の比較一致を示します (訳注: 図補正に伴い本行若干変更) 比較割り込み要求フラグ(OCF1x)は比較一致が起こるとセット(1)されます。

図12-9. 位相 / 周波数基準PWM動作タイミング



タイマ/カウンタ溢れ (TOV1)フラグはOCR1xレジスタが (BOTTOMに於いて) 重ハフ値で更新されるのと同じタイマ/カウンタクロックサイクルでセット(1)されます。OCR1AかCR1のどちらかがTOP値を定義するのに使用されるとき、OCF1AまたはCF割り込み要求フラグはタイマ/カウンタがTOPに到達する時毎にセット(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使用できます。

TOP値を変更する時にプログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。

図12-9が示すように生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCR1xレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力ハル幅によって正しい周波数を与えます。

TOPを定義するのにCR1を使用することは決まったTOP値を使用する時に上手くなります。CR1を使用することにより、OCR1AでのPWM出力を生成するためにOCR1Aが自由に使用できます。けれども基準PWM周波数が (TOP値を変更することによって) 動的に変更される場合、OCR1Aが2重ハフ機能のため、TOPとしてOCR1Aを使用することは明らかに良い選択です。

位相 / 周波数基準PWM動作での比較部はOC1xレジスタでのPWM波形の生成を許します。COM1x1~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1~0を'11'に設定することで生成できます (7頁の表12-4をご覧ください) 実際のOC1x値はそのポートピンに対するデューティ方向が出力 (DDR_OC1x=1)として設定される場合だけ見えてしまうPWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致でOC1x内部レジスタをセット(1)またはクリア(0)と、カウンタが減少する時のTCNT1とOCR1x間の比較一致でOC1xレジスタをクリア(0)またはセット(1)することによって生成されます。

位相 / 周波数基準PWMを使用する時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数 (1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk}/O}{2x N x TOP}$$

OCR1xの両端値は位相 / 周波数基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使用され (WGM13~0=1001) COM1A1~0=01なら、OC1A出力はデューティ比50%交互に変化します。

12.10. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック(clk_{T1})が下図のクロック許可信号として示されます。この図は割り込みフラグがセット(1)される時、そしてOCR1xレジスタがOCR1xバッファ値で更新される時(2重バッファを使用する種別のみ)の情報を含みます。図12-10はOCR1xの設定に関するタイミング図を示します。

図12-10. 前置分周なし(1/1)のタイマ/カウンタ OCR1x設定 タイミング

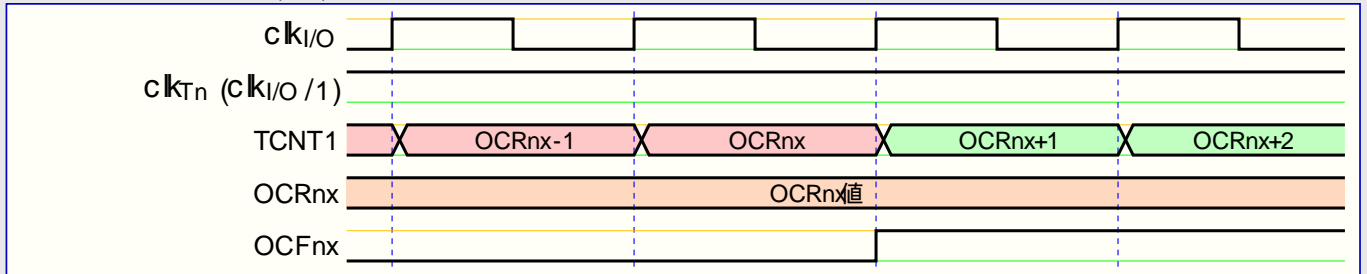


図12-11は同じタイミング図を示しますが、前置分周器が許可されています。

図12-11. 前置分周器($clk_{I/O} / 8$)のタイマ/カウンタ OCR1x設定 タイミング

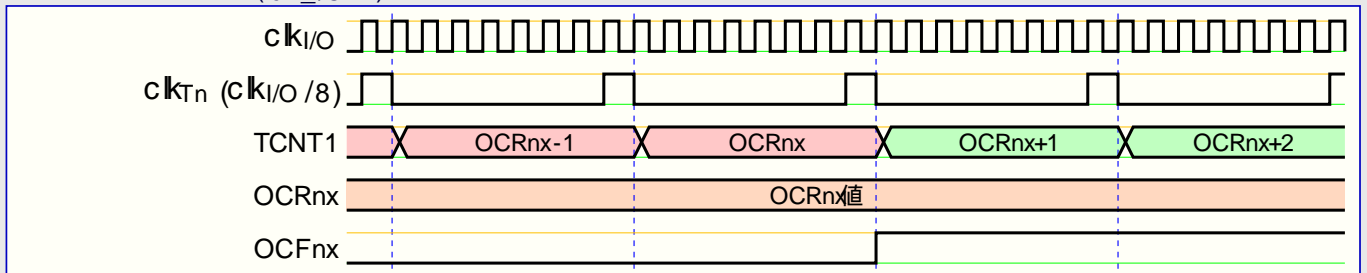


図12-12は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時のOCR1xレジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOM、TOP-1はBOTTOM+1などのように置き換えられます。BOTTOMでTOV1をセット(1)する動作種別についても、同様な名称変更が適用されます。

図12-12. 前置分周なし(1/1)のタイマ/カウンタ TOP近辺 タイミング

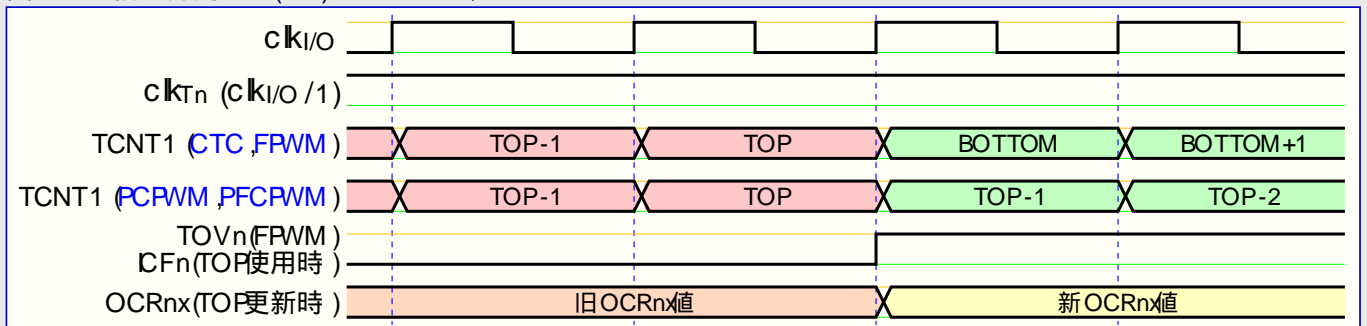
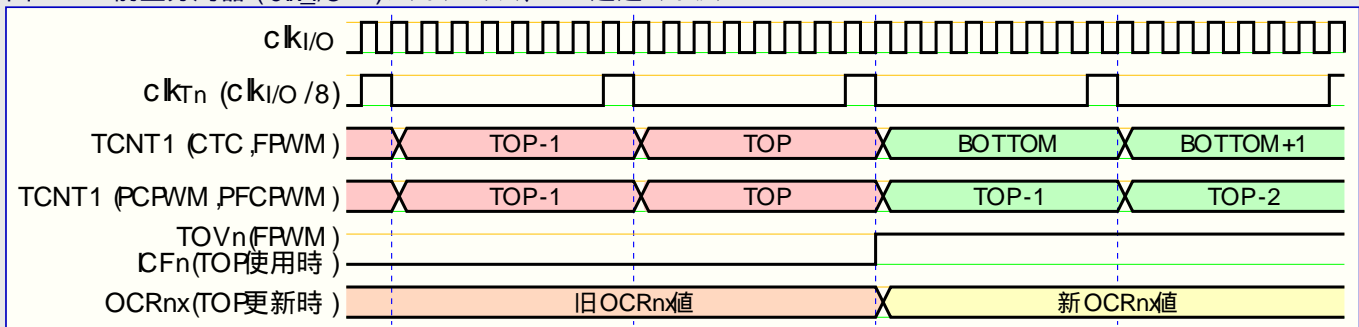


図12-13は同じタイミング図を示しますが、前置分周器が許可されています。

図12-13. 前置分周器($clk_{I/O} / 8$)のタイマ/カウンタ TOP近辺 タイミング



12.11. 16ビットタイマ/カウンタ用レジスタ

12.11.1. タイマ/カウンタ制御レジスタA (Timer/Counter1 Control Register A) TCCR1A

ビット (\$80)	7	6	5	4	3	2	1	0	
	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット76 - COM1A10 : 比較 1A出力選択 (Compare Output Mode 1A bit 1 and 0)

ビット54 - COM1B10 : 比較 1B出力選択 (Compare Output Mode 1B bit 1 and 0)

COM1A1~0とCOM1B1~0は各々OC1AとOC1B比較出力ビットの動作を制御します。COM1A1~0ビットの1つまたは両方が1を書かれると、OC1A出力はそのI/Oビットの通常モード機能を無効にし、そのI/Oビットに接続されます。COM1B1~0ビットの1つまたは両方が1を書かれると、OC1B出力はそのI/Oビットの通常モード機能を無効にし、そのI/Oビットに接続されます。けれども出力駆動部を許可するためにOC1AまたはOC1Bビットに対応するポート方向レジスタ(PDR)のビットがセット(1)されなければならないことに注意してください。

OC1AまたはOC1Bがビットに接続されるとき、COM1x1~0ビットの機能はWGM13~0ビット設定に依存します。表12-2はWGM13~0ビットが標準動作またはCTC動作(つまり非PWM)に設定される時のCOM1x1~0ビット機能を示します。

表12-2. 非PWM動作での比較出力選択 (注: xはAまたはB)

COM1x1	COM1x0	意味
0	0	標準モード動作 (OC1x切断)
0	1	比較一致でOC1xビットのトグル交互出力
1	0	比較一致でOC1xビットのLowレベル出力
1	1	比較一致でOC1xビットのHighレベル出力

表12-3はWGM13~0ビットが高速PWM動作に設定される時のCOM1x1~0ビット機能を示します。

表12-3. 高速PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準モード動作 (OC1x切断)
0	1	WGM13~0=111X : 比較一致でOC1Aビットのトグル交互出力、OC1Bは標準モード動作 (OC1B切断) WGM13~0上記以外 : 標準モード動作 (OC1x切断)
1	0	比較一致でLow TOPでHighをOC1xビットへ出力 (非反転動作)
1	1	比較一致でHigh TOPでLowをOC1xビットへ出力 (反転動作)

注: COM1x1がセット(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、TOPでのセット(1)またはクリア(0)は実行されます。より多くの詳細については67頁の「高速PWM動作」をご覧ください。

表12-4はWGM13~0ビットが位相基準または位相/周波数基準PWM動作に設定される時のCOM1x1~0ビット機能を示します。

表12-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準モード動作 (OC1x切断)
0	1	WGM13~0=10XX : 比較一致でOC1Aビットのトグル交互出力、OC1Bは標準モード動作 (OC1B切断) WGM13~0上記以外 : 標準モード動作 (OC1x切断)
1	0	上昇計数時の比較一致でLow 下降計数時の比較一致でHighをOC1xビットへ出力
1	1	上昇計数時の比較一致でHigh 下降計数時の比較一致でLowをOC1xビットへ出力

注: COM1x1がセット(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。より多くの詳細については68頁の「位相基準PWM動作」をご覧ください。

ビット32 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

ビット10 - WGM10 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB (TCCR1B)で得られるWGM13~ 2ビットと組み合わせたこれらのビットは、カウンタの計数順序 (方向)、最大カウンタ (TOP) 値の供給元、使用されるべき波形生成のどの形式かを制御します (表 12-5参照)。タイマ/カウンタによって支援される動作種別は標準動作 (カウンタ) 比較一致 タイマ/カウンタ クリア (CTC 動作) と3形式のパルス幅変調 (PWM 動作) です。66頁の「動作種別」をご覧ください。

表 12-5 波形生成種別選択

番号	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	タイマ/カウンタ動作種別	TOP値	OCR1x 更新時	TOV1 設定時
0	0	0	0	0	標準動作	\$FFFF	即値	MAX
1	0	0	0	1	8ビット位相基準 PWM動作	\$00FF	TOP	BOTTOM
2	0	0	1	0	9ビット位相基準 PWM動作	\$01FF	TOP	BOTTOM
3	0	0	1	1	10ビット位相基準 PWM動作	\$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致 タイマ/カウンタ クリア (CTC 動作)	OCR1A	即値	MAX
5	0	1	0	1	8ビット高速 PWM動作	\$00FF	TOP	TOP
6	0	1	1	0	9ビット高速 PWM動作	\$01FF	TOP	TOP
7	0	1	1	1	10ビット高速 PWM動作	\$03FF	TOP	TOP
8	1	0	0	0	位相 / 周波数基準 PWM動作	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	位相 / 周波数基準 PWM動作	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	位相基準 PWM動作	ICR1	TOP	BOTTOM
11	1	0	1	1	位相基準 PWM動作	OCR1A	TOP	BOTTOM
12	1	1	0	0	比較一致 タイマ/カウンタ クリア (CTC 動作)	ICR1	即値	MAX
13	1	1	0	1	(予約)	-	-	-
14	1	1	1	0	高速 PWM動作	ICR1	TOP	TOP
15	1	1	1	1	高速 PWM動作	OCR1A	TOP	TOP

12.11.2. タイマ/カウンタ制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット (\$81)	7	6	5	4	3	2	1	0	
	CNC1	CES1	-	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/W rite	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - CNC1 : 捕獲起動入力 雑音消去許可 (Input Capture1 Noise Canceler)

このビットを (1) に 設定することは捕獲起動入力雑音消去器を活性 (有効) にします。雑音消去器が有効にされると、捕獲起動入力 (ICP1) から入力が濾波されます。この濾波器機能はそれが出力を更新することに対して連続 4回等しく評価された ICP1の採取を必要とします。雑音消去器が許可されると、捕獲入力はこれによって 4倍振器 (システム クロックサイクル) 遅らされます。

ビット6 - CES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

このビットは出来事での捕獲を起動するために使用される捕獲起動入力 (ICP1) のどちらかのエッジを選択します。CES1ビットが 0を書かれると起動動作として下降 (負) 端が使用され、CES1ビットが 1を書かれると上昇 (正) 端が捕獲を起動します。

捕獲が CES設定に従って起動されると、カウンタ値が捕獲レジスタ (ICR1) に複写されます。この出来事は捕獲入力割り込み要求フラグ (CF1) もセット (1) し、そしてこれはこの割り込みが許可されていれば捕獲入力割り込みを起こすのに使用できます。

ICR1が TOP値として使用されると (TCCR1AとTCCR1Bに配置されたWGM13~ 0ビットの記述をご覧ください)、ICP1が切り離され、従って捕獲入力機能は禁止されます。

ビット5 - Res : 予約 (Reserved)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCR1Bが書かれるとき、このビットは 0を書かれなければなりません。

ビット4:3 - WGM13:2 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCR1AのWGM11~ 0ビットの記述をご覧ください。

ビット2~0 - CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT1)によって使用されるべきクロックを選択します。図 12-10と図 12-11をご覧ください。

表 12-6. タイマ/カウンタ入力 クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{I/O} 前置分周なし)
0	1	0	clk _{I/O} /8 (8分周)
0	1	1	clk _{I/O} /64 (64分周)
1	0	0	clk _{I/O} /256 (256分周)
1	0	1	clk _{I/O} /1024 (1024分周)
1	1	0	T1ピン ¹ の下降端 (外部 クロック)
1	1	1	T1ピン ¹ の上昇端 (外部 クロック)

タイマ/カウンタに対して外部ピン(クロック動作が使用される場合、例えば T1ピン¹が出力として設定されても T1ピン¹の遷移はカウンタをクロック駆動します。この特性はソフトウェアに計数制御を許します。

12.11.3. タイマ/カウンタ制御レジスタC (Timer/Counter1 Control Register C) TCCR1C

ビット (\$82)	7	6	5	4	3	2	1	0	
	FOC1A	FOC1B	-	-	-	-	-	-	TCCR1C
Read/W rite	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - FOC1A : OC1A強制変更 (Force Output Compare 1A)

ビット6 - FOC1B : OC1B強制変更 (Force Output Compare 1B)

FOC1A/FOC1BビットはWGM13~0ビットが非 PWM動作を指示する時だけ有効です。けれども、将来のデバイスとの共通性を保証するため、PWM動作時に TCCR1C が書かれるとき、これらのビットは0を設定されなければなりません。FOC1A/FOC1Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC1A出力はCOM1x1~0ビット設定に従って変更されます。FOC1A/FOC1Bビットがスロフとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOM1x1~0ビットに存在する値です。

FOC1A/FOC1Bスロフは何れの割り込みの生成もTOPとしてOCR1Aを使用する比較一致タイマ クリア(CTC動作)でのタイマ/カウンタのクリア(\$0000)も行いません。

FOC1A/FOC1Bビットは常に0として読まれます。

ビット5~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

12.11.4. タイマ/カウンタ1 (Timer/Counter1) TCNT1H, TCNT1L (TCNT1)

ビット (\$85)	15	14	13	12	11	10	9	8	
	(MSB)								TCNT1H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$84)	7	6	5	4	3	2	1	0	
								(LSB)	TCNT1L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置 (TCNT1HとTCNT1Lを合わせた TCNT1)は読み書き両方についてタイマ/カウンタの16ビットカウンタに直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMPを使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。59頁の「16ビットレジスタのアクセス」をご覧ください。

カウンタ実行中にカウンタ(TCNT1)を変更することはOCR1Aの1つとTCNT1間の比較一致消失の危険を誘発します。

TCNT1への書き込みは全ての比較部に対して次のタイマ/カウンタ クロックでの比較一致を妨害(除去)します。

12.11.5. タイマ/カウンタ1比較Aレジスタ (Timer/Counter1 Output Compare Register A) OCR1AH, OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
(\$89)	(MSB)								OCR1AH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$88)								(LSB)	OCR1AL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.11.6. タイマ/カウンタ1比較Bレジスタ (Timer/Counter1 Output Compare Register B) OCR1BH, OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
(\$8B)	(MSB)								OCR1BH
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$8A)								(LSB)	OCR1BL
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に **カウンタ(TCNT1)値**と比較される16ビット値を含みます。一致は比較一致割り込みやOC1xピンでの波形出力を生成するのに使用できます。

この比較レジスタは容量が16ビットです。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。5頁の「16ビットレジスタのアクセス」をご覧ください。

12.11.7. タイマ/カウンタ1捕獲レジスタ (Timer/Counter1 Input Capture Register) CR1H, CR1L (CR1)

ビット	15	14	13	12	11	10	9	8	
(\$87)	(MSB)								CR1H
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$86)								(LSB)	CR1L
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはICP1ピンまたはタイマ/カウンタ1については任意の**アナログ比較器出力**で出来事が起こる毎にカウンタ(TCNT1)値で更新されます。この捕獲レジスタはタイマ/カウンタの**TOP値**を定義するのに使用できます。

この捕獲レジスタは容量が16ビットです。CPUがこれらのレジスタへアクセスする時に上位と下位の両バイトが同時に読まれることを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。5頁の「16ビットレジスタのアクセス」をご覧ください。

12.11.8. タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter1 Interrupt Mask Register) TMSK1

ビット (\$6F)	7	6	5	4	3	2	1	0	
	-	-	CE1	-	-	OCF1B	OCF1A	TOF1	TMSK1
Read/W rite	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット5 - CE1 : タイマ/カウンタ捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFL)がセット(1)されると、タイマ/カウンタ捕獲割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR1)に配置された捕獲割り込み要求フラグ(CF1)がセット(1)されると、対応する割り込みベクタ(3頁の「割り込み」参照)が実行されます。

ビット2 - OCF1B : タイマ/カウンタ比較B割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFL)がセット(1)されると、タイマ/カウンタ比較B一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR1)に配置された比較B割り込み要求フラグ(OCF1B)がセット(1)されると、対応する割り込みベクタ(3頁の「割り込み」参照)が実行されます。

ビット1 - OCF1A : タイマ/カウンタ比較A割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFL)がセット(1)されると、タイマ/カウンタ比較A一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR1)に配置された比較A割り込み要求フラグ(OCF1A)がセット(1)されると、対応する割り込みベクタ(3頁の「割り込み」参照)が実行されます。

ビット0 - TOF1 : タイマ/カウンタ溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(IFL)がセット(1)されると、タイマ/カウンタ溢れ割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR1)に配置されたタイマ/カウンタ溢れ割り込み要求フラグ(TOV1)がセット(1)されると、対応する割り込みベクタ(3頁の「割り込み」参照)が実行されます。

12.11.9. タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter1 Interrupt Flag Register) TIFR1

ビット \$16 (\$36)	7	6	5	4	3	2	1	0	
	-	-	CF1	-	-	OCF1B	OCF1A	TOV1	TIFR1
Read/W rite	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット5 - CF1 : タイマ/カウンタ捕獲割り込み要求フラグ (Timer/Counter1, Input Capture Flag)

ICP1ピンに捕獲の事象が起これば、このフラグがセット(1)されます。捕獲レジスタ(ICR1)がWGM13~14によってTOP値として設定されると、CF1フラグはカウンタがTOP値に到達する時にセット(1)されます。

捕獲割り込みベクタが実行されると、CF1は自動的にクリア(0)されます。代わりにこのビット位置へ論理1を書くことによってもCF1はクリア(0)できます。

ビット2 - OCF1B : タイマ/カウンタ比較B割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)

このフラグはカウンタ(TCNT1)値が比較Bレジスタ(OCR1B)と一致した後、次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC1B)は、OCF1Bフラグをセット(1)しないことに注意してください。

比較B一致割り込みベクタが実行されると、OCF1Bは自動的にクリア(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Bはクリア(0)できます。

ビット1 - OCF1A : タイマ/カウンタ比較A割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)

このフラグはカウンタ(TCNT1)値が比較Aレジスタ(OCR1A)と一致した後、次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC1A)は、OCF1Aフラグをセット(1)しないことに注意してください。

比較A一致割り込みベクタが実行されると、OCF1Aは自動的にクリア(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Aはクリア(0)できます。

ビット0 - TOV1 : タイマ/カウンタ溢れ割り込み要求フラグ (Timer/Counter1 Overflow Flag)

このフラグの1設定はWGM13~14のビット設定に依存します。標準またはCTC動作でのTOV1フラグはタイマ/カウンタ溢れ時にセット(1)されます。他のWGM13~14のビット設定を使用する時のTOV1フラグ動作については72頁の表12-5を参照してください。

タイマ/カウンタ溢れ割り込みベクタが実行されると、TOV1は自動的にクリア(0)されます。代わりにこのビット位置へ論理1を書くことによってもTOV1はクリア(0)できます。

注) 本頁レジスタ内のビット7,6,4,3は予約されており、常に0として読めます。

13. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器

5頁の「タイマ/カウンタ0」と5頁の「タイマ/カウンタ1(PWM付き)」は同じ前置分周器部を共有しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述はタイマ/カウンタ0とタイマ/カウンタ1の両方に適用されます。

13.1 内部 クロック

タイマ/カウンタはシステム クロック(CSn2~ 0=00設定)によって直接的にクロック駆動できます。これはシステム クロック周波数(f_{clk_IO})と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使用できます。この前置分周したクロックは $f_{clk_IO}/8$, $f_{clk_IO}/64$, $f_{clk_IO}/256$, $f_{clk_IO}/1024$ の何れかの周波数です。

13.2 前置分周器 リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)タイマ/カウンタ0とタイマ/カウンタ1によって共有されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使用される状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動されるCSn2~ 0=010,011,100,101時に前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロックサイクル数は、Nが前置分周値(8, 64, 256, 1024)とすると、 $1 \sim N+1$ システム クロックサイクルになり得ます。

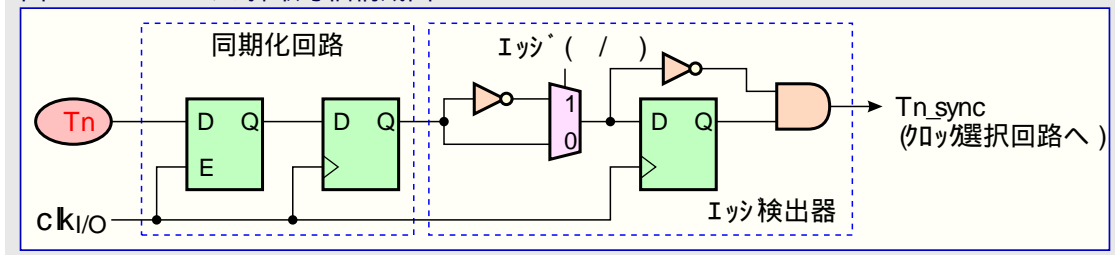
プログラム実行にタイマ/カウンタを同期することに対して前置分周器 リセットを使用することが可能です。しかし、同じ前置分周器を共有する他のタイマ/カウンタ前置分周を使用する場合、注意が必要とされなければなりません。前置分周器 リセットはそれが接続される全タイマ/カウンタに関する前置分周器周期に影響を及ぼします。

13.3 外部 クロック

T0/T1ピンに印加された外部クロック元はタイマ/カウンタクロック(f_{clk_T0}/f_{clk_T1})として使用できます。このT0/T1ピンは同期化論理回路によって全てのシステム クロックサイクルに一度採取されます。この同期化 採取された信号は、その後エッジ検出器を通して通過されます。図13-1はT0/T1同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック(f_{clk_IO})の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は上昇端(CSn2~ 0=111)または下降端(CSn2~ 0=110)の検出毎に1つの clk_{T0}/clk_{T1} パルスを生成します。

図 13-1. T0/T1ピンの採取等価構成図



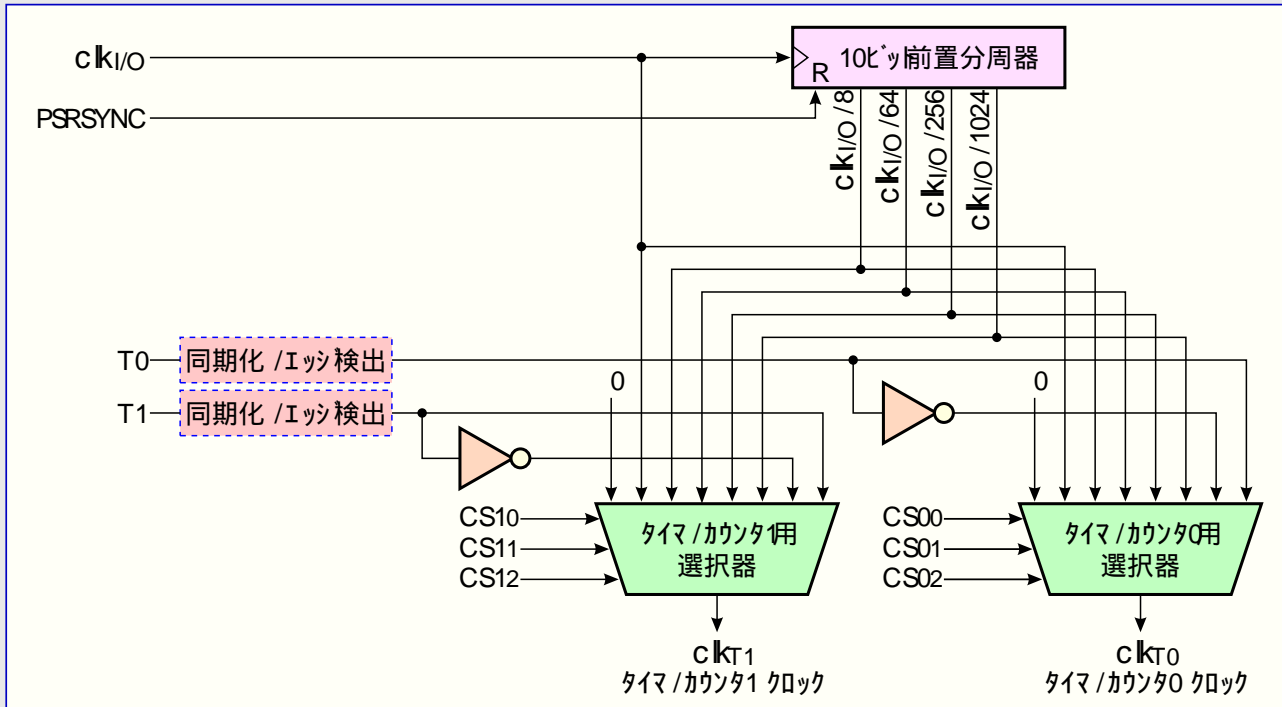
同期化とエッジ検出器論理回路はT0/T1ピンへ印加されたエッジから計数器が更新されるまでに2.5~ 3.5システム クロックサイクルの遅延をもたらします。

クロック入力の許可と禁止はT0/T1が最低1システム クロックサイクルに対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタクロックパルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロックサイクルより長くなければなりません。この外部クロックは50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{XTCLK} < f_{clk_IO}/2$)であることが保証されなければなりません。エッジ検出器が採取を使用するため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストのサンプリング定理)。然しながら、発振元公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{clk_IO}/2.5$ 未満が推奨されます。

外部クロック元は前置分周できません。

図 13-2. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器部構成図



注：入力ピン(T0/T1)の同期化 / イツ検出論理回路は図 13-1 で示されます。

13.4. タイマ/カウンタ前置分周器制御関係レジスタ

13.4.1. 一般 タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) GTCCR

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	TSM	-	-	-	-	-	-	PSRSYNC	GTCCR
Read/W rite	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットへの書き込みはタイマ/カウンタ同期化動作を活性 (有効) にします。この動作で PSRSYNCへ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できるNを保証します。TSMビットが0を書かれると、PSRSYNCビットはハードウェアによってクリア (0) され、同時にタイマ/カウンタが計数を始めます。

ビット6-1 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

ビット0 - PSRSYNC : 同期系 タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter 1,0)

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。TSMビットがセット(1)されている場合を除き、通常、このビットはハードウェアによって直ちにクリア (0) されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが両方のタイマ/カウンタに影響を及ぼすことに注意してください。

14.3. \overline{SS} の機能

14.3.1. 従装置動作

SP が従装置として設定されると、従装置選択 (\overline{SS}) は常に入力です。 \overline{SS} が **Low** に保たれると SP は活性に作動され、使用者によってそのように設定されていれば MOS が出力になります。他の全てのピンは入力です。 \overline{SS} が **High** に駆動されると、出力として使用者設定され得る MOS を除く全てのピンは入力、SP は非活動で、それは到着データを受信しないことを意味します。SP 論理回路は一旦 \overline{SS} が **High** に駆動されると、リセットすることに注意してください。

この \overline{SS} はパケット/ハイ同期に対して、従装置ビットカウンタが主装置クロック発生器との同期を保つのに有用です。 \overline{SS} が **High** に駆動されると、SP 従装置は直ちに送受信論理回路をリセット、それはシフトレジスタ内で部分的に受信したデータのデータ取り落としします。

14.3.2. 主装置動作

SP が主装置 (SP 制御レジスタ (SPCR) の主装置許可 (MSTR) ビット = 1) として設定されると、 \overline{SS} の方向は使用者が決められます。

\overline{SS} が出力として設定されると、このピンは SP システムに影響を及ぼされない標準出力ピンです。代表的にはこのピンが SP 従装置の \overline{SS} を駆動するでしょう。

\overline{SS} が入力として設定されると、SP 主装置動作を保証するためにそれは **High** に保持されなければなりません。 \overline{SS} が入力として定義された SP 主装置として設定されるとき、周辺回路によって \overline{SS} が **Low** に駆動されると、SP システムは他の主装置が従装置として選択してデータ送信を始めると解釈します。ハスの衝突を避けるために SP システムは次の動作を行います。

SPCR で主装置許可 (MSTR) ビットがクリア (0) され、SP システムは従装置になります。SP システムが従装置になる結果として MOS と SCK ピンが入力になります。

SP 状態レジスタ (SPSR) で SP 割り込み要求フラグ (SPIF) がセット (1) され、そして SP 割り込みが許可 (SPCR の SPIE = 1) され、且つステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) なら、割り込みルーチンが実行されます。

従って割り込み駆動 SP 送信が主装置動作で使用され、 \overline{SS} が **Low** に駆動される可能性があるとき、その割り込み処理は MSTR ビットが未だセット (1) されているのを常に検査すべきです。MSTR ビットが従装置選択によってクリア (0) されてしまっていると、それは SP 主装置動作を再び許可するため、使用者によってセット (1) されなければなりません。

14.4.データ転送形式

直列データに関してはSP制御レジスタ(PCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は図14-3と図14-4で示されます。

図14-3.SPIデータ転送形式 (CPHA=0)

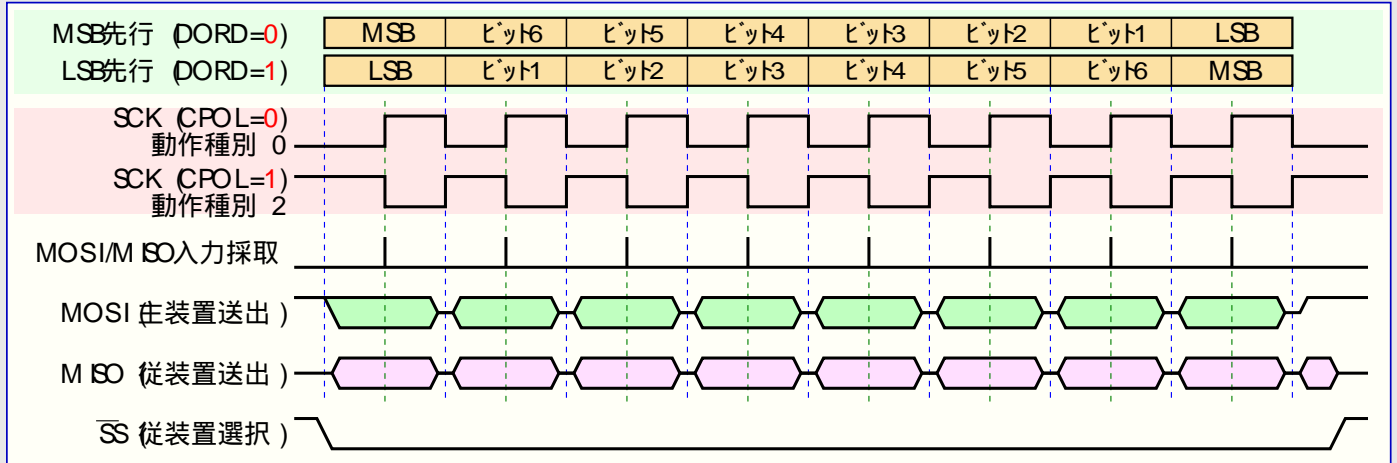
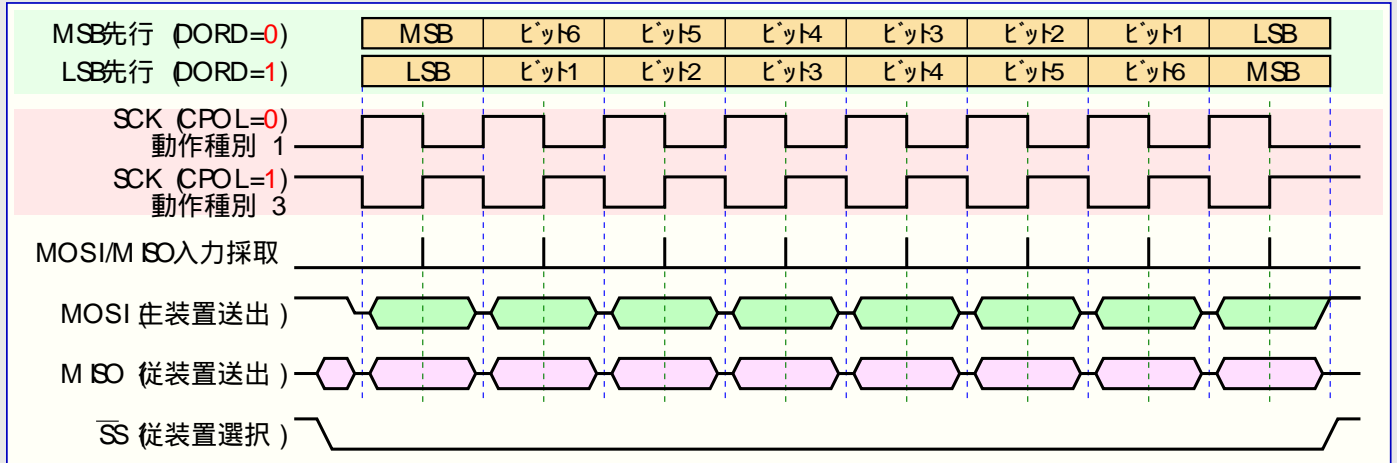


図14-4.SPIデータ転送形式 (CPHA=1)



データビットは安定のためデータ信号に対して十分な時間を保証するSCK信号の反対端でシフト出力と入力ラッチが行われます。これは表14-2で行われるように表14-3と表14-4を要約することによって明解にされます。

表14-2.CPOL/CPHA機能動作

SP動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取 / 上昇端	出力設定 / 下降端
1	0	1	出力設定 / 上昇端	入力採取 / 下降端
2	1	0	入力採取 / 下降端	出力設定 / 上昇端
3	1	1	出力設定 / 下降端	入力採取 / 上昇端

14.5.SP用レジスタ

14.5.1.SP制御レジスタ (SPIControlRegister) SPCR

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	SPE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPE :SP割り込み許可 (SPI Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可 (IFビットがセット(1)され、SP状態レジスタ(SPSR)でSP割り込み要求フラグ(SPIF)がセット(1)されるとこのビットがSP割り込みを実行させます。

ビット6 - SPE :SP許可 (SP Enable)

SPEビットが1を書かれるとSPが許可されます。どのSP操作を許可するにも、このビットがセット(1)されなければなりません。

ビット5 - DORD :データ順選択 (Data Order)

DORDビットが1を書かれるとデータ順のLSBが最初に転送されます。DORDビットが0を書かれるとMSBが最初に転送されます。

ビット4 - MSTR :主装置/従装置選択 (Master/Slave Select)

このビットは1を書かれると主装置動作、論理0を書かれると従装置動作を選択します。 \overline{SS} が入力として設定され、MSTRがセット(1)の間にLowへ駆動されるとMSTRがクリア(0)されてSP状態レジスタ(SPSR)でSP割り込み要求フラグ(SPIF)がセット(1)になります。その後使用者はSP主装置動作を再び許可するためにMSTRをセット(1)しなければなりません。

ビット3 - CPOL :SCK極性選択 (Clock Polarity)

このビットが1を書かれるとアイドル時にSCKはHighです。CPOLが0を書かれるとアイドル時にSCKはLowです。例については図14-3と図14-4を参照してください。CPOL機能は右で要約されます。

表 14-3.CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

ビット2 - CPHA :SCK位相選択 (Clock Phase)

このSCK位相選択 (CPHA)ビットの設定はデータがSCKの先行端または後行端で採取/設定されるかを決めます。例については図14-3と図14-4を参照してください。CPHA機能は右で要約されます。

表 14-4.CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

ビット1:0 - SPR1:0 :SPクロック選択 (SPIClock Rate Select 1 and 0)

これら2ビットは主装置として設定されたデバイスのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKとシステム発振器クロック周波数 f_{osc} 間の関連は次表で示されます。

表 14-5.SCK速度選択 (f_{osc} =CPUクロック周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SP 2X	1	0	1	0	1	0	1	0
SCK周波数	$f_{sc}/2$	$f_{sc}/4$	$f_{sc}/8$	$f_{sc}/16$	$f_{sc}/32$	$f_{sc}/64$		$f_{sc}/128$

14.5.2.SP状態レジスタ (SPIStatusRegister) SPSR

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	SPIF	WCOL	-	-	-	-	-	SP2X	SPSR
Read/W rite	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPIF :SP割り込み要求フラグ (SPI Interrupt Flag)

直列転送が完了すると、このSPIFフラグがセット(1)されます。全割り込みが許可 (ステータスレジスタ(SREG)の全割り込み許可 (IFビット=1)されてSP制御レジスタ(SPCR)でSP割り込み許可 (SPEビットがセット(1)されるなら、割り込みが生成されます。SPが主装置動作の時に \overline{SS} が入力でLowに駆動されるなら、これもこのSPIFフラグを同様にセット(1)します。対応する割り込み処理を実行するとき、SPIFはハードウェアによってクリア(0)されます。代わりにSPIFがセット(1)されたSP状態レジスタ(SPSR)を始めに読み、その後にSPデータレジスタ(SPDR)をアクセスすることによっても、SPIFフラグはクリア(0)されます。

ビット6 - WCOL : 上書き発生フラグ (Write Collision Flag)

データ転送中にSPマスタレジスタ (SPDR) が書かれると、このWCOLビットがセット(1)されます。WCOLビットとSPIFビットはWCOLがセット(1)されたSP状態レジスタ (SPSR) を始めに読み、その後にSPマスタレジスタ (SPDR) をアクセスすることによってクリア(0)されます。

ビット5 - 1 - Res : 予約 (Reserved Bit)

これらのビットは予約されており、常に0として読まれます。

ビット0 - SP2X : SP倍速許可 (Double SPI Speed Bit)

このビットが論理1を書かれると、SCK速度 (SCK周波数) はSPが主装置動作のとき、倍にされます (表 14-5参照)。これは最小SCK周期が2CPUクロック周期であることを意味します。SPが従装置として設定されるとき、SPは f_{osc} (CPUクロック周波数) /4またはそれ以下の動作のみ保証されます。

ATtiny48/88のSPIインターフェースはフラッシュメモリやEEPROMの書き換え、読み書きにも使用されます。直列プログラミングと照合については130頁をご覧ください。

14.5.3. SPマスタレジスタ (SPI Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	SPDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPマスタレジスタはSPシフトレジスタとレジスタファイル汎用レジスタ間のデータ転送に使用される読み書き可能なレジスタです。このレジスタへの書き込みはデータ送信を開始します。このレジスタの読み込みはシフトレジスタの受信バッファ読み出しを引き起こします。

15. 2線直列 インターフェース (TW I:Two-wire Serial Interface, PC)

15.1. 特徴

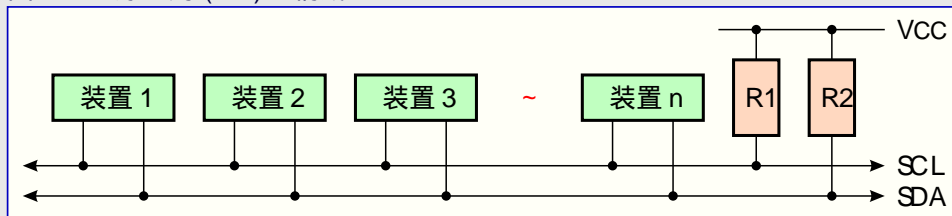
- 2本のバス信号線のみ必要な、単純ながら強力で柔軟な通信 インターフェース
- 主装置動作と従装置動作の両方を支援
- 送信装置または受信装置として動作可能
- 7ビットのアドレス空間が 128までの異なる従装置アドレスを許容
- 複数主装置の調停支援
- 従装置動作で 400kHzまでのデータ転送速度
- 上昇/下降 (スリュート制限された出力駆動回路)
- バス信号線のスパイクを排除する雑音消去回路
- 一斉呼び出しを含む完全に設定変更可能な従装置アドレスの支援
- AVRがスリープ動作の時にアドレス認証 (一致) が起動
- Philips PC規約互換

25頁の「電力削減レジスタ(PRR)」のPRTWビットは2線直列 インターフェース部を許可するために1を書かれなければなりません。

15.2. 2線直列 インターフェース バスの定義

2線直列 インターフェース (TW I)は代表的なマイクロコントローラ応用に対して理想的に適応されています。TW 通信規約は2本の双方向バス信号線、データ用本体 (SDA)とクロック用本体 (SCL)だけを使用して 128個までの異なる装置の相互接続をシステム設計者に許します。バスを実現するために必要とされる外部ハードウェアはTWバス信号線各々に1個ずつのプルアップ抵抗だけです。バスに接続した全ての装置は個別のアドレスを持ち、バス衝突を解決する機構は本質的にTW通信規約で行います。

図 15-1. 2線直列 (TW I)バス構成



15.2.1. TW用語定義

次の定義は本項で度々使用されます。

表 15-1. TW用語定義

用語	意味
主装置	送信の開始と終了する装置。主装置はSCLクロック生成します。
従装置	主装置によって指定された装置。
送信装置	バス上にデータを送り出す装置。
受信装置	バスからデータを読み込む装置。

15.2.2. 電気的な相互接続

図 15-1で描かれたように両バス信号線はプルアップ抵抗を通して正供給電圧に接続されます。全てのTW準拠装置のバス駆動部はオープンドレインかオープンコレクタです。これはインターフェースの動作のために重要なワイアードAND機能を実現します。TWバス信号線のLowレベルはつまたはより多くのTW装置の出力時に生成されます。Highレベルは全TW装置がHigh出力時の出力で、プルアップ抵抗で信号線をHighへ引き上げさせます。TWバスに接続した全てのAVRデバイスがどんなバス動作も許すために電源が供給されなければならないことに注意してください。

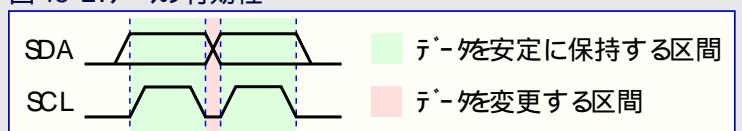
このバスに接続できる装置数は7ビットの従装置アドレス空間と400pFのバス容量制限によってのみ制限されます。TWの電気的特性の詳細仕様は138頁の「2線直列 インターフェース特性」で与えられます。そこで与えられる組の異なる仕様は1つがバス速度 100kHz以下に関するもので、もう1つはバス速度 400kHzまでに関して有効です。

15.3. データ転送とフォーマット

15.3.1. ビット転送

TWバスに転送される各データビットはクロック信号線のバースを伴います。データ信号線のレベルはクロック信号線がHighの時に安定していなければなりません。この規則の例外は開始条件と停止条件の生成だけです。

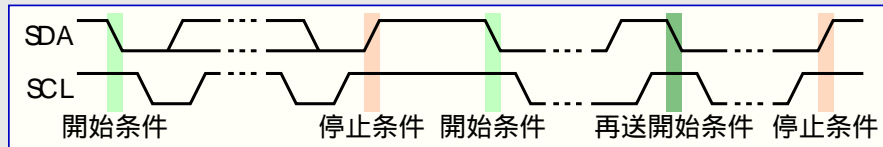
図 15-2. データの有効性



15.3.2. 開始条件と停止条件

主装置がデータ転送の開始と終了を行います。転送は主装置がバスに**開始条件**を起こすと開始され、主装置が**停止条件**を起こすと終了されます。**開始条件**と**停止条件**間はバスが使用中と考えられ、他の主装置はバスの制御獲得を試みるべきではありません。**開始条件**と**停止条件**間で新規**開始条件**が起こされると特別な状態が起きます。これは**再送開始条件**として引用され、主装置がバスの制御を手放さずに新規転送を始めたい時に使用されます。**再送開始条件**後、バスは次の**停止条件**まで使用中と考えられます。これは開始動作に関して全く同じで、従って特記事項を除いて本データシートの残りに対して**開始条件**と**再送開始条件**の両方の記述に**開始条件**が使用されます。下で描かれるように**開始条件**と**停止条件**はSCL信号線がHighの時のSDA信号線のレベル変更によって指示されます。

図 15-3. 開始条件、再送開始条件、停止条件 バス タイミング



15.3.3. アドレス パケット形式

TW バスに送信した全てのアドレスパケットは7ビットのアドレスビット、1ビットの方向 (Read/Write) 制御ビット、1ビットの応答ビットから成る9ビットです。方向 (RW) ビットがセット(1)されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。従装置がアドレス指定されたことを認証すると、9番目のSCL (ACK) サイクルでSDAをLowへ引くことによって確認応答すべきです。アドレス指定された従装置が忙しいまたはその他の理由で主装置の要求を扱えない場合、**確認応答 (ACK)** サイクルでSDA信号線をHighのままにすべきです。主装置はその後に**停止条件**または新規転送を始めるために**再送開始条件**を送出できます。従装置アドレスと方向 (RW) ビットから成るアドレスパケットは各々SLA+RまたはSLA+Wと呼ばれます。

アドレスビットの最上位ビットMSBが最初に送信されます。従装置アドレスは設計者によって自由に割り当てられますが、アドレス0000 000は一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全従装置は**確認応答 (ACK)** サイクルでSDA信号線をLowにすることによって応答すべきです。一斉呼び出しは主装置がシステム内のそれぞれの従装置に同じ通信内容を送信したい時に使用されます。一斉呼び出しアドレスに続きW方向が書き込みビットがバスに送信されると、一斉呼び出しに応答する設定の全ての従装置はACKサイクルでSDA信号線をLowに引き込みます。そして後続のデータパケットは一斉呼び出しに確認応答した全従装置によって受信されます。一斉呼び出しアドレスに続きR方向が読み出しビットの送信は、従装置それぞれが異なるデータの送信を始める場合の衝突の原因となるので意味がないことに注意してください。

1111 xxx形式の全アドレスは将来の目的のために予約されるべきです (訳補: PC規格のアドレス拡張他)

15.3.4. データ パケット形式

TW バスに送信した全てのデータパケットは1バイトのデータと1ビットの応答ビットから成る9ビットです。データ転送中、主装置はクロックと**開始条件**、**停止条件**を生成し、一方受信装置は受信に応答する責任があります。**確認応答 (ACK)** は受信装置が9番目のSCLサイクル中にSDA信号線をLowに引き込むことによって示されます。受信装置がSDA信号線をHighのままにすると**NACK**を示します。受信装置が最終Highを受信したとき、または何らかの理由でこれ以上のHighを受信ができないとき、最終High後に**NACK**を送ることによって送信装置へ通知すべきです。データバイトの最上位 (MSB) ビットが最初に送信されます。

図 15-4. アドレス パケット形式

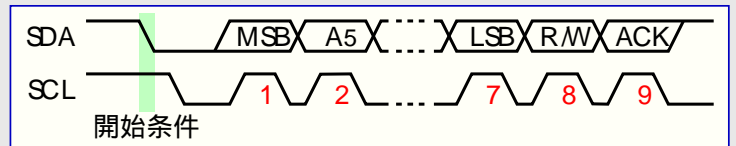
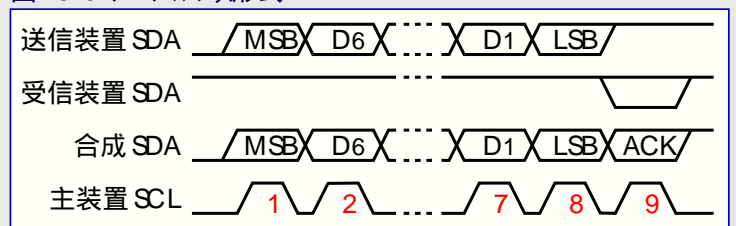


図 15-5. データ パケット形式

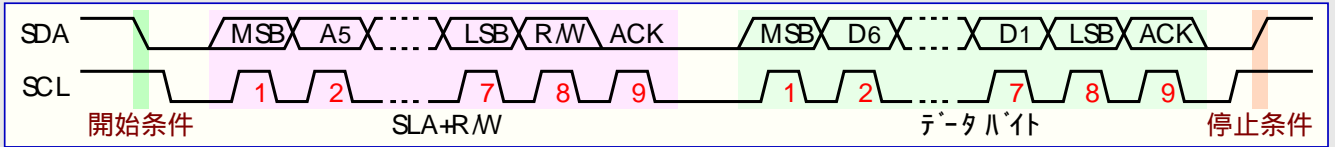


15.3.5 転送内でのアドレスパケットとデータパケットの組み合わせ

転送は基本的に開始条件、SLA+RW、1つ以上のデータパケット、停止条件から成ります。開始条件に続く停止条件から成る空の通信内容は規則違反です。SCL信号線のワイアードANDが主装置と従装置間のハンドシェイクに使用できることに注目してください。従装置はSCL信号線をLowに引き込むことによってSCLのLow期間を引き伸ばします。これは主装置が従装置に対して速すぎるクロック速度設定、または従装置がデータ送信間の処理に追加時間を必要とする場合に有用です。従装置がSCLのLow期間を延長することは主装置によって決められるSCLのHigh期間に影響しません。同様に従装置はSCLのデューティ比 (Low期間) を延長することによってTWI転送速度を落とします。

図 15-6は代表的なデータ転送を示します。様々なデータは応用ソフトウェアによって実装されたソフトウェア規約に依存し、SLA+RWと停止条件間に送信できることに注意してください。

図 15-6. 代表的なデータ転送



15.4 複数主装置バスシステムの調停と同期

TWI規約は多数主装置のバスシステムを許します。例えば2つ以上の主装置が同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数主装置のシステムでは2つの問題が起こります。

送信を完了するために1つの主装置だけを許す方法が実現されなければなりません。他の全ての主装置は自身が行っている従装置選択手順を失った失敗したことに気付く時、送信を止めるべきです。この選択手順は調停 (アビルーション) と呼ばれます。競合する主装置は調停 (従装置選択) 手順を失ったことに気付くと、勝ち残った主装置によってアドレス指定されるかどうかを調べるため、直ちに従装置動作へ切り替えるべきです。複数の主装置が同時に送信を始めた事実は従装置で検知できるべきではありません。換言すると、バスに転送されているデータが不正にされてはなりません。

違う主装置が異なるSCL周波数を使用するかもしれません。同期確定手順で送信が続行するために、全主装置からの直列クロックを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

バス信号線のワイアードANDはこれらの問題の両方の解決に用いられます。全ての主装置からの直列クロックはワイアードANDされ、最短High期間の主装置の1つからに等しいHigh期間の合成クロックを生成します。合成クロックのLow期間は最長Low期間の主装置のLow期間に等しくなります。全ての主装置がSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになると、各々SCLのHighとLow経過時間の計時を始めることに注意してください。

調停は全ての主装置がデータ出力後にSDA信号線を継続的に監視することによって実行されます。SDA信号線から読んだ値がその主装置の出力した値と一致しない場合、調停に敗れます。主装置がSDAにHigh値を出力し、同時に他の主装置がLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れた主装置は直ちに従装置動作へ移行し、勝ち残った主装置によってアドレス指定されるかを検査すべきです。SDA信号線はHighのままにすべきですが、敗れた主装置は現在のデータ、若しくはアドレスパケットの最後までクロック信号を生成することを許されます。調停は唯一の主装置が残るまで継続され、多くのビットを必要とするかもしれません。多くの主装置が同じ従装置をアドレス指定しようとすると、調停はデータパケットへ続くでしょう。

図 15-7 複数主装置間でのSCL同期化

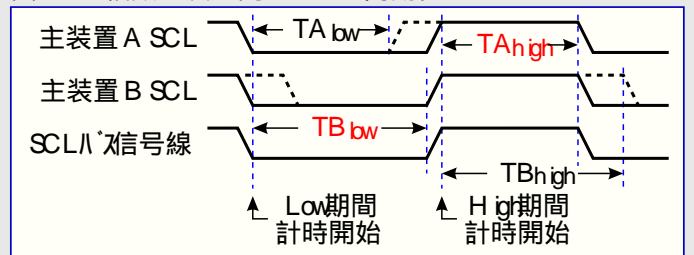
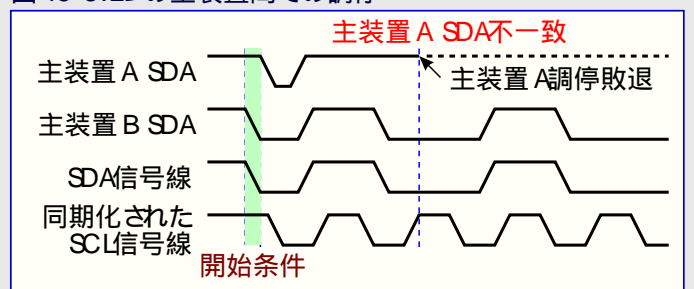


図 15-8. 2つの主装置間での調停



調停が次の状態間で許されないことに注意してください。

再送開始条件とデータビット間

停止条件とデータビット間

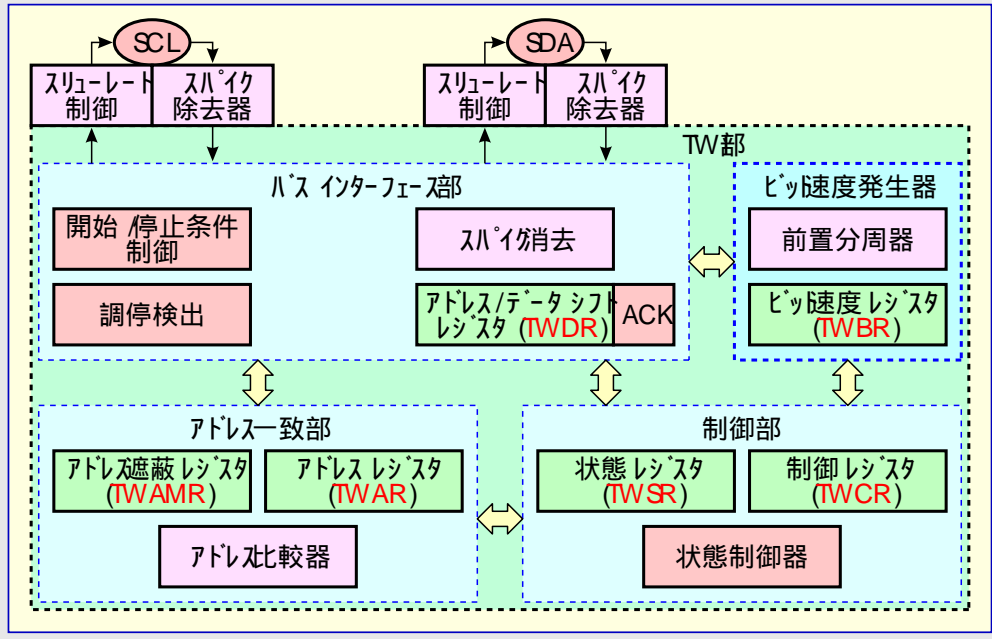
再送開始条件と停止条件間

これらの違法な調停状態を決して起こさないよう保証するのは使用者ソフトウェアの責任です。これは複数主装置システムでの全てのデータ転送は同じ構成、SLA+RWとデータパケットを使用しなければならないことを意味します。言葉を変えると、全ての送信は同じデータパケット数を含まなければならない、さもなければ調停の結果は不定にされます。

15.5. TW部の概要

図 15-9で示されるように TW 部は様々な部分から成ります。赤文字で示された **訳注** 原文は太線で描かれた 全てのレジスタはAVR データバスを通してアクセス可能です。

図 15-9. 2線直列 インターフェイス構成



15.5.1. SCLとSDAピン

これらのピンはAVR TW をMCUシステムのその他とインターフェイスします。出力駆動部はTW 仕様に適合させるためのスリュート仕昇/下降 制限器を含みます。入力段は50nsより短いスパイクを除去するスパイク除去部を含みます。**入出力ポート**項で説明したようにAVR ハードの内部プルアップはSCLとSDAピンに対応するポートのビットを設定 (=1) することによって許可できることに注目してください。内部プルアップはいくつかのシステムで外部抵抗の必要をなくせます。

15.5.2. ビット速度発生器

この部分は主装置動作で動く時のSCL周期を制御します。SCL周期はTW **ビット速度レジスタ(TWBR)**とTW **状態レジスタ(TWSR)**の前置分周器ビットの設定によって制御されます。従装置動作はビット速度や前置分周器設定と関係ありませんが、従装置でのCPUクロック周波数はSCL周波数より最低 16倍高くなければなりません。従装置がSCLの **Low**期間を延長するかもしれない、これによって平均 TWIバス クロック周波数が減少することに注意してください。

TW は **103頁の「TW高速レジスタ(TWHSR)」**で記述されるように、高速動作で動くように設定することができます。高速動作ではTW がシステム クロックを使用し、一方標準動作では同じシステム クロックの前置分周版に頼ります。使用するクロック信号に依存してSCL周波数は次の1つに従って生成されます。

標準動作 SCL周波数 = $\frac{ck_{I/O}}{16 + 2 \times (TWBR \times \text{前置分周値})}$	ck _{I/O} : 前置分周されたシステム クロック(17頁の図 6-1参照)
高速動作 SCL周波数 = $\frac{ck_{TW HS}}{16 + 2 \times (TWBR \times \text{前置分周値})}$	ck _{TW HS} : システム クロック(17頁の図 6-1参照)
	TWBR : TW ビット速度レジスタ 値
	前置分周値 : TW 状態レジスタ内 TWPSCで指定 (102頁の表 15-7 参照)

注 : TW 主装置動作ではTWBRが10またはそれ以上でなければなりません。

15.5.3. バス インターフェイス部

この部分は**データとアドレスのシフトレジスタ(TWDR)** **開始条件/停止条件**制御器、調停検出回路を含みます。TWDRは送信されるべきアドレスまたはデータバイト 若しくは受信したアドレスまたはデータバイトを含みます。8ビットのTWDRに加えバス インターフェイス部は送信されるべきまたは受信した NACKビットを含むレジスタを含みます。この NACKレジスタは応用ソフトウェアによって直接的にアクセスできません。けれども**TW 制御レジスタ(TWCR)**を操作することにより、受信時にセット(1)またはクリア(0)できます。送信装置動作時、受信した NACKビットの値はTWSRの値によって判定できます。

開始条件/停止条件制御器は**開始条件**、**再送開始条件**、**停止条件**の生成と検出に対して責任があります。**開始条件/停止条件**制御器はAVR MCUが主装置によってアドレス指定されるとMCUを起動できる**スリープ動作**の1つの時でも、**開始条件**または**停止条件**を検出できます。

TW が主装置として送信を始められると、調停検出ハードウェアは調停が進行中かを定めるために送信の試行を継続的に監視します。TW が調停に敗れた場合、制御部に通知されます。その後に正しい処置が行われ、適切な状態符号が生成されます。

1554. アドレス一致部

アドレス一致部は受信したアドレスハイが **TW アドレス レジスタ (TWAR)** の 7 ビットアドレスと一致するかを検査します。TWAR で **一斉呼び出し 検出許可 (TWGCE) フラグ** が 1 を書かれると、全ての到着アドレスビットは一斉呼び出しアドレスに対しても比較されます。アドレス一致を制御部は通知され、正しい処置を行うことを許します。TW は **TW 制御 レジスタ (TWCR)** の設定によってそのアドレスへの応答をするかもしれないし、しないかもしれません。アドレス一致部は AVR MCU が主装置によってアドレス指定されると MCU を起動できる **スリープ動作** の 1 つの時でもアドレスを比較できます。TW が **ハワーダウン動作** でのアドレス一致で CPU を起動中に他の割り込み (例えば **INT0**) が起こると、TW は動作を停止してアイドル状態で復帰します。これが何らかの問題の原因なら、**ハワーダウン動作** へ移行する時に TW アドレス一致だけが割り込みを許可されることを保証してください。

1555. 制御部

制御部は TW マスターを監視し、TW 制御レジスタ (TWCR) の設定に従った応答を生成します。応用に注意を要求する事象が TW マスターで起こると、**TW 割り込み要求 フラグ (TW INT)** が有効にされます。次のクロックサイクルで TW 状態レジスタ (TWSR) は事象を示す状態符号で更新されます。TW 割り込み要求フラグが有効にされる時だけ、TWSR は適切な状態情報を含みます。他の全てのとき、TWSR は適切な状態情報が利用できないことを示す特別な状態符号を含みます。TW INT フラグがセット (1) されている限り、SCL 信号線は **Low** に保たれます。これは続く TW 送信を許す前に、現状 処理完了を応用ソフトウェアに許します。

TW 割り込み要求フラグ (TW INT) は次の場合にセット (1) されます。

開始条件または再送開始条件送信後

SLA+R/W 送信後

アドレスハイ送信後

調停に敗れた後

自身の従装置アドレスまたは一斉呼び出しによってアドレス指定された後

データハイ受信後

従装置として未だアドレス指定されている間の停止条件または再送開始条件受信後

不正な開始条件または停止条件のためマスター異常が起きた時

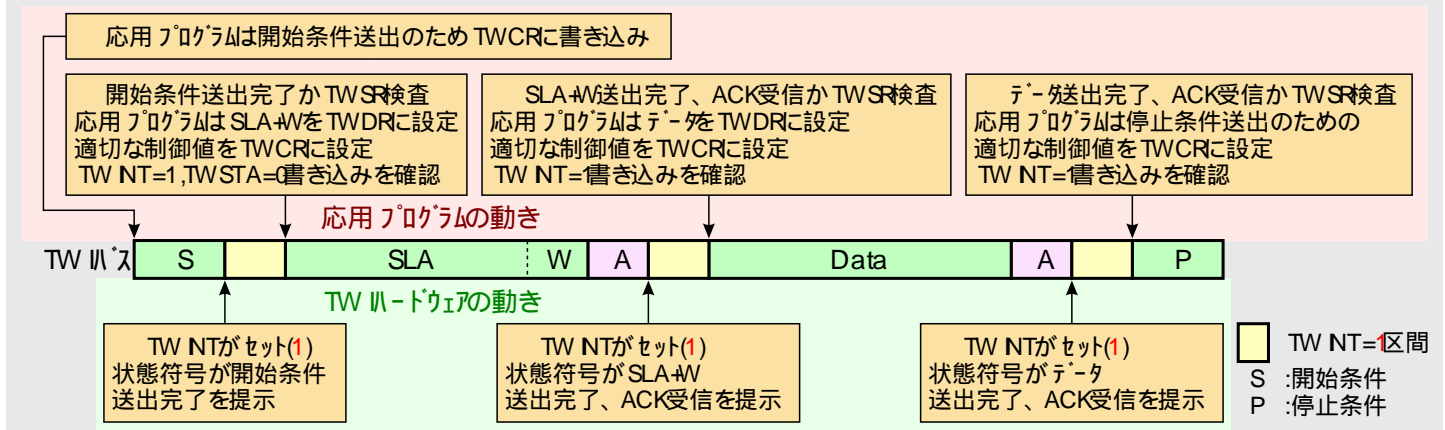
15.6. TWの使用法

AVR TW はハイ志向で割り込みが基本です。割り込みはハイの受信や**開始条件**の送出のような全てのバスの事象後に起こります。TW は割り込みが基本のため、応用ソフトウェアは TW バス転送中に他の操作を続行するために開放されます。**ステータスレジスタ(SREG)の全割り込み許可 (ISET)**と共に **TW 制御レジスタ(TWCR)の TW 割り込み許可 (TWIE)**は、TWCR の **TW 割り込み要求フラグ(TWNT)**のセット(1)が割り込み要求を発生すべきかどうかを決めることを応用 (ソフトウェア)に許します。TW E ビットがクリア (0)されると、応用 (ソフトウェア)は TW バスの動きを検知するために TW NTフラグをポーリングしなければなりません。

TW NTフラグがセット(1)されると、TW は動作を終え、応用 (ソフトウェア)の応答を待ちます。この場合、TW 状態レジスタ(TWSR)は TW バスの現在の状態を示す値を含みます。そして応用ソフトウェアは TWCR と TWDR の操作により、TW が次の TW バスサイクルで何を行うべきかを決定できます。

図 15-10 は応用 (ソフトウェア)が TW ハードウェアにどうインターフェースできるかの簡単な例です。この例では主装置が単一データハイを従装置に送信しようします。この内容はかなり大雑把ですので、より詳細な説明が本項の後に続きます。希望した動きを実現する簡単なコード例も示されます。

図 15-10 代表的な送信での応用プログラムとTWのインターフェース



TW 送信の最初の段階は**開始条件**を送出することです。これは TW ハードウェアに開始条件送出を命じる特別な値を TWCR 内に書くことによって行います。どんな値を書かは後で記述されます。けれども書かれる値で TW NT ビットがセット(1)されることが重要です。TW NT への書き込みは、このフラグをクリア (0) します。TWCR で TW NT ビットがセット(1)されている限り、TW はどんな動作も始めません。応用 (ソフトウェア)が TW NT をクリア (0) した後、TW は直ちに**開始条件**の送出を始めます。

開始条件が送出されてしまうと、TWCR で TW NT フラグがセット(1)され、TWSR は**開始条件**が正常に送出されてしまったことを示す状態符号に更新されます。

応用ソフトウェアは**開始条件**が正常に送信されたのを確認するために TWSR の値を直ぐに検査すべきです。TWSR が他を示している場合、応用ソフトウェアは異常ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用 (ソフトウェア)は TWDR に **SLA+W** を設定しなければなりません。TWDR がアドレスとデータの両方に使用されることを思い出してください。TWDR が希望した **SLA+W** に設定されてしまった後、TWDR にある **SLA+W** の送信を TW ハードウェアへ命じる特別な値が TWCR に書かれなければなりません。どんな値を書かは後で記述されます。けれども書かれる値で TW NT ビットがセット(1)されることが重要です。TW NT への書き込みがこのフラグをクリア (0) します。TWCR で TW NT ビットがセット(1)されている限り、TW はどんな動作も始めません。応用 (ソフトウェア)が TW NT をクリア (0) した後、TW は直ちにアドレスパケットの送信を始めます。

アドレスパケットが送信されてしまうと、TWCR で TW NT フラグがセット(1)され、TWSR はアドレスパケットが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がパケットに回答したかどうかも反映します。

応用ソフトウェアはアドレスパケットが正常に送信され、期待された **ACK** ビット値であることを確認するために TWSR の値を直ぐに検査すべきです。TWSR が他を示している場合、応用ソフトウェアは異常ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用 (ソフトウェア)は TWDR に **データ** を設定しなければなりません。その後、TWDR にある **データ** の送信を TW ハードウェアへ命じる特別な値が TWCR に書かれなければなりません。どんな値を書かは後で記述されます。けれども書かれる値で TW NT ビットがセット(1)されることが重要です。TW NT への書き込みがこのフラグをクリア (0) します。TWCR で TW NT ビットがセット(1)されている限り、TW はどんな動作も始めません。応用 (ソフトウェア)が TW NT をクリア (0) した後、TW は直ちに **データ** パケットの送信を始めます。

データパケットが送信されてしまうと、TWCR 内の TW NT フラグがセット(1)され、TWSR はデータパケットが正常に送信されたことを示す状態符号に更新されます。この状態符号は従装置がパケットに回答したかどうかも反映します。

応用ソフトウェアは **データ** パケットが正常に送信され、期待された **ACK** ビット値であることを確認するために TWSR の値を直ぐに検査すべきです。TWSR が他を示している場合、応用ソフトウェアは異常ルーチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態符号だと仮定すると、応用 (ソフトウェア)は **停止条件**の送出を TW ハードウェアへ命じる特別な値を TWCR に書かなければなりません。どんな値を書かは後で記述されます。けれども書かれる値で TW NT ビットがセット(1)されることが重要です。TW NT への書き込みがこのフラグをクリア (0) します。TWCR で TW NT ビットがセット(1)されている限り、TW はどんな動作も始めません。応用 (ソフトウェア)が TW NT をクリア (0) した後、TW は直ちに **停止条件**の送出を始めます。**停止条件**が送出されてしまった後に TW NT がセット(1)されないことに注意してください。

この例は簡単とはいえ、全てのTW送信に関係した原理を示しています。これらは次のように要約できます。

TWが動作を終了して応用ソフトウェアの反応を予想する時にTW NTフラグがセット(1)されます。SCL信号線はTW NTがクリア(0)されるまでLowに引き込まれます。

TW NTフラグがセット(1)されると、使用者は次のTWバスサイクルに関連した値で必要な全てのTWレジスタを更新しなければなりません。例で示されるようにTWDRは次のTWバスサイクルで送信されるべき値を設定されなければなりません。

必要な全てのTWレジスタを更新し、その他保留中の応用ソフトウェアの処理が完了してしまった後にTWCRが書かれます。TWCR書き込み時、TW NTビットがセット(1)されるべきです。TW NTへの書き込みはこのフラグをクリア(0)します。TWCR設定によってどの動作が指定されても、TWはその(TW NT=0)後に実行を始めます。

次にアセンブリ言語とC言語の実装例が与えられます。以下のコードは例えばインクルードファイルの使用により様々な定義が作成されている前提であることに注意してください。

	アセンブリ言語 プログラム例	C言語 プログラム例	注釈
	LDI R16, (1<<TWINT) (1<<TWSTA) (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT) (1<<TWSTA) (1<<TWEN);	開始条件送出
	WAIT1: IN R16, TWCR SBRS R16, TWINT RJMP WAIT1	while (!(TWCR & (1<<TWINT)));	;TW NT=1まで待機 ;開始条件送出完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, START BRNE ERROR	if ((TWSR & 0xF8) != START) ERROR();	;TW 状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;STARTと異なる状態符号で ;異常処理へ
	LDI R16, SLA_W OUT TWDR, R16 LDI R16, (1<<TWINT) (1<<TWEN) OUT TWCR, R16	TWDR = SLA_W; TWCR = (1<<TWINT) (1<<TWEN);	;TWDRにSLA+W設定 ;アドレス送信開始のため ;TWCRのTW NTをクリア(0)
	WAIT2: IN R16, TWCR SBRS R16, TWINT RJMP WAIT2	while (!(TWCR & (1<<TWINT)));	;TW NT=1まで待機 ;SLA+W送出完了と ;ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_SLA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_SLA_ACK) ERROR();	;TW 状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_SLA_ACKと違う状態符号で ;異常処理へ
	LDI R16, DATA OUT TWDR, R16 LDI R16, (1<<TWINT) (1<<TWEN) OUT TWCR, R16	TWDR = DATA; TWCR = (1<<TWINT) (1<<TWEN);	;TWDRにデータ設定 ;データ送信開始のため ;TWCRのTW NTをクリア(0)
	WAIT3: IN R16, TWCR SBRS R16, TWINT RJMP WAIT3	while (!(TWCR & (1<<TWINT)));	;TW NT=1まで待機 ;データ送出完了と ;ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_DATA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_DATA_ACK) ERROR();	;TW 状態レジスタ値検査 ;前置分周選択ビットの遮蔽 ;MT_DATA_ACKと違う状態符号で ;異常処理へ
	LDI R16, (1<<TWINT) (1<<TWSTO) (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT) (1<<TWSTO) (1<<TWEN);	停止条件送出

注：5頁の「コード例について」をご覧ください。

15.7 転送種別

TW は 4 つの主な動作種別の 1 つで動けます。これらは送信主装置 (MT)、受信主装置 (MR)、送信従装置 (ST)、受信従装置 (SR) と名付けられます。これら種別の多くは同じ応用に使用できます。例えば、TW 方式の EEPROM 内にデータを書くのに TW は MT 動作を、EEPROM からデータを読み戻すのに MR 動作を使用できます。システム内に他の主装置が存在する場合、それらのいくつかは TW にデータを送信するかもしれず、すると ST 動作が使用されるでしょう。どの動作種別が適正かを決めるのは応用ソフトウェアです。

次項はこれら動作種別の各々を記述します。起こり得る状態符号は各動作種別のデータ転送詳細図に沿って示されます。これらの図は次の略号を含みます。

S	開始 (START 条件)
Rs	再送開始 (REPEATED START 条件)
R	読み出し指定ビット (SDA=High)
W	書き込み指定ビット (SDA=Low)
A	確認応答 (ACK) ビット (SDA=Low)
\bar{A}	非確認応答 (NACK) ビット (SDA=High)
Data	8 ビットデータバイト
P	停止 (STOP 条件)
SLA	従装置アドレス

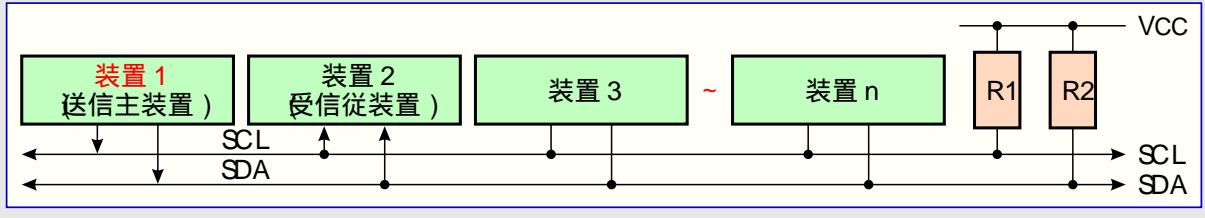
図 15-12 ~ 18 内の楕円 **訳注** 原文は円 は TW 制御レジスタ (TWCR) の TW 割り込み要求フラグ (TW NT) がセット (1) されたことを示すために使用されます。この楕円内の番号は前置分周選択ビットが 0 で遮蔽された TW 状態レジスタ (TWSR) に保持した状態符号を表します。これら位置での動きは TW 転送の継続または完了が応用 (ソフトウェア) によって行われなければなりません。TW 転送はソフトウェアによって TW NT フラグがクリア (0) されるまで一時停止されます。

TW 割り込み要求フラグ (TW NT) がセット (1) される時の TW 状態レジスタ (TWSR) の状態符号は適切なソフトウェア動作を決めるのに使用されます。各状態符号に対する必要なソフトウェア動作や後続の直列転送の詳細は表 15-2 ~ 5 で与えられます。これらの表に於いて前置分周選択ビットが 0 で遮蔽されていることに注意してください。

15.7.1 送信主装置動作

送信主装置動作では何バイトのデータも受信従装置へ送信されます (図 15-11 参照)。主装置動作へ移行するには**開始条件**が送出されなければなりません。それに続くアドレスバケットの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。**SLA+W**が送信されると送信主装置 (**MT**)へ移行し、**SLA+R**が送信されると受信主装置 (**MR**)へ移行します。本項で言及する全ての状態符号は**前置分周選択ビット**が**0**、または**0**で遮蔽されることが前提です。

図 15-11 送信主装置動作でのデータ転送



開始条件は **TWCR** に次の値を書くことによって送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

TWENは2線直列インターフェース(TWI)を許可するためにセット(1)されなければなりません。**TWSTA**は**開始条件**を送出するために1を書かれねばならず、**TWNT**はTWNTフラグをクリア(0)するために1を書かれなければなりません。そしてTWは2線直列バスを検査し、バスが開放になると直ぐに**開始条件**を生成します。**開始条件**が送出されてしまった後、TWNTフラグがハードウェアによってセット(1)され、**TWSR**の状態符号が\$08 (表 15-2 参照) になります。送信主装置へ移行するには**SLA+W**が送信されなければなりません。これは**TWDR**に**SLA+W**を書くことによって行います。その後、転送を継続するためにTWNTビットは(1)の書き込みによってクリア(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

SLA+Wが送信されて応答ビットが受信されてしまうと、TWNTが再びセット(1)され、TWSRの状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は\$18,\$20,\$38です。これら状態符号の各々に対する適切な動作は表 15-2 で詳述されます。

SLA+Wが正常に送信されてしまうと、データバケットが送信されるべきです。これはTWDRにデータバイトを書くことによって行われます。TWDRはTWNTが1の時にだけ書かれなければなりません。さもなければ、そのアクセスは破棄され、TWCRで**上書き発生 (TWWC)**フラグがセット(1)されます。TWDR更新後、転送を継続するためにTWNTビットは(1)の書き込みによってクリア(0)されるべきです。これはTWCRに次の値を書くことによって成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

最後のバイトが送られてしまうまでこの手順が繰り返され、この転送は**停止条件**または**再送開始条件**を生成することによって終了されます。**停止条件**はTWCRに次の値を書くことによって生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	1	X	1	0	X

再送開始条件はTWCRに次の値を書くことによって生成されます。

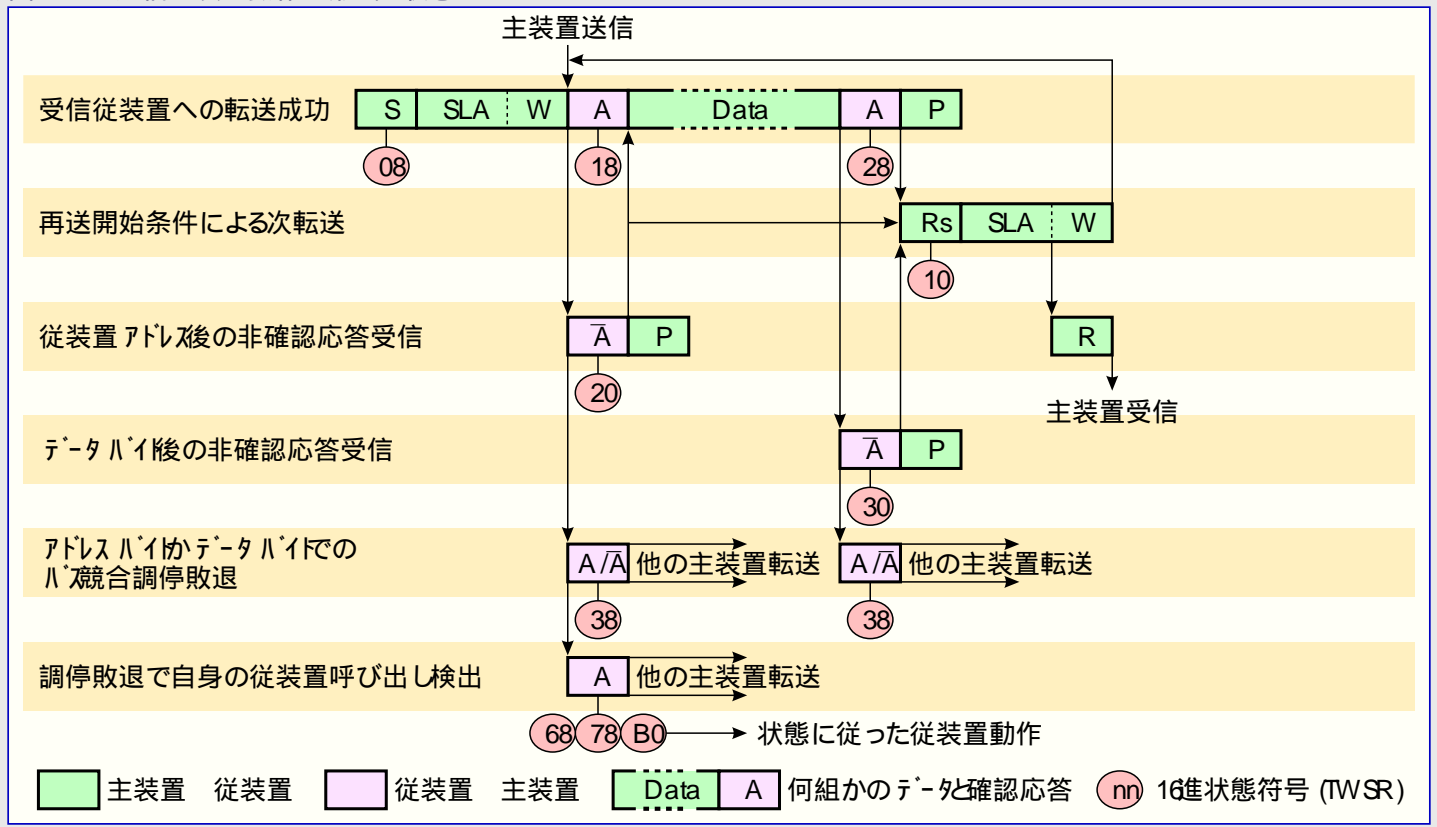
ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

再送開始条件 状態符号 \$10 後、2線直列インターフェースは**停止条件**を送出せずに再び同じ従装置または新しい従装置にアクセスできます。**再送開始条件**は主装置がバスの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします (訳注 原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表 15-2 送信主装置動作の状態符号 (注: TWSRの前置分周選択ビットは0の前提)

状態符号 (TWSR)	直前の動作と ハスの状態	ソフトウェアの対応					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、受信主装置動作へ移行
\$18	SLA+W送信 ACK受信	データ搬送	0	0	1	X	データ搬送、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$20	SLA+W送信 NACK受信	データ搬送	0	0	1	X	データ搬送、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$28	データハイ送信 ACK受信	データ搬送	0	0	1	X	データ搬送、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$30	データハイ送信 NACK受信	データ搬送	0	0	1	X	データ搬送、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$38	SLA+W, データハイで バス競合調停敗退	なし	0	0	1	X	バス開放、未指定従装置動作へ移行
			1	0	1	X	バス開放時に開始条件送信

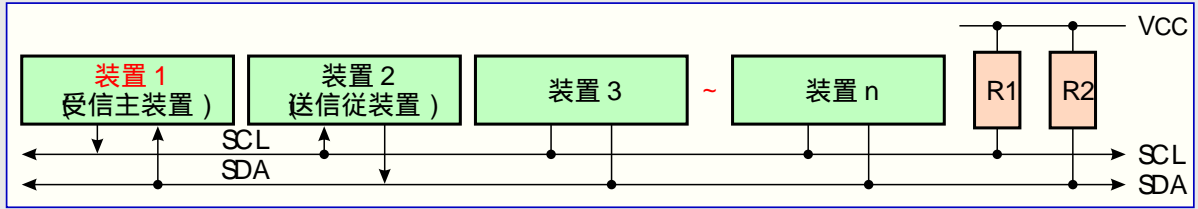
図 15-12 送信主装置動作の形式と状態



15.7.2. 受信主装置動作

受信主装置動作では何バイトのデータが送信装置から受信されます (図 15-13 参照)。主装置動作へ移行するには**開始条件**が送出されなければなりません。それに続くアドレスバケットの形式が送信主装置または受信主装置のどちらへ移行すべきかを決めます。**SLA+W**が送信されると送信主装置 (**MT**)へ移行し、**SLA+R**が送信されると受信主装置 (**MR**)へ移行します。本項で言及する全ての状態符号は**前置分周選択ビット**が **0**、または **0** で遮蔽されることが前提です。

図 15-13 受信主装置動作でのデータ転送



開始条件は **TWCR** に次の値を書くことによって送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

TWEN は 2 線直列インターフェース (TWI) を許可するためにセット (1) されなければなりません。**TWSTA** は **開始条件** を送出するために 1 を書かれねばならず、**TWNT** は TW NT フラグをクリア (0) するために 1 を書かれなければなりません。そして TW は 2 線直列バスを検査し、バスが開放になると直ぐに **開始条件** を生成します。**開始条件** が送出されてしまった後、TW NT フラグがハードウェアによってセット (1) され、**TWSR** の状態符号が \$08 (表 15-3 参照) になります。受信主装置へ移行するには **SLA+R** が送信されなければなりません。これは **TWDR** に **SLA+R** を書くことによって行います。その後、転送を継続するために TW NT ビットは (1) の書き込みによってクリア (0) されるべきです。これは **TWCR** に次の値を書くことによって成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	0	X	1	0	X

SLA+R が送信されて応答ビットが受信されてしまうと、TW NT が再びセット (1) され、**TWSR** の状態符号の数値が利用可能になります。主装置動作で可能性のある状態符号は \$38, \$40, \$48 です。これら状態符号の各々に対する適切な動作は表 15-3 で詳述されます。

ハードウェアによって TW NT フラグがセット (1) されると、受信したデータが **TWDR** から読めます。この手順は最後のバイトが受信されてしまつて繰り返されます。最後のバイトが受信されてしまった後、受信主装置は最後に受信したデータバイト後の **NACK** 送信によって送信装置へ通知すべきです。この転送は **停止条件** または **再送開始条件** を生成することによって終了されます。**停止条件** は **TWCR** に次の値を書くことによって生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	0	1	X	1	0	X

再送開始条件 は **TWCR** に次の値を書くことによって生成されます。

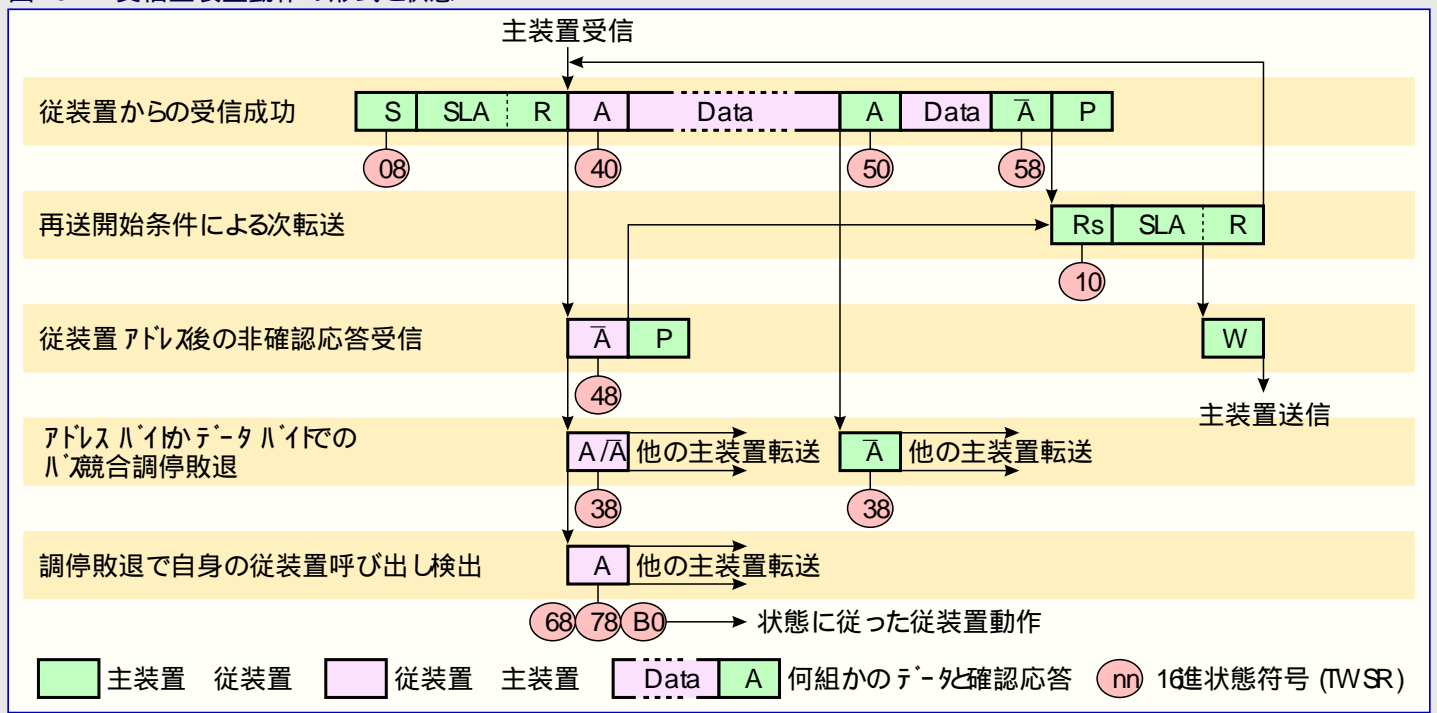
ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	1	X	1	0	X	1	0	X

再送開始条件 状態符号 \$10 後、2 線直列インターフェースは **停止条件** を送出せずに再び同じ従装置または新しい従装置にアクセスできます。**再送開始条件** は主装置がバスの制御を失わずに送信主装置、受信主装置間の切り替えを可能にします (訳注 原文では従装置も含まれていますが、基本動作に対して不適切なため削除しました)。

表 15-3. 受信主装置動作の状態符号 (注: TWSRの前置分周選択ビットは0の前提)

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの対応					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$08	開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+R設定	0	0	1	X	SLA+R送信、ACKかNACK受信
		SLA+W設定	0	0	1	X	SLA+W送信、送信主装置動作へ移行
\$38	SLA+Rで調停敗退 またはNACK受信	なし	0	0	1	X	バス開放、未指定従装置動作へ移行
			1	0	1	X	バス開放時に開始条件送信
\$40	SLA+R送信 ACK受信	なし	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$48	SLA+R送信 NACK受信	なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$50	データハイ受信 ACK応答	データ取得	0	0	1	0	データ受信、NACK応答
			0	0	1	1	データ受信、ACK応答
\$58	データハイ受信 NACK応答	データ取得	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0

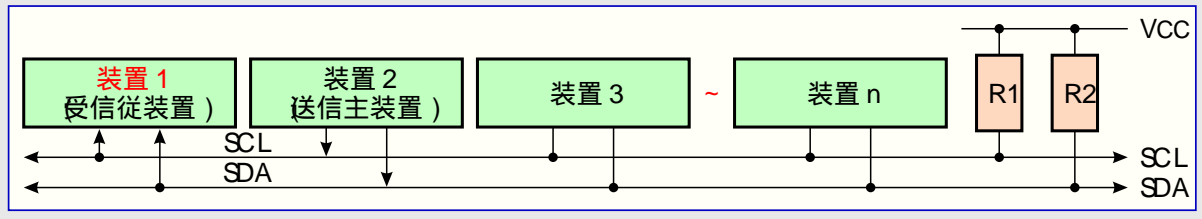
図 15-14. 受信主装置動作の形式と状態



15.7.3. 受信従装置動作

受信従装置動作では何ハイのデータが送信主装置から受信されます (図 15-15 参照)。本項で言及する全ての状態符号は前置分周選択ビットが 0、または 0 で遮蔽されることが前提です。

図 15-15. 受信従装置動作でのデータ転送



受信従装置動作を始めるには **TWAR** と **TWCR** が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置アドレス							1/0

上位 7 ビットは主装置によってアドレス指定される時に 2 線直列 インターフェースが応答するアドレスです。最下位 (**TWGCE**) ビットがセット (1) されるなら、TW は一斉呼び出し (00) に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	0	1	0	0	0	1	0	X

TWEN は 2 線直列 インターフェース (TWI) を許可するために 1 を書かれなければなりません。TWEA は装置自身の従装置アドレスまたは一斉呼び出しアドレスの確認応答 (ACK) を許可するために 1 を書かれなければなりません。TWSTA と TWSTO は 0 を書かれなければなりません。

TWAR と TWCR が初期化されてしまうと、TW は自身の従装置アドレスまたは許可なら、一斉呼び出しアドレスとそれに続くデータ方向ビットによってアドレス指定されるまで待機します。方向ビットが 0 (W) ならば TW は受信従装置で動作し、さもなければ (1 (R) ならば 送信従装置へ移行されます。自身の従装置アドレスと W ビットが受信されてしまった後に **TWNT** フラグがセット (1) され、**TWSR** から有効な状態符号が読めます。この状態符号は適切なソフトウェア動作を決めるのに使用されます。各状態符号に対して行うべき適切な動作は表 15-4 で詳述されます。受信従装置動作は TW が主装置動作の間で調停に敗れた場合にも移行されるかもしれません。(状態符号 \$68, \$78 参照)

転送中に TWEA ビットがリセット (0) されると、TW は次に受信したデータハイ後の SDA に非確認応答 (NACK) (SDA = High) を返します。これは従装置がこれ以上受信できないことを示すのに使用できます。TWEA が 0 の間中、TW は自身の従装置アドレスに回答しませんが、2 線直列バスは未だ監視され、アドレス認証は TWEA のセット (1) によって何時でも再開できます。これは TWEA ビットが TW を 2 線直列バスから一時的に隔離するのに使用できることを意味します。

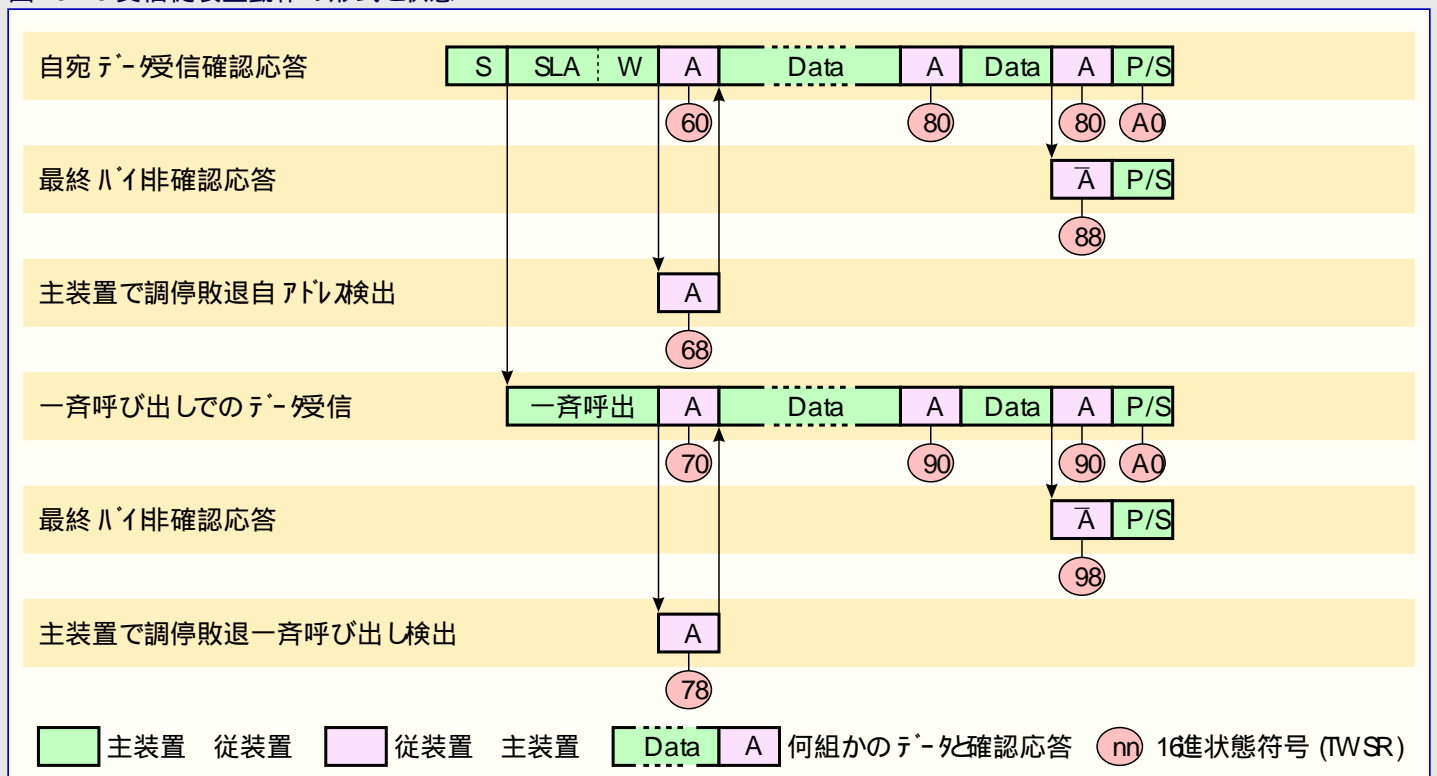
アイドル動作を除くスリープ動作では TW のクロック係が OFF にされます。TWEA ビットがセット (1) されていると、このインターフェースはクロックとして 2 線直列バスクロック (SCL) を使用することにより、自身の従装置アドレスと一斉呼び出しに未だ確認応答できます。その後データハイがスリープ動作から起動し、TW は起動中から TWNT フラグが (書き込みによって) クリア (0) されるまで SCL クロックを Low に保ちます。その後のデータ受信は AVR クロックが通常通り走行することで通常通りに行われます。AVR が長い起動時間に設定されていると、SCL 信号線が長時間 Low に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらの (アイドル動作を除く) スリープ動作から起動すると、2 線直列 インターフェースデータレジスタ (TWDR) がバスで渡す最後のハイを反映しないことに注意してください。

表 15-4. 受信従装置動作の状態符号 (注: TWSRの前置分周選択ビットは00の前提)

状態符号 (TWSR)	直前の動作と ハイスの状態	ソフトウェアの応答				TWCR設定によるハードウェア動作	
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$60	自宛 SLA+W受信 ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$68	主装置の SLA+R/Wで 調停敗退 /自宛 SLA+W 受信 /ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$78	主装置の SLA+R/Wで 調停敗退 /一斉呼び 出し受信 /ACK応答	なし	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$80	自宛 データハイ受信 ACK応答	データ取得	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$88	自宛 データハイ受信 NACK応答	データ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ハイス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ハイス開放で開始条件送信
\$90	一斉呼び出しの データ ハイ受信 /ACK応答	データ取得	X	0	1	0	データ受信、NACK応答
			X	0	1	1	データ受信、ACK応答
\$98	一斉呼び出しの データ ハイ受信 NACK応答	データ取得	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ハイス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ハイス開放で開始条件送信
\$A0	自指定中の 停止条件または 再送開始条件検出	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 ハイス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 ハイス開放で開始条件送信

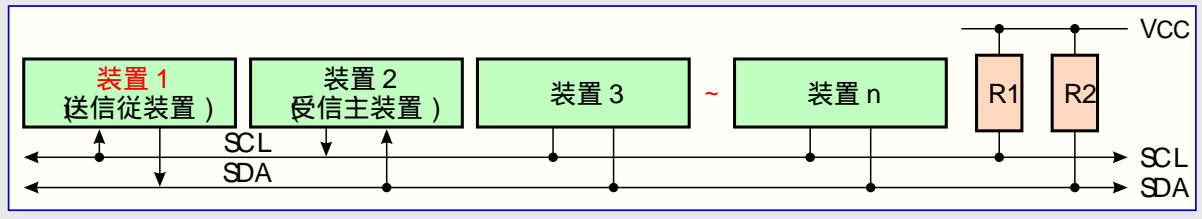
図 15-16. 受信従装置動作の形式と状態



15.7.4 送信従装置動作

送信従装置動作では何ハイレベルのデータも送信主装置へ送信されず（図 15-17 参照）、本項で言及する全ての状態符号は前置分周選択ビットが 0 か、または 0 で遮蔽されることが前提です。

図 15-17 送信従装置動作でのデータ転送



送信従装置動作を始めるには **TWAR** と **TWCR** が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身の従装置アドレス							1/0

上位 7 ビットは主装置によってアドレス指定される時に 2 線直列インターフェースが応答するアドレスです。最下位 (**TWGCE**) ビットがセット (1) されるなら、TW は一斉呼び出し (\$00) に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	0	1	0	0	0	1	0	X

TWEN は 2 線直列インターフェース (TWI) を許可するために 1 を書かれなければなりません。**TWEA** は装置自身の従装置アドレスまたは一斉呼び出しアドレスの確認応答 (ACK) を許可するために 1 を書かれなければなりません。**TWSTA** と **TWSTO** は 0 を書かれなければなりません。

TWAR と **TWCR** が初期化されてしまうと、TW は自身の従装置アドレスまたは許可ならば一斉呼び出しアドレスとそれに続くデータ方向ビットによってアドレス指定されるまで待機します。方向ビットが 1 (R) ならば TW は送信従装置で動作し、さもなければ (0 (W) ならば 受信従装置へ移行されます。自身の従装置アドレスと R ビットが受信されてしまった後、**TWNTフラグ** がセット (1) され、**TWSR** から有効な状態符号が読めます。この状態符号は適切なソフトウェア動作を決めるのに使用されます。各状態符号に対して行うべき適切な動作は表 15-5 で詳述されます。送信従装置動作は TW が主装置動作の間で調停に敗れた場合にも移行されるかもしれません。（状態符号 \$B0 参照）

転送中に **TWEA** ビットが 0 を書かれると、TW は転送の最後のハイレベルを送信します。受信主装置が最終ハイレベル後に **ACK** または **NACK** のどちらを送信するかによって状態 \$C0 か \$C8 へ移行します。TW はアドレス指定されていない従装置動作に切り替えられ、主装置が転送を続ける場合、その主装置を無視します。従って受信主装置は直列データとして全て 1 を受信します。従装置が最後のハイレベルを送信 (**TWEA** が 0 で主装置からの **NACK** を予測したとしても、主装置が **ACK** 送信によって追加データハイレベルを要求すると状態 \$C8 へ移行します。

TWEA が 0 の間中、TW は自身の従装置アドレスに応答しませんが、2 線直列バスは未だ監視され、アドレス認証は **TWEA** のセット (1) によって何時でも再開できます。これは **TWEA** ビットが TW を 2 線直列バスから一時的に隔離するのに使用できることを意味します。

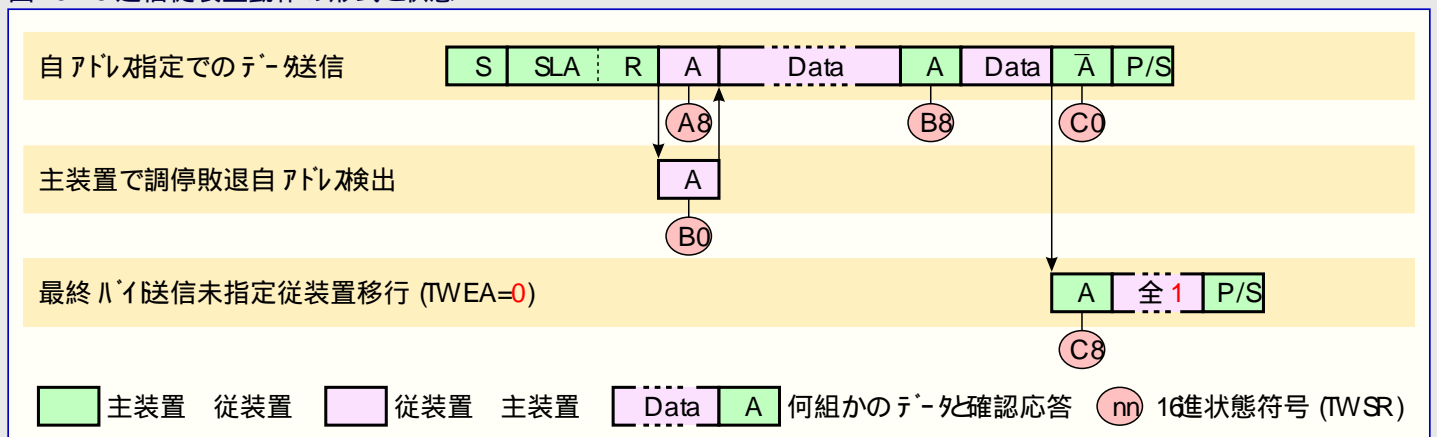
アイドル動作 を除く **スリープ動作** では TW のクロックが OFF にされます。**TWEA** ビットがセット (1) されていると、このインターフェースはクロックなしとして 2 線直列バスクロック (SCL) を使用することにより、自身の従装置アドレスと一斉呼び出しに未だ確認応答できます。その後データハイレベルがスリープ動作から起動し、TW は起動中から **TWNTフラグ** が (書き込みによって) クリア (0) されるまで SCL クロックを Low に保ちます。その後のデータ受信は AVR クロックが通常通り走行することで通常通りに行われます。AVR が長い起動時間に設定されていると、SCL 信号線が長時間 Low に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらの (アイドル動作を除く) スリープ動作から起動すると、2 線直列インターフェースデータレジスタ (**TWDR**) がバスで渡す最後のハイレベルを反映しないことに注意してください。

表 15-5 送信従装置動作の状態符号 (注: TWSRの前置分周選択ビットは0の前提)

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDRI操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$A8	自宛 SLA+R受信 ACK応答	データ受信	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B0	主装置の SLA+R/Wで 調停敗退 / 自宛 SLA+ R受信 / ACK応答	データ受信	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B8	データハイ送信 ACK受信	データ受信	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$C0	データハイ送信 NACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信
\$C8	最終データハイ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定従装置動作へ移行、応答禁止
			0	0	1	1	未指定従装置動作へ移行、応答対応
			1	0	1	0	未指定従装置動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定従装置動作へ移行、応答対応 バス開放で開始条件送信

図 15-18 送信従装置動作の形式と状態



15.7.5. その他の状態

定義した TW 状態に従わない2つの状態符号があります。表 15-6をご覧ください。

状態 \$F8はTW割り込み要求フラグ(TWNT)がセット(1)されたため、適切な情報が利用できないことを示します。これは他の状態間でTWIが直列転送に関係しない時に起きます。

状態 \$00は2線直列バス転送中にバス異常が起きたことを示します。バス異常はフレーム形式の不正な位置で開始(START条件または停止(STOP)条件)が起きる時に発生します。このような不正位置の例はアドレスバイトデータバイト確認応答(ACK)ビットの直列転送中です。バス異常が起きるとTWNTがセット(1)されます。バス異常から回復するには停止(STOP)条件生成許可(TWSTO)ビットがセット(1)され、TWNTが論理書き込みによってクリア(0)されなければなりません。これはTWをアドレス指定されていない従装置動作にさせ、TWSTOビットをクリア(0)させます(TWCRの他のビットは影響されません)。SDAとSCL信号線は開放され、停止条件は送出されません。

表 15-6 その他の状態符号 (注: TWSRの前置分周選択ビットは0の前提)

状態符号 (TWSR)	直前の動作と バスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$F8	適切な状態情報なし TWNT=0	なし	-	-	-	-	待機または現在の転送続行
\$00	不正な開始条件 停止 条件でのバス異常	なし	0	1	1	X	停止条件を送出せずにバスを開放 TWSTO=0

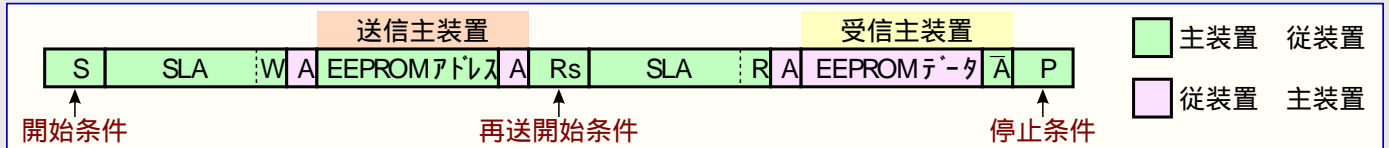
15.7.6.各種 TW動作種別の組み合わせ

いくつかの場合で望んだ動作を満たすために各々の TW 動作種別は組み合わせられなければなりません。例えば直列 EEPROMからのデータ読み出しを考えてください。一般的にこのような転送は次の段階を含みます。

- 転送が開始されなければなりません。
- EEPROMは読み出すべき場所を指示されなければなりません。
- 読み出しが実行されなければなりません。
- 転送が終了されなければなりません。

データが主装置から従装置へとその逆の両方向へ転送されることに注意してください。主装置はどの場所を読みたいかを従装置に指示しなければならず、送信主装置動作の使用を必要とします。その後にデータを従装置から読まねばならず、受信主装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。主装置はこれら全ての段階中にバス制御を保持しなければならず、この手順は排他的 非分断 操作として行われるべきです。複数主装置システムでこの原則に違反すると、他の主装置が 1 段階間で EEPROM内のデータポイントを変更するかもしれず、元の主装置は不正なデータ位置を読むでしょう。このような転送方向の切り替えはアドレスバイトの送信とデータの受信間で再送開始条件を送出することによって成し遂げられます。再送開始条件後も主装置はバスの占有権を保持します。次の図はこの転送の流れを示します。

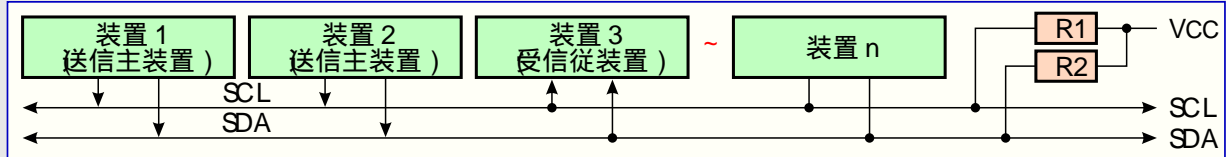
図 15-19.直列 EEPROMアクセスでの各種 TW動作種別の組み合わせ



15.8.複数主装置システムでのバス競合と調停

複数の主装置が同じバスに接続されると、それらの一つまたはそれ以上によって同時に送信が開始されるかもしれません。TW は主装置の一つが転送を続けることを許され、手順内でデータが失われないような方法でこのような状態が扱われることを標準で保証します。2つの主装置が受信従装置へデータを送信することを試みる場合の調停状況の例は以下で図示されます。

図 15-20.バスの競合調停例



以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

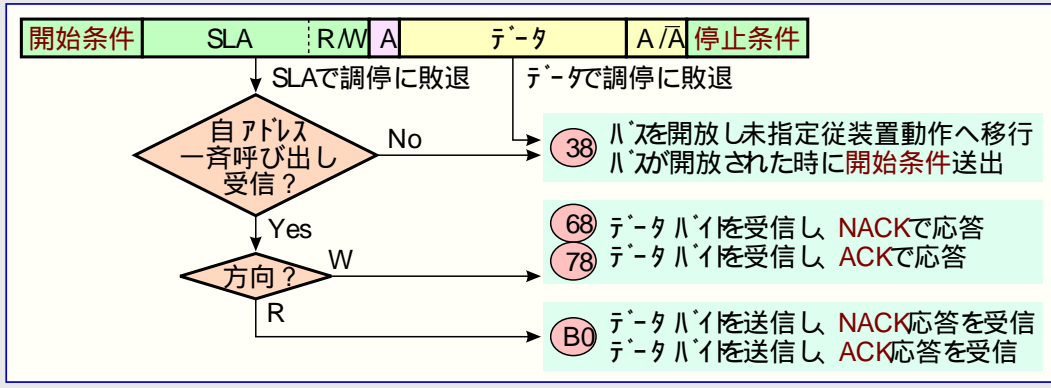
複数の主装置が同じ従装置に全く同じ通信を実行する場合。この場合、主/従装置のどれもがバスの衝突について知りません。

複数の主装置が異なるデータまたは方向ビット(RW)で同じ従装置をアドレスする場合。この場合、RWビットまたはデータビットのどちらかで調停が起きます。他の主装置が SDAに 0 を出力する間に 1 を出力しようとする主装置が調停に敗れます。敗れた主装置は応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待つて新規開始条件を送出します。

複数の主装置が異なる従装置をアドレスする場合。この場合、SLAビット内で調停が起きます。他の主装置が SDAに 0 を出力する間に 1 を出力しようとする主装置が調停に敗れます。SLA内で調停に敗れた主装置は勝った主装置によってアドレス指定されるかを確認するために従装置動作へ切り替えます。アドレス指定されると、RWビットの値によって受信従装置 (SR 動作または送信従装置 (ST) 動作へ切り替えます。アドレス指定されないなら、応用ソフトウェアの処置によって未指定従装置動作に切り替えるか、またはバスが開放になるまで待つて新規開始条件を送出します。

これは図 15-21 で要約されます。利用可能な状態符号は楕円 訳注 原文は円 で与えられます。

図 15-21.バスの競合調停によって発生する利用可能な状態符号



15.9. TW用レジスタ

15.9.1. TWビット速度レジスタ (TW Bit Rate Register) TWBR

ビット (\$B8)	7	6	5	4	3	2	1	0	
	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 0 - TWBR7 - 0 : TWビット速度選択 (TW Bit Rate Register)

TWBRはビット速度発生器用の分周値を選びます。ビット速度発生器は主装置動作でのSCLクロック周波数を生成する周波数分周器です。ビット速度の計算については87頁の「ビット速度発生器」をご覧ください。

TWが主装置動作で動く場合、TWBRは10またはそれ以上でなければなりません。

15.9.2. TW制御レジスタ (TW Control Register) TWCR

ビット (\$B0)	7	6	5	4	3	2	1	0	
	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE	TWCR
Read/W rite	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

TWCRはTW動作の制御に使用されます。TWの許可、バス上に開始条件を印加することによる主装置のアクセル開始、受信装置の応答生成、停止条件の生成、バスにデータを送出するためのTWデータレジスタ(TWDR)への書き込み中のバスの一時停止制御に使用されます。TWDRがアクセル不能の間にTWDRへ書き込もうとする場合の上書き発生も示します。

ビット7 - TWNT : TW割り込み要求フラグ (TW Interrupt Flag)

このビットはTWが現在の作業を終了し、応用ソフトウェアの応答が予測されるとき、ハードウェアによってセット(1)されます。TW制御レジスタ(TWCR)のTW割り込み許可(TWE)ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されていると、MCUはTW割り込みベクタへ飛びます。TWNTフラグがセット(1)の間、SCLのLow期間は引き伸ばされます。TWNTフラグはソフトウェアによる論理1書き込みによってクリア(0)されなければなりません。このフラグが割り込みルーチンを実行する時に自動的にクリア(0)されないことに注意してください。このフラグのクリア(0)がTWの動作を始めるので、このフラグをクリア(0)する前にTWアドレスレジスタ(TWAR)、TWデータレジスタ(TWDR)、TW状態レジスタ(TWSR)への全てのアクセルが完了していなければならないことに注意してください。

ビット6 - TWEA : 確認応答 (ACK許可) (TW Enable Acknowledge Bit)

TWEAビットは確認応答(ACKパルス)の生成を制御します。TWEAビットが1を書かれ、次の条件に合致すると、TWバスにACKパルスが生成されます。

- 装置が自分用の従装置アドレスを受信した場合。
- TWアドレスレジスタ(TWAR)の一斉呼び出し検出許可(TWGCE)ビットがセット(1)されている時に一斉呼び出しを受信した場合。
- 主受信装置または従受信装置動作でデータハイレを受信した場合。

TWEAビットに0を書くことにより、一時的且つ仮想的に装置を2線直列バスから切り離せます。アドレス認証はその後再びTWEAビットに1を書くことによって再開できます。

ビット5 - TWSTA : 開始 (START条件生成許可) (TW I START Condition Bit)

2線直列バスの主装置になるのを欲する時に応用はTWSTAビットに1を書きます。TWハードウェアはバスが利用可能かを検査し、開放ならばバスに開始条件を生成します。しかし、バスが未開放の場合、TWは停止条件が検出されるまで待ち、その後バス所有権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまった時にソフトウェアでクリア(0)されなければなりません。

ビット4 - TWSTO : 停止 (STOP条件生成許可) (TW I STOP Condition Bit)

主装置動作でTWSTOビットに1を書くことが2線直列バスに停止条件を生成します。停止条件がバスで実行されると、TWSTOビットは自動的にクリア(0)されます。従装置動作でのTWSTOビットのセット(1)は異常状態からの回復に使用できます。これは停止条件を生成しませんが、TWは明確に指定されていない従装置動作に戻り、SCL、SDA信号線をHi-Z状態に開放します。

ビット3 - TWWC : TW止書き発生フラグ (TW I Write Collision Flag)

TW割り込み要求フラグ(TWNT)が0の時にTWデータレジスタ(TWDR)への書き込みを試みると、このTWWCフラグがセット(1)されます。このフラグはTWNTが1の時のTWDR書き込みによってクリア(0)されます。

ビット2 - TWEN : TW動作許可 (TW Enable Bit)

TWENビットはTW動作を許可し、TWインターフェースを活性(有効)にします。TWENが1書かれると、TWはSCL、SDAピンに接続したI/Oピンを制御できるようになり、スライフ濾波器とスレーブ制限器を許可します。このビットが0書かれると、TWがOFFにされ、どんな進行中の動作にも関係なく、全てのTW送信が終了されます。

ビット1 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読めます。

ビット0 - TWE : TW割り込み許可 (TW Interrupt Enable)

このビットが1を書かれ、**ステータスレジスタ(SREG)の全割り込み許可(1)ビット**がセット(1)されていると、**TW割り込み要求フラグ(TWNT)**が1である限り、TW割り込み要求が活性に発生されます。

15.9.3. TW状態レジスタ (TW I Status Register) TWSR

ビット (\$B9)	7	6	5	4	3	2	1	0	TWSR
	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	1	1	1	1	1	0	0	0	

ビット7~ 3 - TWS7~ 3 : TW状態 (TW I Status)

これら5ビットはTW論理回路と線直列バスの状態を反映します。各種状態符号は9頁の「**転送種別**」で記述されます。TWSRから読む値が5ビットの状態符号と2ビットの前置分周値の両方を含むことに注意してください。応用設計者は状態ビットを検査する時に前置分周器ビットを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いてこのデータシート内で使用されます。

ビット2 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読まれます。

ビット10 - TWPS10 : TW前置分周器選択 (TW I Prescaler Bits)

これらのビットは読み書きでき、ビット速度の前置分周器を制御します。

ビット速度を計算するには8頁の「**ビット速度発生器**」をご覧ください。TWPS1~ 0の値はこの式で使用されます。

表 15-7. TWビット速度前置分周器選択

TWPS1	0	0	1	1
TWPS0	0	1	0	1
分周値	1	4	16	64

15.9.4. TWデータレジスタ (TW I Data Register) TWDR

ビット (\$BB)	7	6	5	4	3	2	1	0	TWDR
	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

送信動作でのTWDRは送信されるべき次のバイトを含みます。受信動作でのTWDRは最後に受信したバイトを含みます。TWDRはTWがバイトをシフトする手順でない間に書き込み可能です。これは**TW制御レジスタ(TWCR)のTW割り込み要求フラグ(TWNT)**がハードウェアによってセット(1)されると起きます。最初のTW割り込みが起こる前にデータレジスタ(TWDR)は使用者によって初期化できないことに注意してください。TWDRのデータはTWNTが安定してセット(1)されている限り持続します。データがシフト出力される間、バスのデータが同時にシフト入力されます。TW割り込みによるスリープ動作からの起動後を除いて、TWDRは常にバスに現れる最後のバイトを含みます。この例外の場合のTWDRの内容は不定です。バス調停に敗れた場合の主装置から従装置への移行でもデータは失われません。**確認応答(ACK)**ビットの扱いはTW論理回路によって自動的に制御され、CPUはACKビットを直接的にアクセスできません。

ビット7~ 0 - TWD7~ 0 : TWデータ (TW I Data)

これら8ビットは送信されるべき次のデータバイトまたは線直列バスで最後に受信したデータバイトを構成します。

15.9.5. TWI(従装置)アドレスレジスタ (TW I (Slave) Address Register) TWAR

ビット (\$BA)	7	6	5	4	3	2	1	0	TWAR
	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

TWARは従装置の送受信装置として設定した時にTWが応答する7ビット従装置アドレスを(TWAR上位7ビットに)設定されるべきで、主装置動作では必要とされません。複数主装置のシステムでは、他の主装置によって従装置としてアドレス指定され得る主装置に於いて、TWARは設定されなければなりません。

TWARの最下位ビット(TWGCE)は一斉呼び出しアドレス(\$00)認証の許可に使用されます。これらは受信した直列アドレスで従装置アドレス(と許可ならば一斉呼び出しアドレス)を捜す関連アドレス比較器です。一致が見つかったら割り込み要求が生成されます。

ビット7~ 1 - TWA6~ 0 : TW従装置アドレス (TW I (Slave) Address)

これら7ビットはTW部の従装置アドレスを構成します。

ビット0 - TWGCE : 一斉呼び出し検出許可 (TW I General Call Recognition Enable Bit)

セット(1)なら、このビットは線直列バスを伝って与えられる一斉呼び出しの認証検出を許可します。

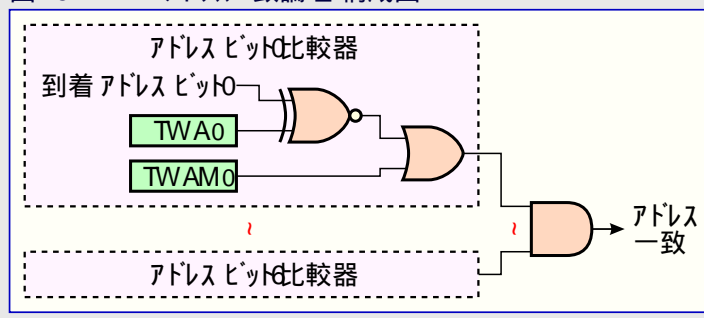
15.9.6. TWI(従装置)アドレス遮蔽レジスタ (TWI(Slave) Address Mask Register) TWAMR

ビット (\$BD)	7	6	5	4	3	2	1	0	
	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	-	TWAMR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	1	1	1	1	1	1	1	0	

ビット7 - 1 - TWAM6 - 0 : TWI(従装置)アドレス遮蔽 (TWI(Slave) Address Mask)

TWAMRは7ビットの従装置アドレス遮蔽値を格納できます。TWAMR内の各ビットはTWI(従装置)アドレスレジスタ(TWAR)内の対応するアドレスビットを遮蔽禁止します。遮蔽ビットが1に設定されると、その後のアドレス一致論理回路は到着アドレスビットとTWAR内の対応ビット間の比較を無視します。図15-22はアドレス一致論理回路を詳細に示します。

図15-22. TWIアドレス一致論理構成図



ビット0 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読まれます。

15.9.7. TW高速レジスタ (TWI High Speed Register) TWHSR

ビット (\$BE)	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	TWHS	TWHSR
Read/W rite	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 1 - Res : 予約 (Reserved Bit)

これらのビットは予約されており、常に0として読まれます。

ビット0 - TWHS : TW高速許可 (TWI High Speed Enable)

このビットに1を書くことによってTW高速動作が許可されます。この動作ではTWクロックとして分周されないシステムクロックが選ばれます。17頁の図6-1をご覧ください。

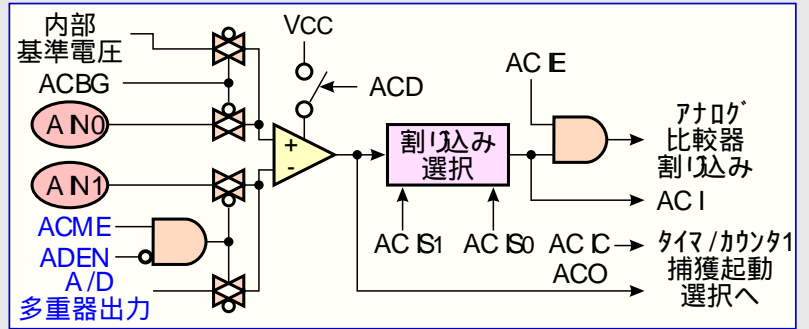
TW高速動作はI/Oクロック周波数($clk_{I/O}$)より先正確に2倍高い高速クロック(clk_{TWHS})を必要とします。これは2倍低く前置分周されるI/Oクロック周波数($clk_{I/O}$)を使用者が保証しなければなりません。例えば、供給元クロックして8MHz発振器が選択された場合、使用者はシステムクロックに従って、とI/Oクロックを4MHzに下げる尺度で前置分周器を設定しなければなりません。クロック系統についてのより多くの情報に関しては17頁の「クロック系統とその配給」をご覧ください。

16. アナログ比較器

アナログ比較器は非反転入力 $AN0$ と反転入力 $AN1$ の入力値を比較します。非反転 $AN0$ の電圧が反転 $AN1$ の電圧より高い時に **ACSRB のアナログ比較器出力 (ACO) ビットがセット(1)されます**。この比較器の出力はタイマ/カウンタ捕獲機能を起動するように設定することができます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図 16-1 で示されます。

ADC 入力多重器を使用するためには **ADC 電力削減 (PRADC) ビットが禁止されなければなりません**。これは電力削減レジスタ (PRR) の **PRADC** ビットを解除することによって行われます。より多くの詳細については 25 頁の **電力削減レジスタ (PRR)** をご覧ください。

図 16-1. アナログ比較器部構成図



注：A/D 多重器出力については表 16-1 をご覧ください。
アナログ比較器のピン配置については 2 頁の「ピン配置」と 4 頁の表 10-11 を参照してください。

16.1. アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるのに ADC7 ~ のどれかを選択することができます。A/D 変換の多重器がこの入力選択に使用され、従ってこの機能を利用するために A/D 変換部が OFF 動作禁止にされなければなりません。ADCSR の **アナログ比較器多重器許可 (ACME) ビットがセット(1)され**、A/D 変換部が OFF (ADCSR の **ADEN** ビットが 0) にされていれば、表 16-1 で示されるように **ADMUX のチャネル選択 (MUX2~0) ビット** がアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACME がクリア (0) または ADEN がセット(1)されると $AN1$ がアナログ比較器への反転入力に印加されます。

表 16-1. アナログ比較器反転入力選択

ACME	ADEN	MUX2~0	アナログ比較器反転入力	備考
0	x	x x x	$AN1$	
1	1	x x x	$AN1$	
	0	0 0 0	ADC0	
		0 0 1	ADC1	
		0 1 0	ADC2	
		0 1 1	ADC3	
		1 0 0	ADC4	
		1 0 1	ADC5	
		1 1 0	ADC6	TQFP, QFN/MLF32 外周器のみ
		1 1 1	ADC7	

16.2. アナログ比較器用レジスタ

16.2.1. A/D 変換制御 / 状態 レジスタ B (ADC Control and Status Register B) ADCSRB

ビット (\$7B)	7	6	5	4	3	2	1	0	
	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	ADCSR B
Read/W rite	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット 6 - ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

このビットが論理 1 を書かれ、A/D 変換部が OFF (ADCSR の **ADEN** ビットが 0) にされると、A/D 変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理 0 を書かれると $AN1$ がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については上記の「アナログ比較器入力選択」をご覧ください。

16.2.2. アナログ比較器 制御 / 状態 レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	ACD	ACBG	ACO	ACI	ACE	ACC	ACIS1	ACIS0	ACSR
Read/W rite	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理 1 を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でもセット (1) できます。これは通常動作や **アイドル動作** で電力消費を削減します。ACD ビットを変更する時に ACSR で **アナログ比較器割り込み許可 (ACE) ビット** をクリア (0) することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起き得ます。

ビット6 - ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットがセット (1) されると、内部基準電圧 (公称 1.1V) がアナログ比較器への非反転入力に置き換わります。このビットがクリア (0) されると、AN0 がアナログ比較器の非反転入力に印加されます。内部基準電圧がアナログ比較器入力として使用されるとき、電圧の安定に一定時間を必要とします。安定 待機をしない場合、最初は不正値を与えるかもしれません。28 頁の **「内部基準電圧」** をご覧ください。

ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接 ACO へ接続されます。この同期化は 1~ 2 クロック サイクルの遅延をもたらします。

ビット4 - ACI : アナログ比較器割り込み要求 フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事が ACSR の **アナログ比較器割り込み条件 (ACIS1,0) ビット** によって定義した割り込み方法で起動する時にセット (1) されます。ACSR のアナログ比較器割り込み許可 (ACE) ビットがセット (1) され、**ステータス レジスタ (SREG) の全割り込み許可 (IF) ビット** がセット (1) されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理 ハンドルを実行すると、AC はハードウェアによってクリア (0) されます。代わりにこのフラグに論理 1 を書くことによっても AC はクリア (0) されます。

ビット3 - ACE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACE ビットが論理 1 を書かれ、ステータス レジスタ (SREG) の全割り込み許可 (IF) ビットがセット (1) されていると、アナログ比較器割り込みが活性 有効 にされます。論理 0 を書かれると、この割り込みは禁止されます。

ビット2 - ACC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

論理 1 を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタの捕獲機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ捕獲割り込みの**雑音除去機能**と**エッジ選択機能**を利用させる**捕獲入力前置論理回路**へ直接的に接続されます。論理 0 を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ捕獲割り込みを起動するには、**タイマ/カウンタ割り込みマスク レジスタ (TIMSK1) の捕獲割り込み許可 (CE1) ビット** がセット (1) されなければなりません。

ビット1,0 - ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するかを決めます。各種設定は表 16-2 で示されます。

ACIS1, ACIS0 ビットを変更する時に ACSR のアナログ比較器割り込み許可 (ACE) ビットをクリア (0) することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表 16-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (両端)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

16.2.3. デジタル入力禁止 レジスタ 1 (Digital Input Disable Register 1) DDR1

ビット	7	6	5	4	3	2	1	0	
(\$7F)	-	-	-	-	-	-	AN1D	AN0D	DDR1
Read/W rite	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 2 - Res : 予約 (Reserved)

これらのビットは予約されており、常に 0 として読めます。

ビット1,0 - AN1D, AN0D : AN1, AN0 デジタル入力禁止 (AN1, AN0 Digital Input Disable)

このビットが論理 1 を書かれると、AN1/0 のデジタル入力緩衝部が禁止されます。このビットがセット (1) されると、対応するポート入力レジスタのビット (PNx) は常に 0 として読みます。AN1/0 にアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するために、このビットは論理 1 を書かれるべきです。

17.3. 操作

A/D変換部を使用できるようにするため、ADC電力削減 (PRADCビット)が禁止されなければなりません。これは電力削減レジスタ (PRR)のPRADCビットを解除することによって行われます。よほどの詳細については25頁の「電力削減レジスタ (PRR)」をご覧ください。

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値は基準電圧を表します。A/D変換器基準電圧はA/D多重器選択レジスタ (ADMUX)の基準電圧選択 (REFS0ビット)書き込みによって選択されます。選択はAVCC供給ピンと1.1V内部基準電圧です。

アナログ入力チャネルはA/D多重器選択 (ADMUX)レジスタのチャネル選択 (MUX3~0ビット)への書き込みによって選択されます。GNDと固定基準電圧 (1.1V内蔵基準電圧 (V_{BG}))だけでなく、どのADC入力ピン (ADC7~0)もA/D変換器のシングルエンド入力として選択できます。

A/D変換部はA/D変換制御/状態レジスタ (ADCSRA)のA/D許可 (ADENビット)のセット(1)によって動作が許可されます。基準電圧と入力チャネルの選択はADENがセット(1)されるまで実施しません。ADENがクリア(0)されているとA/D変換部が電力を消費しないので、節電をするスリープ動作へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ (ADCH、ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え (16ビットのビット0側10ビット)で表されますが、ADMUXで左揃え選択 (ADLARビット)をセット(1)することにより、任意で左揃え (16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを超える精度が必要とされない場合はADCHだけを読むことで足ります。さもないとデータレジスタの内容が同じ変換に属することからの結果を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ (ADCH、ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ (ADCH、ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH、ADCLへのA/D変換器アクセスが再び許可されます。

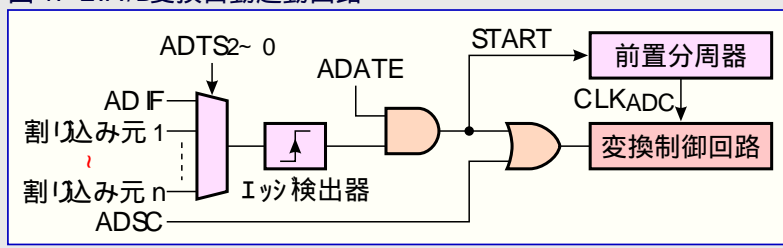
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

17.4. 変換の開始

電力削減レジスタ (PRR)のA/D変換電力削減 (PRADCビット)を解除 (0)することによってADCが給電されることを保証してください (25頁の「電力削減レジスタ (PRR)」をご覧ください)。単独変換はADCSRAで変換開始 (ADSCビット)に論理1を書くことによって開始されます。このビットは変換が進行中である限り1に留まり、変換が完了される時にハードウェアによってクリア(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタ (ADCSRA)のA/D変換自動起動許可 (ADATEビット)のセット(1)によって許可されます。起動元はA/D変換制御/状態レジスタB (ADCSRBA)のA/D変換起動元選択 (ADTS2~0ビット)の設定によって選択されます。起動元の一覧についてはADTSビットの記述をご覧ください。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットして変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だセット(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ (SREG)の全割り込み許可 (I-bit)がクリア(0)でも、割り込み要求フラグがセット(1)されることに注意してください。従って割り込みをを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグはクリア(0)されなければなりません。

図 17-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ (ADIF)を使用することは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためにA/D変換器は連続動作で動き、継続的な採取変換とA/Dデータレジスタ更新を行います。最初の変換はADCSRAでADSCビットに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ (ADIF)がクリア(0)されるかどうかにかかわらず、継続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使用できます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読めます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドルスリープ動作とA/D変換雑音低減スリープ動作中に変換を許可します。詳細については110頁の「雑音低減機能」をご覧ください。**訳注** 共通性から2行追加)

17.5.前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに 50~ 200kHz の入力 クロック周波数を必要とします。10ビットは低い分解能が必要とされるなら、A/D変換器への入力 クロック周波数はより高い採取速度を得るために 200kHz より高くできます。1MHz より高い入力 クロック周波数の使用は推奨されません。

図 17-3 で図解されるように、A/D変換部は 100kHz 以上のどんな CPU クロックからも受け入れ可能な A/D変換 クロック周波数を生成する前置分周器を含みます。この前置分周器は A/D変換制御 / 状態レジスタ (ADCSRA) の A/D クロック選択 (ADPS2~ 0) ビットによって設定されます。前置分周器は ADCSRA で A/D 許可 (ADEN ビット) のセット (1) によって A/D 変換部が ON にされた瞬間から計数を始めます。前置分周器は ADEN ビットがセット (1) される限り走行を維持し、ADEN が 0 の時は継続的にリセットします。

ADCSRA の A/D変換開始 (ADSC ビット) のセット (1) によってシングル エンド入力の変換を起動すると、その変換は直後の変換 クロックの上昇端で始まります。

通常の変換は 1 変換 クロックサイクルで行われます。下の図 17-4 で示されるように、A/D 変換部が ON される (ADCSRA の ADEN=1) 後の最初の変換はアナログ回路を初期化するために 25 変換 クロックサイクルで行われます。

図 17-3. A/D変換前置分周器部構成

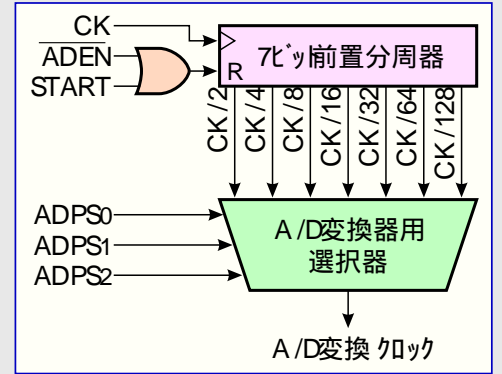
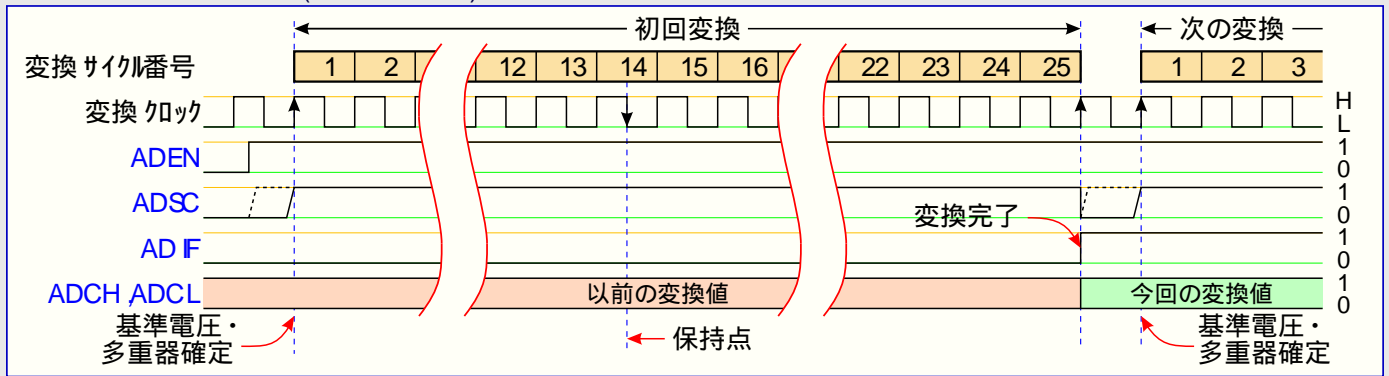


図 17-4. 初回変換タイミング (単独変換動作)



実際の採取 & 保持 (保持開始点) は通常変換の開始後 1.5 変換 クロックサイクル、初回変換の開始後 13.5 変換 クロックサイクルで行われます。図 17-5 をご覧ください。変換が完了すると、結果が A/D データレジスタ (ADCH, ADCL) に書かれ、ADCSRA の A/D 変換完了割り込み要求フラグ (ADIF) がセット (1) されます。単独変換動作 (ADATE=0) では同時に ADCSRA の A/D 変換開始 (ADSC ビット) がクリア (0) されます。その後にソフトウェアは再び ADSC をセット (1) でき、新規変換は変換 クロックの最初の上昇端で開始されます。

図 17-5. 通常変換タイミング (単独変換動作)

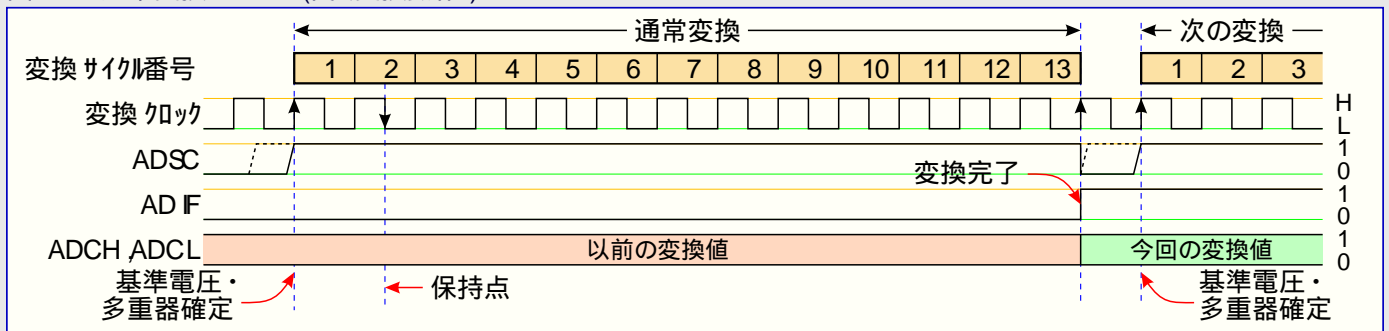
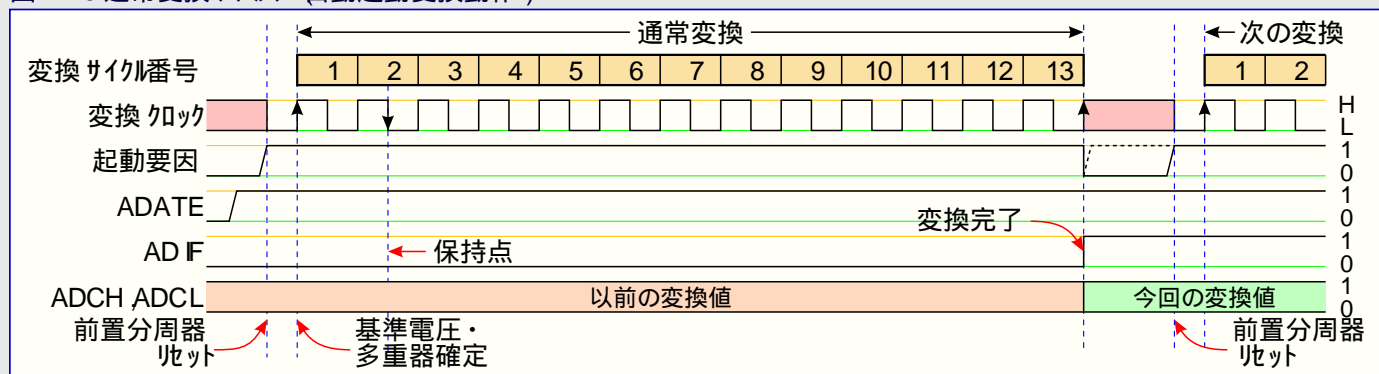


図 17-6.通常変換タイミグ（自動起動変換動作）



変換時間の要約については表 17-1をご覧ください。

図 17-7.連続変換動作 タイミング

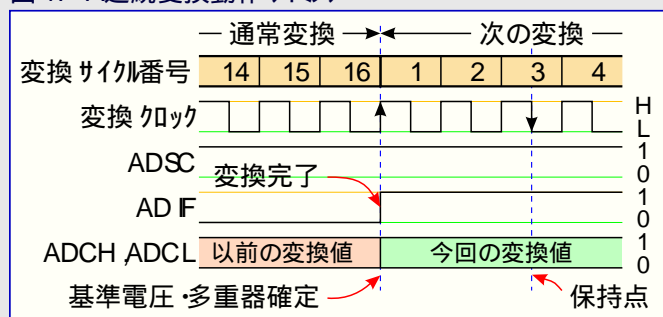


表 17-1.A/D變換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングル エンド入力通常変換	1.5	13
自動起動変換	2	13.5
連続変換	2.5	14

注:変換時間を除く各値は変換開始からの変換クッ数です。

17.6. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX3~0)ビットと基準電圧選択(REFS0)ビットはCPUがランダムにアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロックサイクルで再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、変換クロックサイクル経過まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことが推奨されます。

自動起動が使用される場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するには、ADMUXの更新時に特別な注意がなければなりません。

ADCSRAのA/D許可 (ADEN)とA/D変換自動起動許可 (ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらを基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

ADENまたはADATEがクリア(0)されているとき、

変換開始後、最低 変換 クロック サイクル 経過後の変換中、

変換後から、変換起動元として使用した割り込みフラグがクリア(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

176.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選択されるのを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの書き込み後、変換クロックサイクルで変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの書き込み後、変換クロックサイクルで変更されるかもしれませんが、とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

1762.A/D変換基準電圧

このA/D変換基準電圧 (VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングル エンド入力チャネルは\$3FFで打ち切る符号に帰着します。VREFはVCC、1.1V内部基準電圧、外部AREFピンのどれかとして選択できます。1.1V内部基準電圧は内部増幅器を通して内部バンドギャップ基準電圧 (V_{BG})から生成されます。

基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれませんが、使用者はこの結果を破棄することが推奨されます。

177 雑音低減機能

A/D変換部はスリーフ動作中の変換を可能にする雑音低減機能が特徴です。これはCPUコアと他の周辺 I/Oが誘導した雑音を減らします。この機能はA/D変換雑音低減動作とアイドル動作で使用できます。この機能を使用するには次の手順が使用されるべきです。

A/D変換部が許可 (ADEN=1)され、変換中でない (ADSC=0)ことを確認してください。単独変換動作が選択 (ADATE=0)され、且つA/D変換完了割り込みが許可 (ADIF=1)されていない必要があります。

A/D変換雑音低減 またはアイドル動作に移行してください。一旦CPUが停止されてしまうと A/D変換部は変換を始めます。

A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで通常動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他のスリーフ動作へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このようなスリーフ動作へ移行する前にADENへ0を書くことが推奨されます。

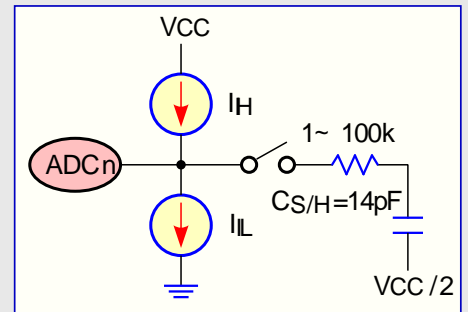
178.アナログ入力回路

シングル エンド入力チャネルのアナログ回路は図 17-8で図示されます。ADC_nに印加したアナログ信号源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、アナログ信号源は直列抵抗 (入力経路の合成抵抗)を通してS/Hコンテナを駆動しなければなりません。

A/D変換部は概ね 10kΩ 若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このようなアナログ信号源が使用されるなら、採取時間は無視してもよいでしょう。より高いインピーダンスのアナログ信号源が使用される場合、採取時間は広範囲に変化し得るS/Hコンテナを充電するためにアナログ信号源がどれくらいの時間を必要とするかに依存します。緩やかに変化する信号で、必要とされるS/Hコンテナへの充放電を最小とするため、使用者は低インピーダンス信号源だけを使用することが推奨されます。

特定できない信号の過からの歪を避けるために、どのチャネルに対してもナイキスト周波数 ($f_{ADC}/2$)より高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器 (ローパス フィルタ)で高い周波数成分を取り除くことが推奨されます。

図 17-8.アナログ入力回路



注:図内のコンテナ容量はS/Hコンテナとデバイス内の何れかの浮遊容量または寄生容量を含む合計容量を叙述します。与えられた値は最悪 最大 値です。

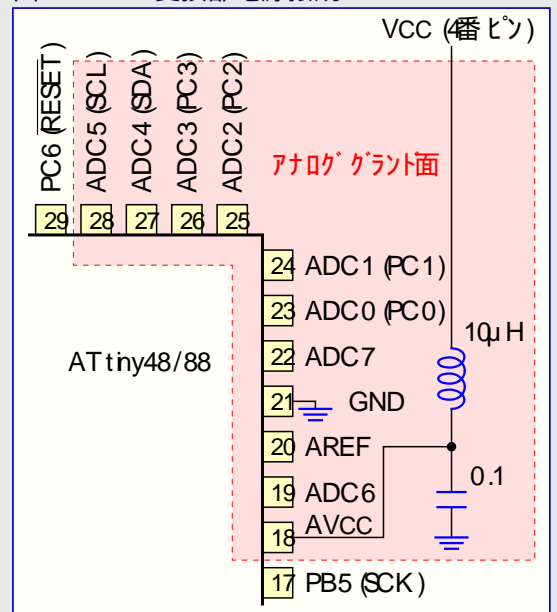
179.アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定の精度に影響を及ぼすかもしれないEMを発生します。変換精度が重要なとき、次の技法を適用することによって雑音レベルを低減できます。

- ・アナログ信号経路を可能な限り最短にしてください。
- ・アナログ信号経路がアナログGND面上を走ることを確認してください。
- ・アナログ信号経路を高速切り替えデジタル信号線から充分離すことを守ってください。
- ・何れかのADCポートピンがデジタル出力として使用される場合、これらを変換進行中に決して切り替えてはなりません。
- ・アナログ電圧供給 (AVCC)ピンは図 17-9で示されるようにLC濾波器を経由してデジタル供給電圧 (VCC)に接続されるべきです。

高いA/D変換精度が必要とされるとき、「雑音低減機能」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステムクロック周波数が1MHz以上、または「温度測定」で記述されるようにA/D変換が内部温度感知器読み込みに使用される場合です。正しい外部バス配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

図 17-9.A/D変換部電源接続



訳注)図 17-9は原図に対し修正され、ピン名は部分的に省略されています。

17.10. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を 2^n で直線的に変換します。最低値コードは0として読み、最高値コードは 2^n-1 として読みます。以下の各種パラメータは理想状態からの偏差を表します。

オフセット誤差 - 図 17-10.

最初の遷移点 (\$000から\$001)に於いて理想遷移点 (差 0.5 LSB)と比較した偏差です。理想値は0LSBです。

利得誤差 - 図 17-11.

オフセット誤差補正後の最後の遷移点 (\$3FEから\$3FF)に於いて理想遷移点 (最大差 1.5LSB以下)と比較した偏差です。理想値は0LSBです。

積分性非直線誤差 (NL) - 図 17-12.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

差動非直線誤差 (DNL) - 図 17-13.

実際のコードの幅 (隣接する2つの遷移点間)に於いて理想コード幅 (1LSB)と比較した最大偏差です。理想値は0LSBです。

量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に ± 0.5 LSBです。

絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は ± 0.5 LSBです。

図 17-10. オフセット誤差

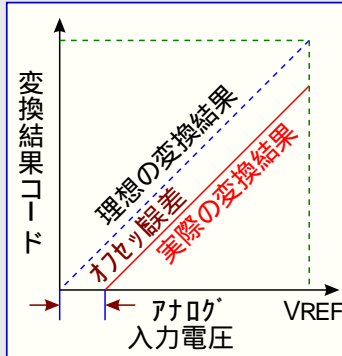


図 17-11. 利得誤差

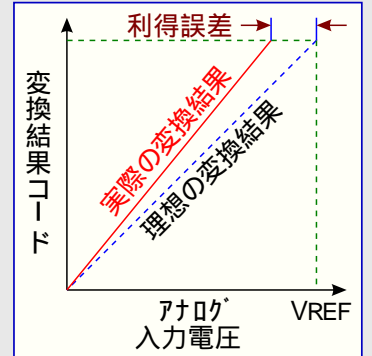


図 17-12. 積分性非直線誤差

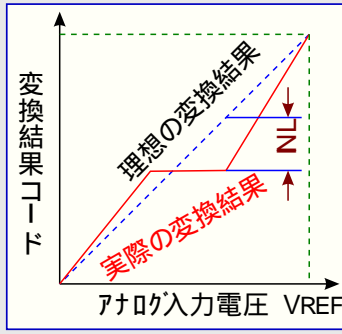
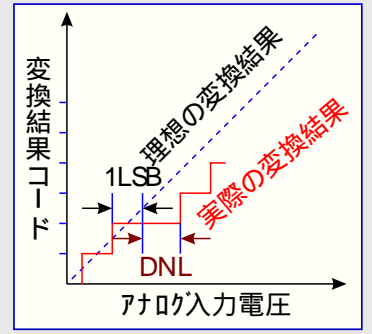


図 17-13. 差動非直線誤差



17.11. A/D変換の結果

変換完了 (ADF=1)後、変換結果はA/Dコンバータレジスタ(ADCH, ADCL)で得られます。

シングルエンド入力変換での結果は右式で示されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

V_{IN} は選択した入力ピンへの電圧で、 V_{REF} は選択した基準電圧です (112頁の表 17-3と表 17-4をご覧ください)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧 -1LSBを表します。

17.12. 温度測定

温度測定はシングルエンドADC8チャネルに連結されるチップ上の温度感知器に基づきます。A/D多重器選択 (ADMUX)レジスタのチャネル選択 (MUX3~0)ビットへの'1000書き込みによるADC8チャネル選択がこの温度感知器を許可します。温度感知器測定に対する推奨A/D変換器基準電圧源は1.1V内部基準電圧です。温度感知器が許可されると、A/D変換器は温度感知器上の電圧測定を単独変換動作 (ADSC=0)で使うことができます。

測定した電圧は表 17-2で記述されたように温度に対して直線関係を持ちます。感度は概ね 1LSB/°Cで、精度は使用者校正に依存します。代表的には、室温校正との仮定で、1点温度校正後の測定精度は ± 10 °Cです。より良い精度は校正に対して2つの温度点を使用することで達せられます。

表 17-2に記載した値は代表値です。然しながら製法変化のため、温度感知器出力電圧は或るチップと別のチップで変化します。より正確な結果達成を可能とするために、温度測定は応用ソフトウェアで校正できます。校正ソフトウェアは次式を使用して行なえます。

表 17-2. 温度対感知器出力電圧 (代表値)

温度 (°C)	-40	+25	+85
A/D変換値 (LSB)	230	300	370

$$T (\text{温度}) = k \times (ADCH \ll 8 | ADCL) - T_{OS}$$

ここでADCH、ADCLはA/D変換器データレジスタ、 k は固定傾斜係数、 T_{OS} は温度感知器オフセット値です。代表的に係数 k は1.0に大変近く、1点校正ではこの係数を省略できるかもしれません。高精度が要求される場合、傾斜係数は2つの温度での測定を基に評価されるべきです。

17.13.A/D変換用レジスタ

17.13.1.A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット (\$7C)	7	6	5	4	3	2	1	0	
	-	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/W rite	R	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,4 - Res :予約 (Reserved)

これらのビットは予約されており 常に 0として読めます。

ビット6 - REFS0 :基準電圧選択 (Reference Selection Bit)

このビットは表 17-3で示されるようにA/D変換部の基準電圧を選びます。このビットが変換中に変更されると その変更はこの変換が完了する (ADCSRAの ADIF=1)まで実施しません。

表 17-3.A/D変換部の基準電圧選択

REFS0	基準電圧
0	内部 1.1V基準電圧
1	AVCC基準電圧

ビット5 - ADLAR :左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dコンバータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに 1を書き込んでください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dコンバータレジスタの内容に影響を及ぼします。このビットの完全な記述については 114頁の「A/Dコンバータレジスタ」をご覧ください。

ビット3~ 0 - MUX3~ 0 :A/Dチャネル選択 (Analog Channel Select Bits 3~ 0)

これらのビットの値はA/D変換器に接続されるアナログ入力を選びます。シングルエンドチャネル ADC8選択は温度測定を許可します。詳細については表 17-4をご覧ください。これらのビットが変換中に変更される場合、その変更はこの変換が完了する (ADCSRAの ADIF=1)まで実施しません。

表 17-4.アナログ入力チャネル選択

MUX3~ 0	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001~ 1101	1110	1111
アナログ入力チャネル	ADC0	ADC1	ADC2	ADC3	ADC4	ADC5	(ADC6)	(ADC7)	ADC8	(予約)	1.1V	0V
備考	PC0	PC1	PC2	PC3	PC4	PC5	PA0	PA1	温度		V _{BG}	GND

注 :温度測定については 114頁の「温度測定」をご覧ください。

訳注) PD PとQFN/MLF28パッケージは 6チャネルのため、ADC6,7はありません。

17.13.2.A/D制御 /状態レジスタA (ADC Control and Status Register A) ADCSRA

ビット (\$7A)	7	6	5	4	3	2	1	0	
	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - ADEN :A/D許可 (ADC Enable)

このビットに 1を書くことがA/D変換部 動作 を許可します。0を書くことによってA/D変換部は 電源が OFFにされます。変換が進行中にA/D変換部をOFFにすることはその変換を途中 終了します。

ビット6 - ADSC :A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ 1を書き込んでください。連続変換動作で最初の変換を始めるにはこのビットへ 1を書き込んでください。A/D変換部が許可される (ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の 13に代わって25変換クロックサイクルで行います。この初回変換はA/D変換部の初期化を実行します。ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの 0書き込みは無効です。

ビット5 - ADATE :A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが 1書かれると A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御 /状態レジスタB (ADCSRB)のA/D変換起動要因選択 (ADTS2~ 0)ビット設定によって選択されます。

ビット4 - ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了してA/Dコンバータレジスタが更新される時にこのフラグがセット(1)されます。ステータスレジスタ(SREG)の全割り込み許可(IF)ビットとA/D変換完了割り込み許可(ADIF)ビットがセット(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによってクリア(0)されます。代わりにこのフラグに論理1を書くことによってADIFはクリア(0)されます。ADCSRAで読み・変更・書き(リード・モディファイ・ライトを行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI/CBI命令が使用される場合にも適用されます。【訳注】アドレス範囲外のため、本行は不適切です。)

ビット3 - ADSC : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(IF)ビットがセット(1)されていると、A/D変換完了割り込みが活性に許可されます。このビットがクリア(0)されると、この割り込みは禁止されます。【訳注】共通性のため本行追加。)

ビット2~0 - ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはXTALシステム周波数とA/D変換部への入力クロック間の分周値を決めます。

表 17-5. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

17.13.3. A/D変換制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット (\$7B)	7	6	5	4	3	2	1	0	
	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - Res : 予約 (Reserved Bits)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、ADCSRBが書かれるとき、これらのビットは0が書かれなければなりません。

ビット2~0 - ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビット値はどの起動元がA/D変換を起動するのを選択します。ADATEがクリア(0)されると、ADTS2~0の設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。クリア(0)されている起動元からセット(1)されている起動元への切り替えが起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットがセット(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグがセット(1)されていても、起動事象を引き起こしません。

表 17-6. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ比較B一致
1	1	0	タイマ/カウンタ溢れ
1	1	1	タイマ/カウンタ捕獲要求

17.13.4. A/Dデータレジスタ (ADC Data Register) ADCH ADCL (ADCD)

ADLAR=0時								
ビット (\$79)	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	ADC9	ADC8
Read/W rite	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット (\$78)	7	6	5	4	3	2	1	0
	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/W rite	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ADLAR=1時								
	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
	7	6	5	4	3	2	1	0
	ADC1	ADC0	-	-	-	-	-	-

ADC9~ 0 : A/D変換結果 (ADC Conversion result)

これらのビットは 11 頁の「A/D変換の結果」で詳述されるように変換での結果を表します。A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ 8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先に、その後にADCHが読まれなければなりません。

A/D多重器選択レジスタ(ADMUX)の左揃え選択 (ADLAR)ビットとA/Dチャネル選択 (MUX3~ 0)ビットは、このレジスタから結果を読む方法に影響を及ぼします。ADLARがセット(1)されると結果は左揃えにされます。ADLARがクリア(0)されると既定の結果は右揃えにされます。

17.13.5. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DD DR0

ビット (\$7E)	7	6	5	4	3	2	1	0
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ビット7~ 0 - ADC7D~ ADC0D : ADC7~ 0 デジタル入力禁止 (ADC7~ 0 Digital Input Disable)

このビットが論理 1 書かれると、対応するADCnビットのデジタル入力緩衝部が禁止されます。このビットがセット(1)されると、対応するポート入力レジスタのビット(PNx)は常に 0 として読みます。アナログ信号がADCnビットに印加され、そのビットからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理 1 書かれるべきです。

18. デバグWRE内蔵デバグシステム

18.1. 特徴

完全なプログラムの流れ制御
RESETピンを除くデジタルとアナログ両方でのチップ全機能のイミュレート
実時間 (リアルタイム) 動作
シンボリックデバグ支援 (アセンブリ及びC言語または他の高位言語)
無制限数のプログラム中断点 (ブレークポイント: ソフトウェア中断点使用)

邪魔しない動作
実デバイスと同じ電気的特性
自動設定システム
高速動作
不揮発性メモリのプログラミング

18.2. 概要 デバグWRE内蔵デバグシステムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための単線の双方向インターフェースを使用します。

18.3. 物理インターフェース

デバグWRE許可 (DWEN) ピンがプログラム (0) され、ロックビットが非プログラム (1) にされると、対象デバイス内のデバグWREシステムが活性 (有効) にされます。RESETポートピンはプルアップ許可のANDタイ (オフ) オン トレイン 双方向 I/Oピンとして設定され、対象デバイスとイミュレータ間の通信路になります。

図 18-1 はイミュレータと許可したデバグWREでの対象MCUとの接続の図を示します。システムクロックはデバグWREによって影響を及ぼされず、常にCKSELピンを選択したクロックです。

デバグWREが使用されるシステムの設計時、正しい動作のために次の注意点が厳守されなければなりません。

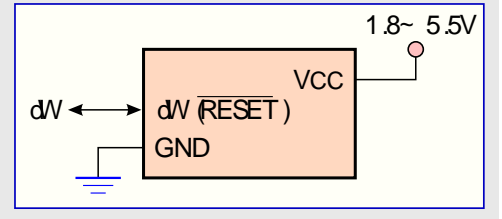
dW / RESET 線のプルアップ抵抗は 10k より小さくしてはなりません。この抵抗はデバグWRE機能の必要条件ではありません。

RESETピンのVCCへの直接的な接続では動作しません。

RESETピンに挿入したコンテンツはデバグWRE使用時、切断されなければなりません。

全ての外部リセット元は切断されなければなりません。

図 18-1. デバグWRE構成図



18.4. ソフトウェア中断点 (ブレークポイント)

デバグWREはAVRのBREAK命令によってプログラムのメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムのメモリにBREAK命令を挿入します。BREAK命令で置換した元の命令は保存されます。プログラム実行が継続されると、プログラムのメモリから継続される前に保存した命令が実行されます。一時停止 (ブレーク) はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度に書き換えされなければなりません。これはデバグWREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバグ目的に使用したデバイスは最終顧客へ出荷すべきではありません。

18.5. デバグWREの制限

デバグWRE通信 (dW) ピンは物理的に外部リセット (RESET) と同じピンに配置されます。従ってデバグWREが許可されると、外部リセット元が支援されません。

デバグWREシステムは全速度、換言するとCPUのプログラムが走行する時に全 I/O機能を正確にイミュレートします。CPUが停止される時にデバグ (AVR Studio経由でいくつかの I/Oレジスタをアクセスする間、注意が払われなければなりません。

デバグWREインターフェースは非同期で、それはデバグがシステムクロックに同期する必要があることを意味します。システムクロックがソフトウェア (例えば CLKPSビット書き込み) によって変更されると、デバグWRE経由通信は失敗するかもしれません。また、100kHz未満のクロック周波数は通信問題を引き起こすかもしれません。

プログラム (0) にしたDWENピンは全スリープ動作でクロック系のいくつかの部分の走行を許可します。これはスリープ間中の消費電力を増加します。従ってDWENピンはデバグWREが使用されない場合、禁止されるべきです。

18.6. デバグWRE用レジスタ

18.6.1. デバグWRE データレジスタ (debugWRE Data Register) DWDR

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	(MSB)							(LSB)	DWDR
Read/W rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバグへの通信チャネルを提供します。このレジスタはデバグWREでだけアクセス可能で、従って通常動作で一般目的のレジスタとして使用できません。

19. フラッシュメモリの自己プログラミング

本デバイスにはMCU自身によるプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリ内にコードを書き(プログラム)コードを読み、またはプログラムメモリからコードを読むのに、利用可能なデータインターフェースと関連する規約のどれもが使用できます。SPM命令は既定で禁止ですが、**SELFPRGEN**ビットを(1)にプログラミングすることで許可にできます。

プログラムメモリはページ単位形式で更新されます。ページ一時バッファへ格納したデータでページを書く前に、そのページは消去されなければなりません。ページ一時バッファはSPM命令使用時毎の語(ワード)で満たされ、このバッファはページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時バッファ格納)

- ページ一時バッファを満たしてください。
- ページ消去を実行してください。
- ページ書き込みを実行してください。

手段2 (ページ消去後の一時バッファ格納)

- ページ消去を実行してください。
- ページ一時バッファを満たしてください。
- ページ書き込みを実行してください。

ページの一部分の変更だけが必要な場合、消去前にページの残す部分は例えばページ一時バッファに保存されなければならない、その後に変更して書かれます。手段1は初めにページを読んで必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効率的な読み修正書き(リードモテフアイライト)機能を提供します。手段2が使用される場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時バッファは乱順でアクセスできます。ページ消去とページ書き込み操作の両方で使用されるページアドレスは同じページをアドレス指定することが非常に重要です。

19.0.1. SPM命令によるページ消去の実行

ページ消去を実行するには**ZCインタ**にアドレスを設定してSPM命令制御/状態レジスタ(SPMCSR)に**'00000011'**を書き、SPMCSR書き込み後4クロックサイクル内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは**ZCインタのPCPAGE**に書かれなければならない。この操作中、ZCインタの他のビットは無視されます。

ページ消去中、CPUは停止されます。

19.0.2. ページ一時バッファの設定 (ページ設定)

命令語(ワード)をページ一時バッファに書くにはZCインタにアドレスR1R0にデータを設定してSPMCSRに**'00000001'**を書き、SPMCSR書き込み後4クロックサイクル内にSPM命令を実行してください。ZCインタのPCWORDの内容は一時バッファのデータのアドレスに使用されます。一時バッファはページ書き込み操作後、またはSPMCSRの**CTPBL**ビット(=1書き込みにより自動的に消去されます。システムリセット後も消去されています。一時バッファを消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

19.0.3. ページ書き込みの実行

ページ書き込みを行うにはZCインタにアドレスを設定してSPMCSRに**'00000101'**を書き、SPMCSR書き込み後4クロックサイクル内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは(ZCインタの)PCPAGEに書かれなければならない。この操作の間、ZCインタの他のビットは0を書かれなければならない。

ページ書き込み中、CPUは停止されます。

19.1. 自己プログラミング中のフラッシュメモリのアドレス指定

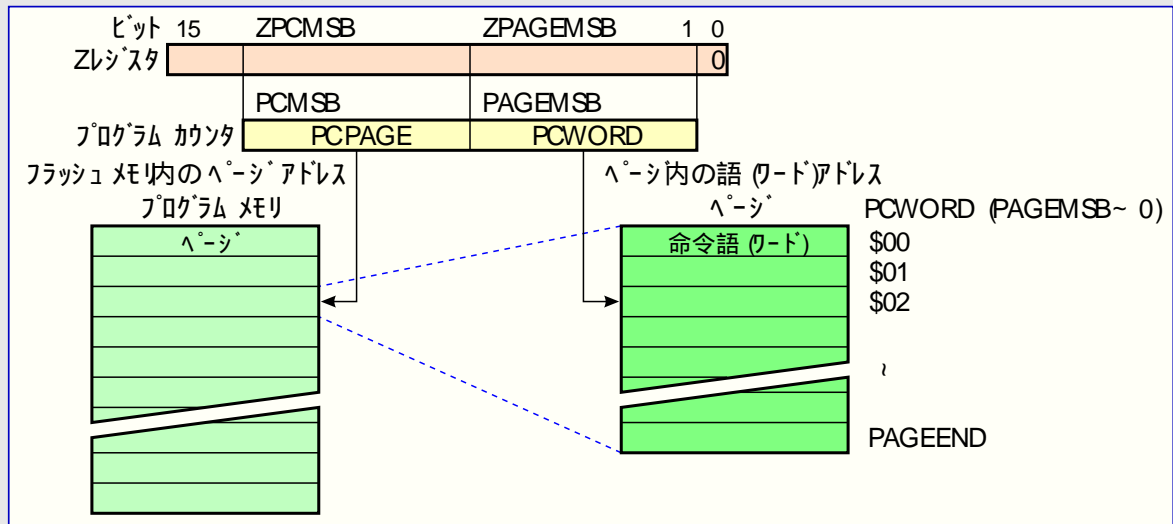
ZCインタレジスタはSPM命令でのアドレス指定に使用されます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(123頁の表20-7参照)プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは次頁の図19-1で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

LPM命令はアドレスを格納するのにZCインタを使用します。この命令はフラッシュメモリのハイ単位をアドレス指定するので、ZCインタの最下位ビットZ0も使用されます。

図 19-1. SPM操作中のフラッシュメモリのアドレス指定



注：図内で使用した各変数は 123 頁の表 20-7 で一覧されます。

19.1.1. SPM命令での書き込み時の EEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズとロックビット読み出しもEEPROM書き込み動作中に妨げられます。使用者はEEPROM制御レジスタ (EECR) のEEPROMプログラム許可 (EEPE) ビットを検査し、SPM命令制御状態レジスタ (SPMCSR) を書く前にこのビットがクリア (0) されているのを確認することが推奨されます。

19.1.2. ソフトウェアからのヒューズビットとロックビットの読み出し

ソフトウェアからヒューズとロックビットの両方を読むことが可能です。ロックビットを読むには Zボインに \$0001 を設定し、SPMCSR の SELFPRGEN とヒューズ/ロックビット読み込み (RFLB) ビットをセット (1) してください。SELFPRGEN と RFLB ビットが SPMCSR に設定された後 3CPU サイクル内に LPM 命令が実行されると、ロックビットの値が転送先レジスタに格納されます。SELFPRGEN と RFLB ビットはロックビット読み出しの完了で、または 3CPU サイクル内に LPM 命令が実行されないか、または 4CPU サイクル内に SPM 命令が実行されない場合、自動的にクリア (0) されます。SELFPRGEN と RFLB ビットがクリア (0) されると、LPM は命令セーフ引書で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	LB2	LB1

ヒューズ下位バイトを読む手順は上記のロックビット読み出しと同様です。ヒューズ下位バイトを読み出すには Zボインに \$0000 を設定して SPMCSR の SELFPRGEN と RFLB ビットをセット (1) してください。SELFPRGEN と RFLB ビットが SPMCSR に設定された後 3CPU サイクル内に LPM 命令が実行されると、以下で示されるようにヒューズ下位バイト (FLB) の値が転送先レジスタに格納されます。ヒューズ下位バイトの配置と詳細な記述については 122 頁の表 20-5 を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ヒューズ上位バイトを読むには Zボインに \$0003 を設定してください。SELFPRGEN と RFLB ビットが SPMCSR でセット (1) された後 3 サイクル内に LPM 命令が実行されると、以下で示されるようにヒューズ上位バイト (FHB) の値が転送先レジスタに格納されます。ヒューズ上位バイトの配置と詳細な記述については 122 頁の表 20-4 を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

ヒューズ拡張バイトは Zボインに \$0002 を設定することによって読むことができます。SELFPRGEN と RFLB ビットが SPMCSR でセット (1) された後 3 サイクル内に LPM 命令が実行されると、以下で示されるようにヒューズ拡張バイト (FEB) の値が転送先レジスタに格納されます。ヒューズ拡張バイトの配置と詳細な記述については 122 頁の表 20-3 を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	-	EFB0

プログラム (0) されたヒューズとロックビットは 0 として読めます。非プログラム (1) にされたヒューズとロックビットは 1 として読めます。

19.1.3. フラッシュメモリー化けの防止

低VCCの期間中、CPUとフラッシュメモリーの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリーのプログラムが不正にされ得ます。これらの問題はフラッシュメモリーを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリーのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目として、フラッシュメモリーへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を誤って実行し得ます。

フラッシュメモリー化けは次の推奨設計によって容易に避けられます (1つは必須)。

不十分な供給電源電圧の期間中、AVR RESETを活性 (**Low**) に保ってください。これは動作電圧が検出電圧と一致するなら、内部 **低電圧検出器 (BOD)** を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使用できます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。

低VCCの期間中、AVRコアを **パワーダウン スリープ動作** に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR 従ってフラッシュメモリーを予期せぬ書き込みから効果的に保護します。

19.1.4. SPM命令使用時のフラッシュメモリー用プログラミング書き込み時間

校正された内蔵発振器がフラッシュメモリアクセス時間に使用されます。表 19-1はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表 19-1. SPM命令によるフラッシュメモリーのプログラミング時間

項目	Min	Max
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み)	3.7ms	4.5ms

注: MinとMaxの時間は項目の個別操作毎に対してです。

19.1.5. アセンブリ言語による簡単なブートローダ例

ATtiny48/88ではRWW/SBビットが常に0として読まれることに注意してください。それでも書き中読み可 (Read-While-Write) を支援するデバイスとの互換性を保証するため、コード例で示されるようにこのビットを検査することが推奨されます。

このルーチンはRAMからフラッシュメモリへ1ページのデータを書きます。RAM内の最初のデータ位置はYレジスタ外によって指示され、フラッシュメモリ内の最初のデータ位置はZレジスタ外によって指示されます。異常処理は含まれません。使用レジスタはR0,R1,TMP,CNTL,CNTH,SPMCでレジスタの保存と復帰はこのルーチンに含まれず、レジスタ使用はコード量を犠牲にすれば最適化できます。割り込みは禁止される前提です。

ページ内データが256バイト以下の場合には計数器上位が不要になります。また関連する命令も変更になります。これらの部分を赤字で示します。【訳注】本行は以下のプログラム補正に対応して追加しました。

ラベル	命令	注釈
	.EQU PGSZB = PAGESIZE*2	; PGSZBはページ内のバイト数です。(PAGESIZEはワード数)
	.ORG SMALLBOOTSTART	;
WRPG:	LDI SPMC, (1<<PGERS)+(1<<SELFPRGEN)	; [ページ消去]
	RCALL SPMU	; ページ消去 SPMCSR値を取得
		; ページ消去
	LDI SPMC, (1<<CTPB)+(1<<SELFPRGEN)	; [ページ一時ハフ消去]
	RCALL SPMU	; ページ一時ハフ消去 SPMCSR値を取得
		; ページ一時ハフ消去
	LDI CNTL, LOW(PGSZB)	; [RAMからフラッシュページ一時ハフへ転送]
	LDI CNTH, HIGH(PGSZB)	; バイト計数器を初期化
	LD R0, Y+	; 削除)
	LD R1, Y+	; RAM上の下位データ取得 (ページ進行)
	LDI SPMC, (1<<SELFPRGEN)	; RAM上の上位データ取得 (ページ進行)
	RCALL SPMU	; ページ一時ハフ書き込み SPMCSR値を取得
	ADIW ZH:ZL, 2	; 対応語 (ワード) データをページ一時ハフに設定
	SBINW CNTH:CNTH, 2	; ページ一時ハフへページ進行
	BRNE WLP	; 計数器を減数 (SUBI)
		; 指定バイト数分継続
	SUBI ZL, LOW(PGSZB)	; [ページ書き込み]
	SBCI ZH, HIGH(PGSZB)	; ページ一時ハフ先頭にページを復帰
	LDI SPMC, (1<<PGWRT)+(1<<SELFPRGEN)	; 削除)
	RCALL SPMU	; フラッシュ書き込み SPMCSR値を取得
		; フラッシュメモリページ書き込み
	LDI SPMC, (1<<CTPB)+(1<<SELFPRGEN)	; [ページ一時ハフ消去]
	RCALL SPMU	; ページ一時ハフ消去 SPMCSR値を取得
		; ページ一時ハフ消去
	LDI CNTL, LOW(PGSZB)	; [読み戻し照合 (任意)]
	LDI CNTH, HIGH(PGSZB)	; バイト計数器を初期化
	SUBI YL, LOW(PGSZB)	; 削除)
	SBCI YH, HIGH(PGSZB)	; RAMデータ先頭にページを復帰
	LFM R0, Z+	;
	LD R1, Y+	; フラッシュメモリから1バイト取得 (ページ進行)
	CPSE R0, R1	; RAMから1バイトデータ取得 (ページ進行)
	RJMP ERROR	; 値一致でスキップ
		; 不一致で異常処理へ
	SBINW CNTH:CNTH, 1	; 計数器を減数 (SUBI)
	BRNE RLP	; 指定バイト数分継続
		; [RWW領域へ復帰]
RTN:	IN TMP, SPMCSR	; SPM命令制御状態レジスタ値を取得
	SBRB TMP, RWW/SB	; RWW領域多忙でスキップ
	RET	; 準備可で呼び出し元へ復帰
		; [ページ一時ハフ消去]
	LDI SPMC, (1<<CTPB)+(1<<SELFPRGEN)	; ページ一時ハフ消去 SPMCSR値を取得
	RCALL SPMU	; ページ一時ハフ消去
	RJMP RTN	; RWW領域準備可まで待機へ
		; [SPM命令実行サブルーチン]
SPMU:	IN TMP, SPMCSR	; SPM命令制御状態レジスタ値を取得
	SBRB TMP, SELFPRGEN	; 操作可能直前のSPM完了でスキップ
	RJMP SPMU	; 操作可まで待機
		;
	IN TMP, SREG	; ステータスレジスタ値を保存
	CLI	; 全割り込み禁止
WAIT:	SBIC EECR, EEPPE	; EEPROMプログラミング中以外でスキップ
	RJMP WAIT	; EEPROMプログラミング完了まで待機
		;
	OUT SPMCSR, SPMC	; SPM動作指定
	SPM	; 対応SPM動作実行
	OUT SREG, TMP	; ステータスレジスタ値を復帰
	RET	; 呼び出し元へ復帰

19.2.自己プログラミング用レジスタ

19.2.1.SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはプログラムメモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	-	RWWSB	-	CTPB	RFLB	PGWRT	PGERS	SELFPRGEN	SPMCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - Res :予約 (Reserved)

このビットは予約されており、常に0として読めます。

ビット6 - RWWSB :RWW領域多忙 (Read-While-Write Section Busy)

このビットは書き中読み可 (Read-While-Write)を支援するデバイスとの互換用です。ATtiny48/88では常に0として読みます。

ビット5 - Res :予約 (Reserved)

このビットは予約されており、常に0として読めます。

ビット4 - CTPB :ページ一時バッファ消去 (Clear Temporary Page Buffer)

ページ一時バッファを満たしている間にCTPBビットが1を書かれると、ページ一時バッファは消去され、データが失われます。

ビット3 - RFLB :フューズ/ロックビット読み込み (Read Fuse and Lock Bits)

SPMCSRでRFLBとSELFPRGENがセット(1)された後の3クロックサイクル内のLPM命令は、ZレジスタのZdによってフューズビットまたはロックビットのどちらかを転送先レジスタに読みます。詳細については11頁の「ソフトウェアからのフューズビットとロックビットの読み出し」をご覧ください。

ビット2 - PGWRT :ページ書き込み (Page Write)

このビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令は一時バッファに格納したデータでページ書き込みを実行します。ページアドレスはZレジスタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ全体の書き込み動作中、CPUは停止されます。

ビット1 - PGERS :ページ消去 (Page Erase)

このビットがSELFPRGENと同時に1を書かれると、次の4クロックサイクル内のSPM命令はページ消去を実行します。ページアドレスはZレジスタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。ページ全体の消去中、CPUは停止されます。

ビット0 - SELFPRGEN :自己プログラミング許可 (Self Programming Enable)

このビットは次の4クロックサイクル間SPM命令を許可します。このビットがCTPB、RFLB、PGWRT、PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます (上の記述をご覧ください)。SELFPRGENだけが書かれると、続くSPM命令はZレジスタでアドレス指定したページ一時バッファへR1、R0の値を格納します。Zレジスタの最下位ビットは無視されます。SELFPRGENビットはSPM命令の完了で、または4クロックサイクル内にSPM命令が実行されない場合自動的にクリア(0)されます。ページ消去とページ書き込み中、SELFPRGENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

訳注) ビット0の名称 SELFPRGENはフューズビットに同一名が存在します。状況によっては不都合かもしれません。この名称重複が存在する他のデバイスと異なり、AVR Studio 4.16でのデバイス定義インクルードファイルではフューズビットのSELFPRGEN定義が注釈になっています。故にこの名称を使用する場合は十分な注意と確認が必要です。

20. メモリプログラミング

20.1. プログラム メモリとデータ メモリ用 ロック ビット

ATtiny48/88は非プログラム(1)のままか、表 20-2で一覧される付加機能を得るためにプログラム(0)できる2つのロックビットを提供します。このロックビットはチップ消去指令でのみ1に消去できます。ATtiny48/88は独立したブートロータ領域を持ちません。SELFPRGENヒューズがプログラム(0)されると、SPM命令はフラッシュ メモリ全体に対して許可され、さもなければ禁止されます。

表 20-1. ロックビットハイの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用ロックビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注：0はプログラム、1は非プログラムを意味します。

表 20-2. ロックビットの保護種別

メモリロックビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバウンスWR経路によるプログラミングに対する保護
1	1	1	メモリロック機能は機能しません。
2	1	0	フラッシュ、EEPROM、ヒューズビットのプログラミング書き込み機能が禁止されます。(注1)
3	0	0	LB種別2と同様、更に照合読み出しも禁止されます。(注1)

注1：ロックビットを書く前にヒューズビットを書いてください。

注2：0はプログラム、1は非プログラムを意味します。

20.2. ヒューズ・ビット

ATtiny48/88には3つのヒューズ・ハイがあります。表 20-3 ~ 5は全てのヒューズの概略機能とヒューズ・ハイ内でどのように配置されるかを示します。ヒューズはプログラムされると、論理 0として読まれることに注意してください。

表 20-3. ヒューズ拡張ハイ一覧

名称	ビット	意味	既定値
-	7~ 1		1 (非プログラム)
SELFPRGEN	0	自己プログラミング機能許可。 注 1	1 (非プログラム) 自己プログラミング不許可

注 1: SPM命令許可。116頁の「[フラッシュの自己プログラミング](#)」をご覧ください。

表 20-4. ヒューズ上位ハイ一覧

名称	ビット	意味	既定値
RSTDISBL	7	PCのI/OピンかまたはRESETピンを選択します。 注 1 2	1 (非プログラム) PCはRESETピン
DWEN	6	デバッグWRE機能許可。 注 2	1 (非プログラム) デバッグWRE不許可
SPEN	5	直列プログラミング許可。 注 3	0 (プログラム) 直列プログラミング許可
WDTON	4	ウォッチドッグ・タイマ常時有効。 注 4	1 (非プログラム) WDTはWDTCSRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL2	2		1 (非プログラム)
BODLEVEL1	1	低電圧検出 (BOD) レベルの制御と検出電圧選択。 注 5	1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注 1: RSTDISBLヒューズの記述については45頁の「[ホートIOの兼用機能](#)」をご覧ください。

注 2: このヒューズ・ビットのプログラム (0) はRESETピンの機能を変更し、直列インターフェース経由での更なるプログラミングを不可能にします。ヒューズ・ビットは並列プログラミング法を使用して非プログラム (1) にできます。

注 3: SPENヒューズは直列プログラミングでアクセスできません。

注 4: 詳細については30頁の「[ウォッチドッグ・タイマ制御レジスタWDTCSR](#)」をご覧ください。

注 5: BODLEVELヒューズの符号化については136頁の表 21-4をご覧ください。

表 20-5. ヒューズ下位ハイ一覧

名称	ビット	意味	既定値
CKDM8	7	システムクロック 8分周選択。 注 4	0 (プログラム) 8分周
CKOUT	6	システムクロック出力許可。 注 3	1 (非プログラム) 不許可
SUT1	5	起動時間選択。 注 1	1 (非プログラム)
SUT0	4		0 (プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
CKSEL1	1	クロック種別選択。 注 2	1 (非プログラム)
CKSEL0	0		0 (プログラム)

注 1: SUT1の既定値は最大起動時間になります。詳細については18頁の表 6-4をご覧ください。

注 2: CKSEL1の既定設定は8MHz校正付き内蔵発振器になります。詳細については1頁の表 6-1をご覧ください。

注 3: CKOUTはポートBQに出力するのをシステムクロックに許します。詳細については19頁の「[クロック出力バッファ](#)」をご覧ください。

注 4: 詳細については20頁の「[システムクロック前置分周器](#)」をご覧ください。

ヒューズ・ビットの状態はチップ消去によって影響されません。ロックビット1 (LB1) がプログラム (0) されると、ヒューズ・ビットが固定されることに注意してください。ロックビットをプログラム (0) する前にヒューズ・ビットをプログラミング書き込みしてください。

20.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム (0) されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされません。

20.3. 識別バイト

全てのATMELマイクロコントローラはデバイス識別用の3バイトの識別符号を持ちます。この符号は直列と並列の両プログラミング動作で、またデバイスが施錠されても読めます。この3バイトは分離された空間に存在します。ATtiny48/88用の識別バイトは表20-6で与えられます。

表 20-6. デバイスの識別番号 (D)

部品番号	識別バイトアドレス		
	\$0000	\$0001	\$0002
ATtiny48	\$1E	\$92	\$09
ATtiny88	\$1E	\$93	\$11

20.4. 発振校正値バイト

ATtiny48/88は内蔵発振器用に1バイトの校正値を持ちます。このバイトは識別バイト空間でアドレス\$0000の上位バイトにあります。リセット中、[校正付き内蔵発振器](#)の正しい周波数を保証するために、このバイトが[発振校正 \(OSCCAL\)レジスタ](#)へ自動的に書かれます。

20.5. バイト容量

表 20-7. フラッシュメモリのバイト数とバイトの語数

デバイス	全容量	バイト容量	PCWORD	バイト数	PCPAGE	PCMSB
ATtiny48	2K語 (4Kバイト)	32語	PC4~ 0	64	PC10~ 5	10
ATtiny88	4K語 (8Kバイト)	32語	PC4~ 0	128	PC11~ 5	11

表 20-8. EEPROMメモリのバイト数とバイトの語数

デバイス	全容量	バイト容量	PCWORD	バイト数	PCPAGE	EEAMSB
ATtiny48	64バイト	4バイト	EEA1~ 0	16	EEA5~ 2	5
ATtiny88	64バイト	4バイト	EEA1~ 0	16	EEA5~ 2	5

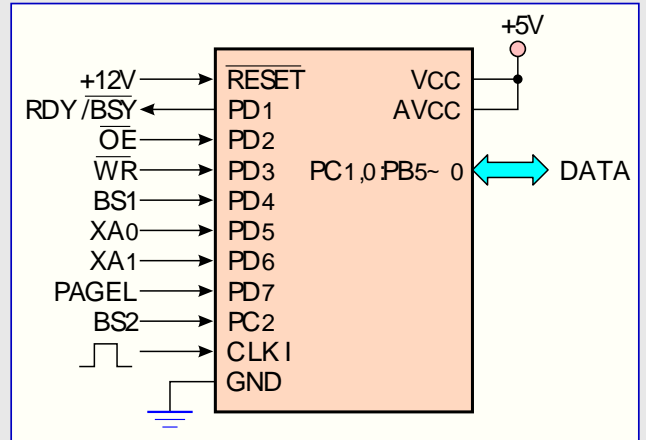
20.6. 並列プログラミング

この項は ATtiny48/88 のプログラミング用フラッシュメモリ、データ用 EEPROM、メモリのロックビット、ヒューズビットの並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低 250ns と仮定されます。

20.6.1. 信号名

本項で ATtiny48/88 のいくつかのピンは並列プログラミング中の機能を表す信号名で参照されます。図 20-1 と表 20-9 をご覧ください。後続の表で示されないピンはピン名によって参照されます。

図 20-1 並列プログラミング構成図



注：VCC - 0.3V < AVCC < VCC + 0.3V ですが、AVCC は常に 4.5 ~ 5.5V 内にすべきです。

表 20-9. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0 (Low) : 多忙 (プログラミング中) 1 (High) : 準備可 指令受付可
OE	PD2	入力	出力許可 負論理
WR	PD3	入力	書き込みパルス 負論理
BS1	PD4	入力	上位 / 下位ハイ選択 1 (0 下位, 1 上位) (一般用)
XA0	PD5	入力	CLK 動作ビット 0
XA1	PD6	入力	CLK 動作ビット 1
PAGES	PD7	入力	プログラミングメモリとEEPROMデータをページ一時バッファに設定
BS2	PC2	入力	上位 / 下位ハイ選択 2 (0 下位, 1 上位) (ヒューズビット用)
DATA	PC1,0, PB5~0	入出力	双方向データバス (OE=Low 時出力)

XA0 と XA1 ピンは CLK ピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は表 20-11 で示されます。

表 20-10. プログラミング動作移行時のピン値

ピン名	シンボル	値
PAGES	Prog_enable[3]	0
XA1	Prog_enable[2]	0
XA0	Prog_enable[1]	0
BS1	Prog_enable[0]	0

表 20-11. XA0 と XA1 の符号化 機能

XA1	XA0	CLK パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス設定 (上位 / 下位は BS1 で指定)
0	1	データ設定 (フラッシュの上位 / 下位は BS1 で指定)
1	0	指令設定
1	1	アイドル 動作なし

WR または OE パルスを送るとき、設定した指令が実行される動作を決めます。各種指令は表 20-12 で示されます。

表 20-12. 指令バイトのビット符号化

指令バイト	指令の機能	指令バイト	指令の機能
\$80 (1000 0000)	チップ消去	\$08 (0000 1000)	識別バイト 校正值読み出し
\$40 (0100 0000)	ヒューズビット書き込み	\$04 (0000 0100)	ヒューズビット ロックビット読み出し
\$20 (0010 0000)	ロックビット書き込み	\$02 (0000 0010)	フラッシュメモリ読み出し
\$10 (0001 0000)	フラッシュメモリ書き込み	\$03 (0000 0011)	EEPROM読み出し
\$11 (0001 0001)	EEPROM書き込み		

20.7. 並列プログラミング手順

20.7.1. 並列プログラミング動作への移行

次に示す方法がデバイスを高電圧並列プログラミング動作にします。

VCCを0V、RESETピンを0V、124頁の表 20-10で一覧されるProg_enableピンを全てLow(0)に設定します。

VCCとGND間に4.5~5.5Vを印加します。それから20μs以内にVCCが最低1.8Vに達することを保証してください。

20~60μs待ち、RESETに11.5~12.5Vを印加します。

Prog_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs Prog_enableピンを無変化に保ちます。

如何なる並列プログラミング指令を与えるのにも先立って少なくとも30μs 間待ちます。

デバイスの電源を落とすか、RESETピンを0Vに持ってくることによってプログラミング動作を抜けます。

VCCの上昇時間が上で示した必要条件を完全に満たせない場合、次の代替手順が使用できます。

VCCを0V、RESETピンを0V、124頁の表 20-10で一覧されるProg_enableピンを全てLow(0)に設定します。

VCCとGND間に4.5~5.5Vを印加します。

VCCを監視し、0.9~1.1Vに達したら直ぐ、RESETに11.5~12.5Vを印加します。

Prog_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs Prog_enableピンを無変化に保ちます。

如何なる並列プログラミング指令を与えるのにも先立ってVCCが実際に4.5~5.5Vに達するまで待ちます。

デバイスの電源を落とすか、RESETピンを0Vに持ってくることによってプログラミング動作を抜けます。

20.7.2. 効率的なプログラミングへの考慮

設定した指令とアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために次を考慮すべきです。

複数のメモリ領域を読み書きする時に指令設定は一度だけ必要です。

チップ消去後のフラッシュメモリ(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。

アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識別バイト読み出しにも適用されます。

20.7.3. チップ消去

チップ消去はフラッシュメモリEEPROM(注1)ロックビットを消去します。ロックビットはプログラムメモリが完全に消去されてしまうまでビット消去されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」指令設定

XAをHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。

BSをLow(0)に設定します。

DATAを\$80(1000 0000)に設定します。これはチップ消去指令です。

CLKに正パルスを与えます。これはチップ消去指令を設定します。

WRに負パルスを与えます。これはチップ消去を開始します。RDY/BSYがLow(0)になります。

次の指令を設定する前にRDY/BSYがHigh(1)になるまで待ちます。

20.7.4. フラッシュメモリ書き込み (次頁の図 20-3 タイミングを参照)

フラッシュメモリはページで構成されます (123頁の表 20-7参照)。フラッシュメモリへ書く時にプログラムデータはページ単位にラッチされます。これは同時に書かれることをプログラムデータのページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

A. 「フラッシュメモリ書き込み」指令設定

XAをHigh(1) XA0をLow(0)に設定します。これは指令設定を許可します。
BSをLow(0)に設定します。
DATAを\$10(0001 0000)に設定します。これはフラッシュメモリ書き込み指令です。
CLKに正パルスを与えます。これはフラッシュメモリ書き込み指令を設定します。

B. アドレス下位ハイ設定

XAをLow(0) XA0をLow(0)に設定します。これはアドレス設定を許可します。
BSをLow(0)に設定します。これは下位アドレス(バイト)を選択します。
DATAにアドレス下位バイト(\$00~ \$FF)を設定します。
CLKに正パルスを与えます。これはアドレス下位ハイを設定します。

C. データ下位ハイ設定

XAをLow(0) XA0をHigh(1)に設定します。これはデータ設定を許可します。
DATAにデータ下位バイト(\$00~ \$FF)を設定します。
CLKに正パルスを与えます。これはデータ下位ハイを設定します。

D. データ上位ハイ設定

BSをHigh(1)に設定します。これは上位ハイを選択します。
XAをLow(0) XA0をHigh(1)に設定します。これはデータ設定を許可します。
DATAにデータ上位バイト(\$00~ \$FF)を設定します。
CLKに正パルスを与えます。これはデータ上位ハイを設定します。

E. 語(ワード)データをページ一時バッファに設定

BSをHigh(1)にします。これは上位ハイを選択します。
PAGEに正パルスを与えます。これは語データをページ一時バッファにラッチ設定します。

F. バッファ全体が満たされるか、または必要な全てのデータがバッファ内に設定されるまで、B~Eを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュメモリ内のページをアドレス指定します。これは図 20-2で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量 < 256) アドレス下位ハイの最上位(側)ビットがページ書き込み実行時のページアドレスに使用されることに注意してください。

G. アドレス上位ハイ設定

XAをLow(0) XA0をLow(0)に設定します。これはアドレス設定を許可します。
BSをHigh(1)に設定します。これは上位アドレス(バイト)を選択します。
DATAにアドレス上位バイト(\$00~ \$07/\$0F)を設定します。
CLKに正パルスを与えます。これはアドレス上位ハイを設定します。

H. ページ書き込み

BSをLow(0)に設定します。
WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/BSYがLow(0)になります。
RDY/BSYがHigh(1)になるまで待ちます。

I. フラッシュメモリ全部が書かれるか、または必要な全てのデータが書かれてしまうまで、B~Hを繰り返し

J. ページ書き込み終了

XAをHigh(1) XA0をLow(0)に設定します。これは指令設定を許可します。
DATAを\$00(0000 0000)にします。これは無操作指令です。
CLKに正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図 20-2. ページで構成されたフラッシュメモリのアドレス指定

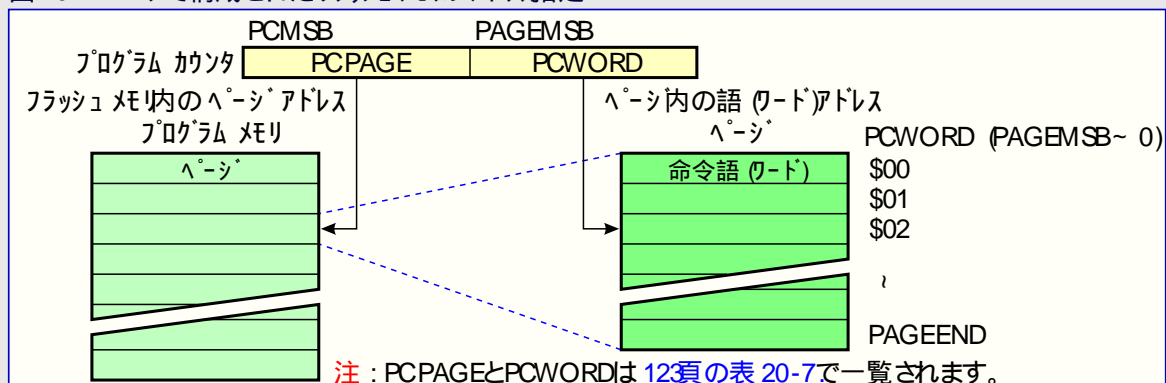
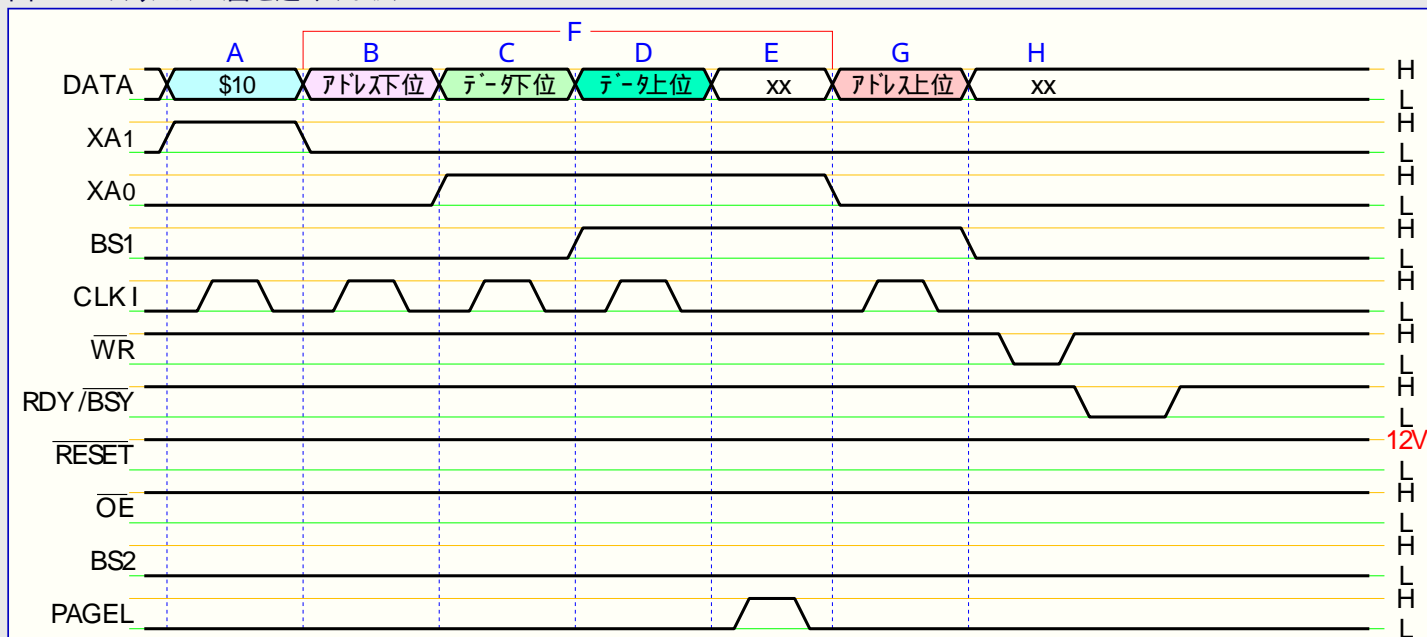


図 20-3. フラッシュメモ書き込みタイミング



注：xx値は無関係です。A～Hは前記プログラミングを参照してください。

20.7.5. EEPROM書き込み

EEPROMはページで構成されます(123頁の表 20-8参照)。EEPROMを書く時にデータはページハッフルにラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモ書き込み方法は次の通りです。指令、アドレス、データ設定の詳細については126頁の「フラッシュメモ書き込み」を参照。図 20-4 タイミング参照。)

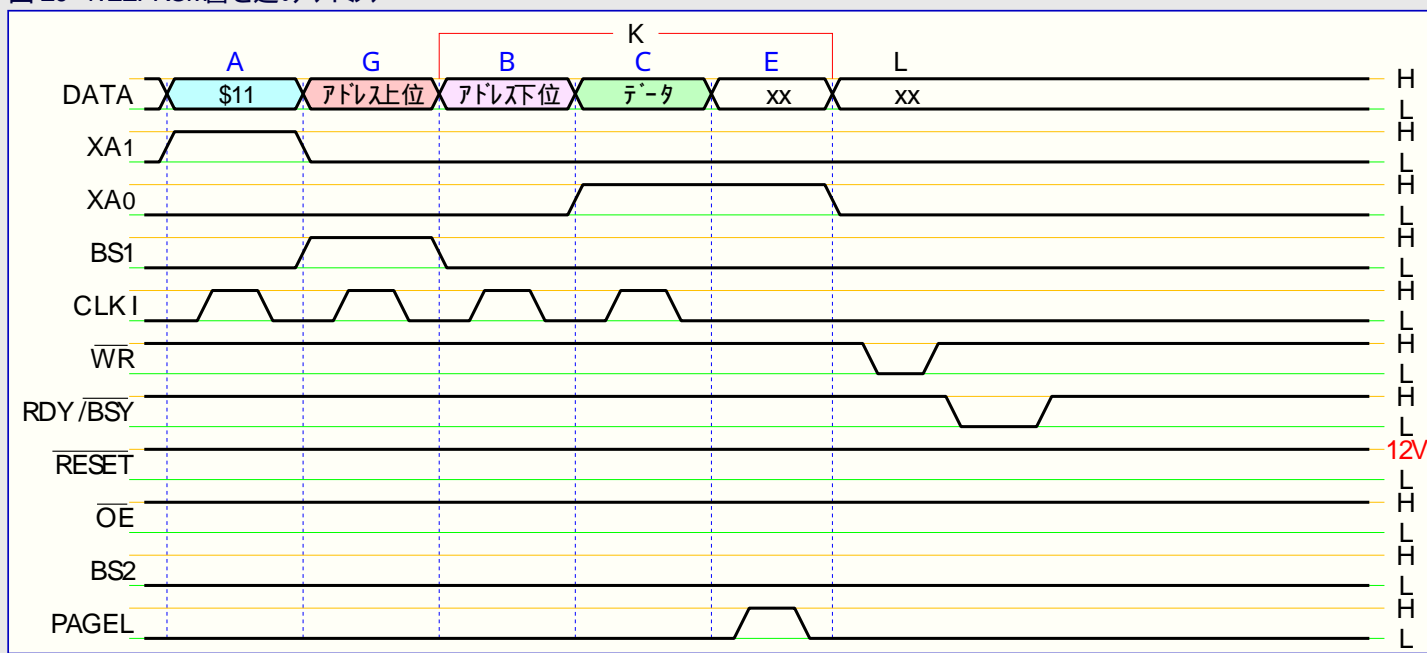
1. EEPROM書き込み指令 \$11 (0001 0001)を設定します。(「フラッシュメモ書き込み」のAを参照)
2. アドレス上位バイト(\$00)を設定します。(「フラッシュメモ書き込み」のGを参照)
3. アドレス下位バイト(\$00~ \$3F)を設定します。(「フラッシュメモ書き込み」のBを参照)
4. データバイト(\$00~ \$FF)を設定します。(「フラッシュメモ書き込み」のCを参照)
5. データをラッチします(PAGELに正ハルスを与えます)。(「フラッシュメモ書き込み」のEを参照)
- K. ハッフル全体が満たされるまで3~5を繰り返します。
- L. EEPROMページ書き込み

BS1をLow(0)に設定します。

WRに負ハルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。

次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図 20-4. EEPROM書き込みタイミング



20.7.6. フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次の通りです。指令とアドレス設定の詳細については126頁の「フラッシュメモリの書き込み」を参照。）

1. フラッシュメモリ読み出し指令 \$02(0000 0010)を設定します。（「フラッシュメモリの書き込み」のAを参照）
2. アドレス上位バイト(\$00~ \$07/\$0F)を設定します。（「フラッシュメモリの書き込み」のGを参照）
3. アドレス下位バイト(\$00~ \$FF)を設定します。（「フラッシュメモリの書き込み」のBを参照）
4. BS1をLow(0) OEをLow(0)に設定します。フラッシュメモリ語（ワード）の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュメモリ語（ワード）の上位バイトが直ぐにDATAで読めます。
6. OEをHigh(1)に設定します。DATAはHi-Zになります。

20.7.7. EEPROM読み出し

データ用EEPROMの読み出し方法は次の通りです。指令とアドレス設定の詳細については126頁の「フラッシュメモリの書き込み」を参照。）

1. EEPROM読み出し指令 \$03(0000 0011)を設定します。（「フラッシュメモリの書き込み」のAを参照）
2. アドレス上位バイト(\$00)を設定します。（「フラッシュメモリの書き込み」のGを参照）
3. アドレス下位バイト(\$00~ \$3F)を設定します。（「フラッシュメモリの書き込み」のBを参照）
4. BS1をLow(0) OEをLow(0)に設定します。EEPROMのバイトデータが直ぐにDATAで読めます。
5. OEをHigh(1)に設定します。DATAはHi-Zになります。

20.7.8. ヒューズビット書き込み ※注 原書での拡張 / 上位 / 下位ヒューズ項を一つに纏めました。）

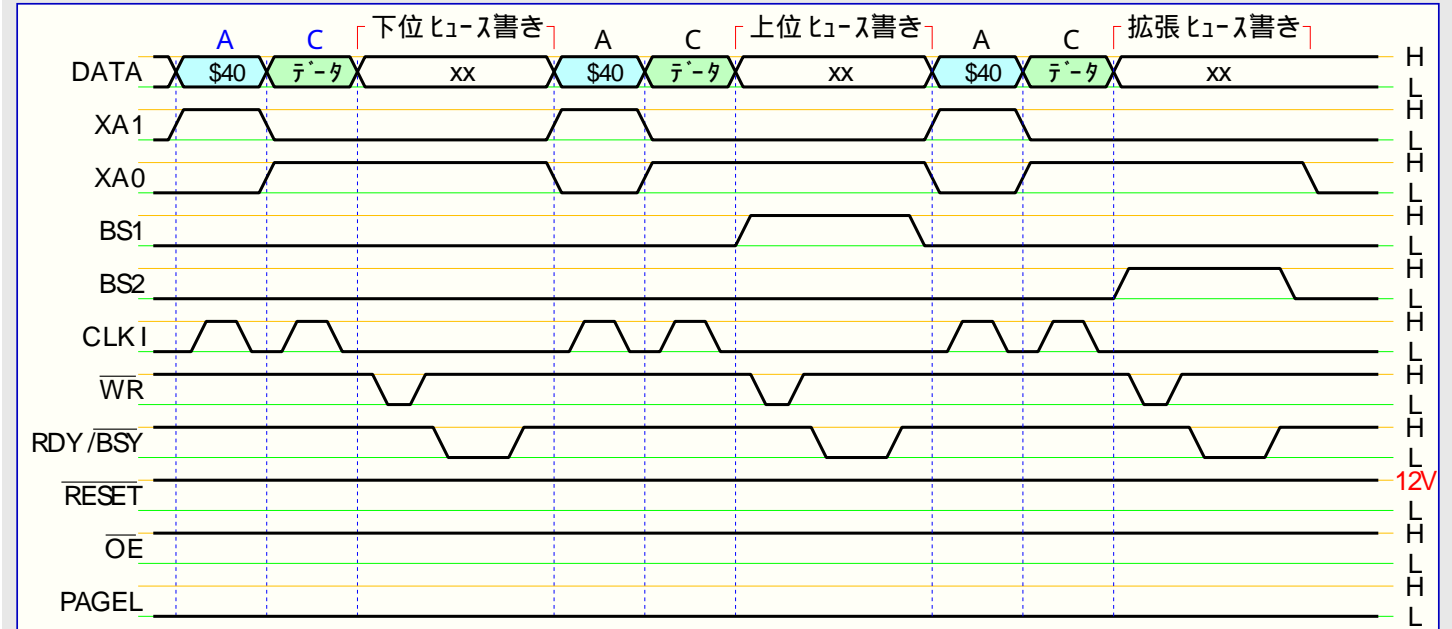
各ヒューズバイトの書き込み方法は次の通りです。指令とデータ設定の詳細については126頁の「フラッシュメモリの書き込み」を参照。）

1. ヒューズビット書き込み指令 \$40(0100 0000)を設定します。（「フラッシュメモリの書き込み」のAを参照）
2. データ下位バイトを設定します。0=プログラム, 1=非プログラム消去です。（「フラッシュメモリの書き込み」のCを参照）
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. WRに負ハルズを与え、RDY/BSYがHighになるまで待ちます。
5. 3でHighに設定したBS1, BS2をLow(0)に戻します。これはデータ下位バイトを選択します。

表A. ヒューズバイト対応BS1/BS2設定

ヒューズバイト	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図 20-5. ヒューズ書き込みタイミング



20.7.9. ロックビット書き込み

ロックビットの書き込み方法は次の通りです。指令とアドレス設定の詳細については 126 頁の「フラッシュメモリの書き込み」を参照。）

1. ロックビット書き込み指令 \$20 (0010 0000) を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. データ下位バイトとしてデータを設定します。0=プログラム, 1=無変化です。LB保護種別 3 が設定 (LB1 と LB2 がプログラム (0) されると、どの外部的なプログラミング動作種別によってもロックビットはプログラミングできません。（「フラッシュメモリの書き込み」の C を参照）
3. \overline{WR} に負パルスを与え、RDY/BSY が High になるまで待ちます。

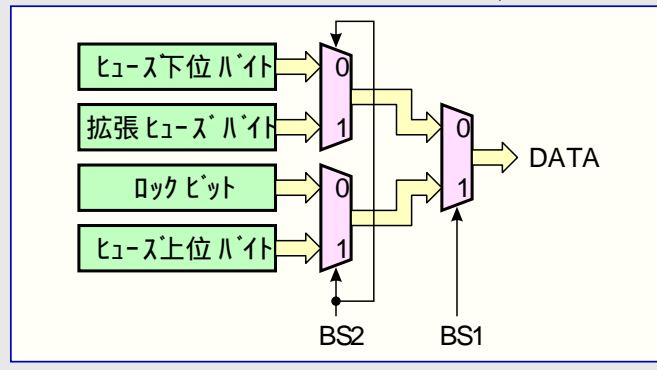
ロックビットはチップ消去の実行によってのみクリア (1) できます。

20.7.10. ヒューズビットとロックビットの読み出し

ヒューズビットとロックビットの読み出し方法は次の通りです。指令設定の詳細については 126 頁の「フラッシュメモリの書き込み」を参照。）

1. ヒューズビットとロックビットの読み出し指令 \$04 (0000 0100) を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. BS1 と BS2 を Low (0) OE を Low (0) に設定します。ヒューズ下位ビットの状態が直ぐに DATA で読めます。（0=プログラム）
3. BS1 と BS2 を High (1) OE を Low (0) に設定します。ヒューズ上位ビットの状態が直ぐに DATA で読めます。（0=プログラム）
4. BS を Low (0) BS2 を High (1) OE を Low (0) に設定します。拡張ヒューズビットの状態が直ぐに DATA で読めます。（0=プログラム）
5. BS を High (1) BS2 を Low (0) OE を Low (0) に設定します。ロックビットの状態が直ぐに DATA で読めます。（0=プログラム）
6. OE を High (1) に設定します。DATA は Hi-Z になります。

図 20-6. ヒューズ、ロックビット読み出し中の BS1, BS2 との関係



20.7.11. 識票バイト読み出し

識票バイトの読み出し方法は次の通りです。指令とアドレス設定の詳細については 126 頁の「フラッシュメモリの書き込み」を参照。）

1. 識票バイト読み出し指令 \$08 (0000 1000) を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. アドレス下位バイトに \$00 ~ \$02 を設定します。（「フラッシュメモリの書き込み」の B を参照）
3. BS を Low (0) OE を Low (0) に設定します。選択した識票バイトが直ぐに DATA で読めます。
4. OE を High (1) に設定します。DATA は Hi-Z になります。

20.7.12. 発振校正値読み出し

発振校正値の読み出し方法は次の通りです。指令とアドレス設定の詳細については 126 頁の「フラッシュメモリの書き込み」を参照。）

1. 発振校正値読み出し指令 \$08 (0000 1000) を設定します。（「フラッシュメモリの書き込み」の A を参照）
2. アドレス下位バイトに \$00 を設定します。（「フラッシュメモリの書き込み」の B を参照）
3. BS を High (1) OE を Low (0) に設定します。発振校正値バイトが直ぐに DATA で読めます。
4. OE を High (1) に設定します。DATA は Hi-Z になります。

20.8. 直列フロッグリング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使用してフロッグリングできます。この直列インターフェースはSCK入力、MISO入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行されるのに先立ってフロッグリング許可命令が初めに実行されることを必要とします。注意、表20-13でSPIフロッグリング用のピン配置が一覧されます。全てのデバイスが内部SPIインターフェースに対する専用SPIピンを使用するとは限りません。

20.8.1. 直列フロッグリング用ピン配置

表 20-13. 直列フロッグリング用ピン配置

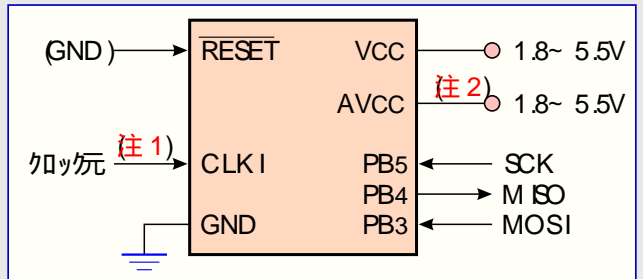
信号名	ピン名	入出力	機能
MOSI	PB3	入力	直列データ入力
MISO	PB4	出力	直列データ出力
SCK	PB5	入力	直列クロック

EEPROMをフロッグリングする時に自動消去サイクルが自動書き込み動作内に組み入れられるので直列フロッグリングのみ、チップ消去命令を初めに実行する必要がありません。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全てのメモリ位置の内容を\$FFFにします。

CKSELピンの有効なクロックが与えられなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$: Low区間 > 2CPUクロックサイクル	$f_{CK} < 12\text{MHz}$: High区間 > 2CPUクロックサイクル
$f_{CK} \geq 12\text{MHz}$: Low区間 > 3CPUクロックサイクル	$f_{CK} \geq 12\text{MHz}$: High区間 > 3CPUクロックサイクル

図 20-7. 直列フロッグリング構成図



注1: デバイスが内蔵発振器で動作する場合、CLKピンにクロックを接続する必要はありません。

注2: $VCC - 0.3V < AVCC < VCC + 0.3V$ ですが、AVCCは常に1.8~5.5V内にすべきです。

20.8.2. 直列フロッグリング手順

ATtiny48/88への直列データ書き込み時、データはSCKの上昇端でクロック駆動されます。ATtiny48/88からのデータ読み込み時、データはSCKの下降端でクロック駆動されます。タイミングの詳細については142頁の図21-9と図21-10をご覧ください。

直列フロッグリング動作でのATtiny48/88のフロッグリングと照合は次手順が推奨されます(表20-15の命令セット参照)。

1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUクロックサイクル幅の正パルスを与えられなければなりません。

2. 最低20m待ち、MOSIピンにフロッグリング許可命令を送ることによって直列フロッグリングを許可してください。

3. 通信が同期を外しているとき、直列フロッグリング命令は動作しません。同期していると、フロッグリング許可命令の第3バイト送付時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規フロッグリング許可命令を行ってください。

4. フラッシュメモリは1ページ単位で書かれます。ページ容量は123頁の表20-7で得られます。このメモリページはページ設定命令と共にアドレスの下位5/5+1ビットとデータを提供することによって1バイトづつ設定されます。ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのページはアドレスの上位6/7ビットを含むページ書き込み命令の設定によって(フラッシュメモリに格納されます。ホーリング(BSY/RDY)が使用されない場合、使用者は次のページを行う前に最低WD_FLASH(表20-14参照)待たなければなりません。フラッシュ書き込み操作完了前のホーリング以外の直列フロッグリングインターフェースでのアクセスは不正な書き込み結果になります。

5. EEPROMはページ単位かバイト単位のどちらかでフロッグリングできます。

バイト単位: EEPROMは適切なEEPROM書き込み命令と共にアドレスとデータを提供することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ホーリング(BSY/RDY)が使用されない場合、次のバイトを行う前に最低WD_EEPROM(表20-14参照)待たなければなりません。

ページ単位: EEPROMの1ページはEEPROMページ設定命令と共にアドレスの下位2ビットとデータを提供することによって1バイトづつ設定されます。EEPROMページはアドレスの上位4/4ビットを含むEEPROMページ書き込み命令によってEEPROMに格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残り位置は無変化で留まります。ホーリング(BSY/RDY)が使用されない場合、次のページ(表20-8参照)を行う前に最低WD_EEPROM(表20-14参照)待たなければなりません。チップ消去されたデバイスでの\$FFFデータは書かれる必要がありません。

6. どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み出す読み出し命令を使用することによって照合できます。

7. フロッグリング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8. 電源OFF手順 (必要とされるならば)

RESETをHigh(1)に設定します。
VCC電源をOFFにします。

表 20-14. ヒューズ・フラッシュ・EEPROM 次位置書き込み前の待機時間

シンボル	最低待機時間	備考
WD_FUSE	4.5ms	ヒューズ書き込み
WD_FLASH	4.5ms	フラッシュメモリ書き込み
WD_EEPROM	3.6ms	EEPROM書き込み
WD_ERASE	9.0ms	チップ消去

訳注)

共通性から WD_FUSE 項目を追加

208.3. 直列プログラミング命令セット

表 20-15 と次ページの図 20-8 は命令セットを記述します。

表 20-15. 直列プログラミング命令セット

命令	命令形式				備考
	第 1 バイト	第 2 バイト	第 3 バイト	第 4 バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
多忙/準備可検査	\$F0	\$00	\$00	状態値	最下位ビットが多忙フラグ。
設定系命令					
拡張アドレス設定 (注 1)	\$4D	\$00	拡張アドレス	\$00	
フラッシュページ内上位バイト設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュページ内下位バイト設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROM ページ内バイト設定	\$C1	\$00	ページ内位置	バイト	注: ページ内指示以外のビットは Q
読み出し命令					
フラッシュメモリ上位バイト読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュメモリ下位バイト読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM 読み出し	\$A0	アドレス上位	アドレス下位	バイト	
ロックビット読み出し	\$58	\$00	\$00	ロックビット値	
識別バイト読み出し	\$30	\$00	アドレス	識別バイト	
ヒューズ下位ビット読み出し	\$50	\$00	\$00	ヒューズ下位	
ヒューズ上位ビット読み出し	\$58	\$08	\$00	ヒューズ上位	
ヒューズ拡張ビット読み出し	\$50	\$08	\$00	ヒューズ拡張	
発振校正値読み出し	\$38	\$00	\$00	発振校正値	
書き込み命令					
フラッシュページ書き込み	\$4C	アドレス上位	アドレス下位	\$00	
EEPROM バイト書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROM ページ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注: ページ指示以外のアドレスビットは Q
ロックビット書き込み	\$AC	\$E0	\$00	ロックビット値	
ヒューズ下位ビット書き込み	\$AC	\$A0	\$00	ヒューズ下位	
ヒューズ上位ビット書き込み	\$AC	\$A8	\$00	ヒューズ上位	
ヒューズ拡張ビット書き込み	\$AC	\$A4	\$00	ヒューズ拡張	

注 1: 全命令が全デバイスで利用可能な訳ではありません。

注: ・ロックビットとヒューズ値はプログラムが Q 非プログラムが 1 です。将来との互換性のため、未使用のヒューズとロックビットは非プログラム (1) にすべきです。

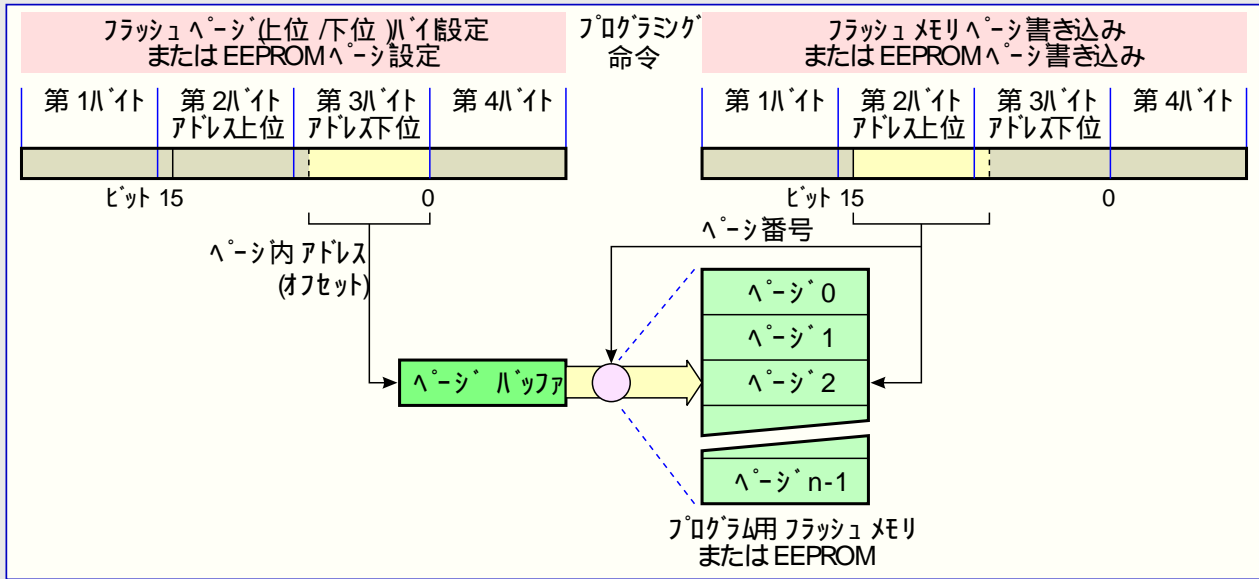
- ・ヒューズ、ロックビット、識別バイト、発振校正値、ページ容量については対応項目を参照してください。
- ・プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。
- ・第 4 バイトの赤背景はバス読み込み (デバイス出力) を示します。

多忙/準備可検査バイトデータの出力の LSB が 1 なら、プログラミング操作が未だ保留 (動作中) です。次の命令が実行される前に本ビットが 0 に戻るまで待ってください。

同じページ内で、下位バイトデータは上位バイトデータに先行して格納されなければなりません。

データがページバッファに格納された後に EEPROM ページをプログラムしてください。次ページの図 20-8 をご覧ください。

図 20-8.直列プログラミング命令例



訳補)フラッシュメモリ、EEPROM、アドレスハーフ内のアドレス位置 指定に使用されるビットは **メモリ容量とアドレス構成** に依存します。ATtiny48/88でのこれらの指定方法は次表で要約されます。

表 B. アドレス第2バイト指定法

命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュメモリ内ハイ設定	0000 0000	000L LLLL	ATtiny48/88 : L=PC4~ 0
EEPROMメモリ内ハイ設定	0000 0000	0000 00LL	ATtiny48/88 : L=EEA1~ 0
フラッシュメモリ読み出し	0000 0HHH 0000 HHHH	LLLL LLLL	ATtiny48 : H=PC10~ 8, L=PC7~ 0 ATtiny88 : H=PC11~ 8, L=PC7~ 0
EEPROM読み出し	0000 0000	00LL LLLL	ATtiny48/88 : L=EEA5~ 0
フラッシュメモリ書き込み	0000 0HHH 0000 HHHH	LLLL 0000 LLLL 0000	ATtiny48 : H=PC10~ 8, L=PC7~ 5 ATtiny88 : H=PC11~ 8, L=PC7~ 5
EEPROMハイ書き込み	0000 0000	00LL LLLL	ATtiny48/88 : L=EEA5~ 0
EEPROMアドレス書き込み	0000 0000	00LL LL00	ATtiny48/88 : L=EEA5~ 2

21. 電気的特性

21.1. 絶対最大定格 (警告)

動作温度	-55 ~ +125
保存温度	-65 ~ +150
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

21.2. DC特性

TA=-40 ~ 85 , VCC=1.8V~ 5.5V (特記事項を除く)

シンボル	項目	条件	Min	Typ	Max	単位
V _{IL}	Lowレベル入力電圧 (RESETピンを除く)	VCC=1.8~ 2.4V	-0.5		0.2VCC (注2)	V
		VCC=2.4~ 5.5V	-0.5		0.3VCC (注2)	
	Lowレベル入力電圧 (RESETピン) (注3)	VCC=1.8~ 5.5V	-0.5		0.2VCC (注2)	
V _{HI}	Highレベル入力電圧 (RESETピンを除く)	VCC=1.8~ 2.4V	0.7VCC (注4)		VCC+0.5	
		VCC=2.4~ 5.5V	0.6VCC (注4)		VCC+0.5	
	Highレベル入力電圧 (RESETピン) (注3)	VCC=1.8~ 5.5V	0.9VCC (注4)		VCC+0.5	
V _{OL}	Lowレベル出力電圧 高吸い込み I/Oピンと RESETピンを除く) (注56)	DL=10mA, VCC=5V			0.7	
		DL=5mA, VCC=3V			0.5	
		DL=2mA, VCC=1.8V			0.4	
	Lowレベル出力電圧 高吸い込み I/Oピン) (注57)	DL=20mA, VCC=5V			0.7	
		DL=10mA, VCC=3V			0.5	
		DL=4mA, VCC=1.8V			0.4	
	Lowレベル出力電圧 (I/O (PC6)としての RESETピン) (注356)	DL=2mA, VCC=5V			0.7	
		DL=1mA, VCC=3V			0.5	
		DL=0.4mA, VCC=1.8V			0.4	
V _{OH}	Highレベル出力電圧 高吐き出し I/Oピンと RESETピンを除く) (注68)	DH=-10mA, VCC=5V	4.3			
		DH=-5mA, VCC=3V	2.5			
		DH=-2mA, VCC=1.8V	1.4			
	Highレベル出力電圧 高吐き出し I/Oピン) (注78)	DH=-10mA, VCC=5V	4.3			
		DH=-5mA, VCC=3V	2.5			
		DH=-2mA, VCC=1.8V	1.4			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1 (注9)	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1 (注9)	
R _{PU}	I/Oピンプルアップ抵抗	VCC=5.5V, Low入力	20		50	k
	RESETピンプルアップ抵抗		30		60	
I _{CC}	通常動作消費電流 (注10)	VCC=2V, 1MHz		0.2	0.4	mA
		VCC=3V, 4MHz		1.4	2.5	
		VCC=5V, 8MHz		4.5	8	
	アイドル動作消費電流 (注10)	VCC=2V, 1MHz		0.03	0.1	
		VCC=3V, 4MHz		0.25	0.6	
		VCC=5V, 8MHz		1	2	
	ハワーダウン動作消費電流 (注11)	VCC=3V, WDT有効		4	10	μA
		VCC=3V, WDT禁止		<0.2	2	

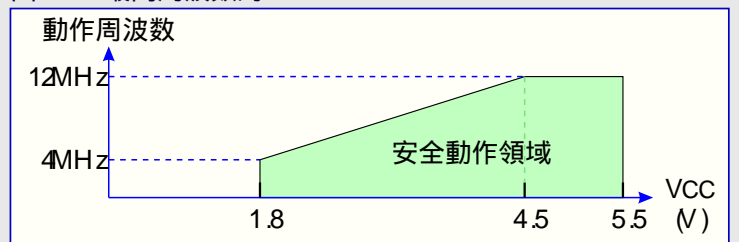
注1) 注11は次頁へ

- 注 1:**本データシートに含まれる全てのDC特性は同じ製法技術で製造された他のAVRマイクロコントローラの特性付けとシミュレーションに基づいています。これらの値は設計目標を表す暫定値で、実シリコンの特性付け後に更新されるでしょう。
- 注 2:**"Max"はLowレベルの認識が保証される最高電圧を意味します。
- 注 3:**これらのパラメータは製造で検査されていません。
- 注 4:**"Min"はHighレベルの認識が保証される最低電圧を意味します。
- 注 5:**各 I/O ポートが安定状態（非過渡時）で検査条件（VCC=5Vで 10mA、VCC=3Vで 5mA、VCC=2Vで 2mA）より先多く引き込めるとは言え、以下が厳守されなければなりません。
- ・ポート A3, Q B7~ Q C7 D7~ d に対する全 DL の合計が TBDmA を超えるべきではありません。
 - ・ポート A2, 1 C6~ Q D4~ d に対する全 DL の合計が TBDmA を超えるべきではありません。
- DL が検査条件を超える場合、VOI は関連する仕様書での値を超えるかもしれません。ピンは記載した検査条件より先大きな電流を引き込むことを保証されません。
- 注 6:**RESET ピンは高電圧 プログラミング動作に移行して操作する時に高電圧を許容しなければならず、その結果として通常の I/O ピンと比べると弱い駆動能力を持ちます。（152 頁から始まる [図 22-28 ~ 33](#) をご覧ください。）
- 注 7:**高吐き出し I/O ピンは PD0, PD1, PD2, PD3 です。
- 注 8:**各 I/O ポートが安定状態（非過渡時）で検査条件（VCC=5Vで 10mA、VCC=3Vで 5mA、VCC=2Vで 2mA）より先多く吐き出せるとは言え、以下が厳守されなければなりません。
- ・ポート A3, 2 B7~ Q C6 D7~ d に対する全 DH の合計が TBDmA を超えるべきではありません。
 - ・ポート A1, Q C7, 5~ d に対する全 DH の合計が TBDmA を超えるべきではありません。
- DH が検査条件を超える場合、VOH は関連する仕様書での値を超えるかもしれません。ピンは記載した検査条件より先大きな電流を吐き出すことを保証されません。
- 注 9:**これらは検査環境の漏れ電流に対する評価の検査限界です。実際のデバイスの漏れ電流はより少量です。
- 注 10:**全周辺機能部 OFF (PRR=0) での測定です。
- 注 11:**低電圧検出 (BOD 禁止) での測定です。

21.3. 速度勾配

最高周波数は VCC に依存します。[図 21-1](#)で示されるように最高周波数対動作電圧曲線は 1.8~ 4.5V 間で直線です。

図 21-1. 最高周波数対 VCC



21.4. クロック特性

21.4.1 校正付き内蔵発振器精度

工場既定校正より高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は 158頁の図 22-45と図 22-46で得られます。

表 21-1 校正付き内蔵発振器の校正精度

校正種別	周波数	VCC	温度	校正精度 (注 1)
工場校正	8.0MHz	3V	25	± 10%
使用者校正	7.3~ 8.1MHz内の固定周波数	1.8~ 5.5V内の固定電圧	-40~ 85 内の固定温度	± 1%

注 1:校正点での発振器周波数精度 (固定温度と固定電圧)

21.4.2 外部 クロック特性

図 21-2 外部 クロック駆動波形



表 21-2 外部 クロック特性

シンボル	項目	VCC=1.8~ 5.5V		VCC=2.7~ 5.5V		VCC=4.5~ 5.5V		単位
		Min	Max	Min	Max	Min	Max	
1/ tLCL	クロック周波数	0	2	0	6	0	12	MHz
tLCL	クロック周期	500		166		83		ns
tHCX	Highレベル時間	240		80		40		
tLCX	Lowレベル時間	240		80		40		
tLCH	上昇時間		2.0		1.6		0.5	μs
tHCL	下降時間		2.0		1.6		0.5	
tLCL	隣接 クロック サイクル間の変化率		2		2		2	%

注 :詳細については 19頁の 外部 クロック信号」を参照してください。

21.5. システムとリセットの特性

表 21-3. リセット 低電圧検出 (BOD) 内部基準電圧の特性

シンボル	項目	条件	Min	Typ	Max	単位
V _{POT}	上昇時電源ONリセット閾値電圧	TA=-40~ 85		1.5		V
	下降時電源ONリセット閾値電圧 (注 1)			1.2		
V _{RST}	RESETピン閾値電圧		0.2VCC		0.9VCC	V
t _{RST}	RESETピンでの最小パルス幅	VCC=1.8V	2			μs
		VCC=3V	0.7			
		VCC=5V	0.4			
V _{HYST}	低電圧検出 (BOD) ヒステリシス電圧			50		mV
t _{BOD}	最小低電圧検出 (BOD) 時間			2		μs
V _{BG}	基準電圧	VCC=5V TA=25	1.0	1.1	1.2	V
t _{BG}	起動時間			40	70	μs
I _{BG}	消費電流			15		μA

注 1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

注: 値は指針の意味だけで、実際の値はTBDです。

表 21-4. BODLEVELヒューズ (VBOT) 設定 (注 1)

BODLEVEL2~ 0	Min	Typ	Max	単位
1 1 1	低電圧検出 (BOD) リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 x x	(予約)			

注 1: いくつかのデバイスでVBOTが公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=VBOTに落として検査されます。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出 (BOD) リセットが起きることを保証します。

21.6. アナログ比較器特性

表 21-5. アナログ比較器特性 (TA=-40 ~ 85)

シンボル	項目	条件	Min	Typ	Max	単位
V _{AD}	入力変位 (オフセット電圧)	VCC=5V, V _{in} =VCC/2		<10	40	mV
I _{LAC}	入力漏れ電流	VCC=5V, V _{in} =VCC/2	-50		50	nA
t _{APD}	アナログ伝播遅延 (飽和から僅かな過駆動へ)	VCC=2.7V		750		ns
		VCC=4.0V		500		
	アナログ伝播遅延 (大きな段階変化)	VCC=2.7V		100		
		VCC=4.0V		75		
t _{DPD}	デジタル伝播遅延	VCC=1.8~ 5.5V		1	2	clk _{I/O}

注: 全てのパラメータはシミュレーション結果に基づいており、製造に於いて検査されません。

21.7. A/D変換器特性 (暫定)

表 21-6. A/D変換特性 (TA=-40~ 85)

シンボル	項目	条件		Min	Typ	Max	単位
	分解能					10	ビット
	絶対精度 積分性非直線誤差、 微分性非直線誤差、 量子化誤差、利得誤差、 オフセット誤差を含む)	VCC=4V VREF=4V	変換 クロック=200kHz		2		LSB
			変換 クロック=1MHz		3		
			変換 クロック=200kHz 雑音低減動作		1.5		
			変換 クロック=1MHz 雑音低減動作		2.5		
			積分性非直線誤差		1		
	微分性非直線誤差	VCC=4V、 VREF=4V			0.5		
	利得誤差	変換 クロック=200kHz			2.5		
	オフセットエラー誤差				1.5		
	変換時間	連続変換動作		13		260	μ s
	変換 クロック周波数			0.05		1	MHz
AVCC	アナログ供給電圧			VCC -0.3		VCC+0.3	V
VREF	基準電圧			V NT		AVCC	
V N	入力電圧			GND		VREF	
	入力周波数帯域				38.5		kHz
V NT	内蔵基準電圧			1.0	1.1	1.2	V
RREF	基準電圧入力 インピーダンス				32		k
RAN	アナログ入力 インピーダンス				100		M

注 :絶対最小 /最大 AVCCは 1.8/5.5Vです。

注 :値は暫定です。

21.8. 2線直列 インターフェース特性

表 21-7は 2線直列バスに接続した装置に対する必要条件を記述します。ATtiny48/88の 2線直列 インターフェースは記載条件下でこれらの必要条件を越えるか、または合致します。

図 21-3. 2線直列バス タイミング

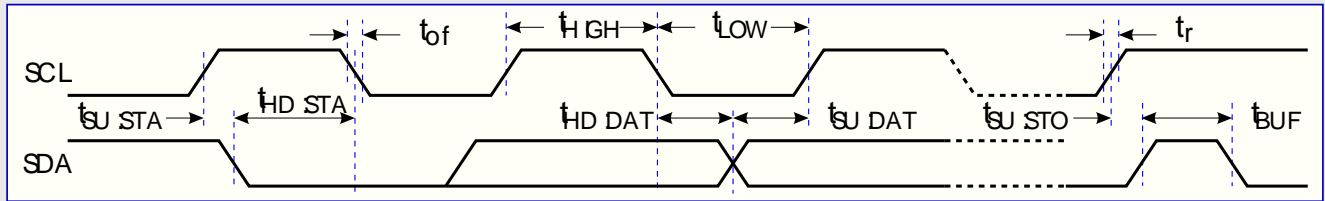


表 21-7. 2線直列 インターフェース必要条件

シンボル	項目	条件	Min	Max	単位
V_{IL}	Lowレベル入力電圧		-0.5	0.3VCC	V
V_H	Highレベル入力電圧		0.7VCC	VCC+0.5	
V_{hys}	シュミットトリガ入力ヒステリシス電圧		0.05VCC		
V_{OL}	Lowレベル出力電圧	$I_{OL}=3mA$	0	0.4	ns
t_r	出力上昇時間 (V_{Lmin} ~ V_{Hmax})		$20+0.1C_b$	300	
t_{of}	出力下降時間 (V_{Hmin} ~ V_{Lmax})	$10pF < C_b < 400pF$	$20+0.1C_b$	250	
t_{sp}	入力パルス最小幅 (尖頭消去濾波)		0	50	μA
I_i	入力電流 (ピン単位)	$0.1VCC < V_i < 0.9VCC$	-10	10	
C_i	ピン入力容量			10	
f_{SCL}	SCLクロック周波数	$f_{CK} > \max(16f_{SCL}, 250kHz)$	0	400	kHz
R_p	プルアップ抵抗値	$f_{SCL} = 100kHz$	$(VCC - 0.4V) / 3mA$	$1000ns/C_b$	
		$f_{SCL} > 100kHz$	$(VCC - 0.4V) / 3mA$	$300ns/C_b$	
$t_{HD STA}$	再送 開始条件保持時間	$f_{SCL} = 100kHz$	4.0		μs
		$f_{SCL} > 100kHz$	0.6		
t_{LOW}	SCLクロックLowレベル時間	$f_{SCL} = 100kHz$	4.7		
		$f_{SCL} > 100kHz$	1.3		μs
t_{HIGH}	SCLクロックHighレベル時間	$f_{SCL} = 100kHz$	4.0		
		$f_{SCL} > 100kHz$	0.6		
$t_{SU STA}$	再送開始条件セットアップ時間	$f_{SCL} = 100kHz$	4.7		ns
		$f_{SCL} > 100kHz$	0.6		
$t_{HD DAT}$	データ保持時間	$f_{SCL} = 100kHz$	0	3.45	
		$f_{SCL} > 100kHz$	0	0.9	μs
$t_{SU DAT}$	データセットアップ時間	$f_{SCL} = 100kHz$	250		
		$f_{SCL} > 100kHz$	100		
$t_{SU STO}$	停止条件セットアップ時間	$f_{SCL} = 100kHz$	4.0		μs
		$f_{SCL} > 100kHz$	0.6		
t_{BUF}	停止条件 開始条件間バス開放時間	$f_{SCL} = 100kHz$	4.7		
		$f_{SCL} > 100kHz$	1.3		

ATtiny48/88で、この項目は特性が記載されていますが、100%検査はされていません。

$f_{SCL} > 100kHz$ についてのみ必要とされます。

C_b は1つのバス信号線の容量 (pF)です。

f_{CK} はCPUシステムクロック周波数です。

この必要条件はATtiny48/88の全ての2線直列インターフェース動作に適用します。2線直列バスに接続した他の装置は一般的な f_{SCL} 必要条件に従うことだけを必要とします。

ATtiny48/88の2線直列インターフェースによって生成した実際のLow区間は $(1/f_{SCL} - 2/f_{CK})$ で、従ってLow時間の必要条件に対して $f_{SCL}=100kHz$ で厳密に満たされるには f_{CK} が概ね 8MHz以上でなければなりません。

ATtiny48/88の2線直列インターフェースによって生成した実際のLow区間は $(1/f_{SCL} - 2/f_{CK})$ で、従って $f_{CK}=8MHz$ 時、厳密には $f_{SCL}>308kHz$ でLow時間の必要条件が満たされません。それにも拘らず、バスに接続された tiny48/88装置は相応な Low許容余地のある他の装置だけでなく他のATtiny48/88装置と最高速 (400kHz)で通信できるでしょう。

21.9. SP タイミング特性

図 21-4. SPI タイミング必要条件 (主装置動作)

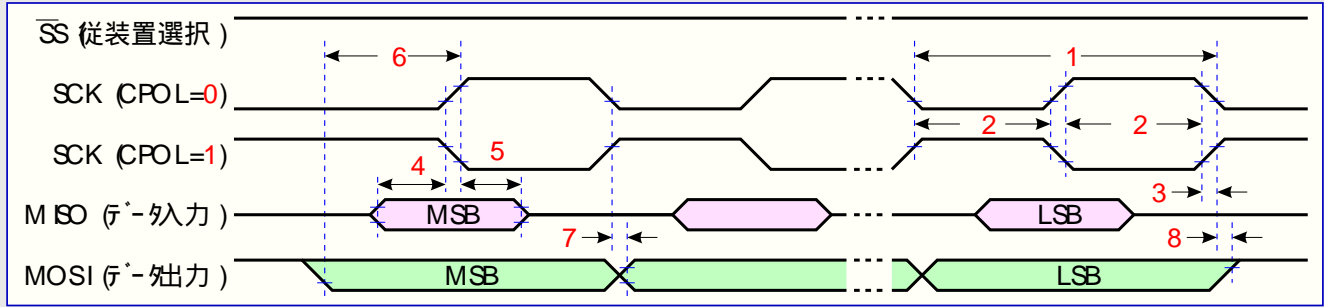


図 21-5. SPI タイミング必要条件 (従装置動作)

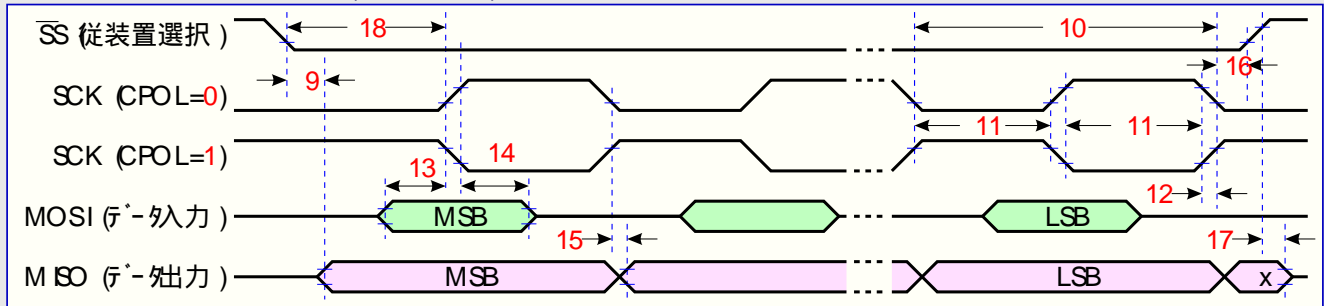


表 21-8. SPI タイミング特性

番号	項目	動作種別	Min	Typ	Max	単位
1	SCK 周期	主装置		表 14-5 参照		ns
2	SCK High/Low 期間	主装置		50% $\bar{t}_{\text{H}}-\bar{t}_{\text{L}}$ 比		
3	SCK 上昇/下降時間	主装置		3.6		
4	入力データセットアップ時間	主装置		10		
5	入力データ保持時間	主装置		10		
6	出力から SCK 変移時間	主装置		0.5 t_{CK}		
7	SCK からの出力遅延時間	主装置		10		
8	SCK からの High 出力時間	主装置		10		
9	SS からの出力遅延時間	従装置		15		μs
10	SCK 周期	従装置	4 t_{CK}			
11	SCK High/Low 期間 (注)	従装置	2 t_{CK}			ns
12	SCK 上昇/下降時間	従装置			1.6	
13	入力データセットアップ時間	従装置	10			
14	入力データ保持時間	従装置	t_{CK}			
15	SCK からの出力遅延時間	従装置		15		
16	SCK からの SS 遅延時間	従装置	20			
17	SS からの出力 High 遅延時間	従装置		10		
18	SS からの SCK 遅延時間	従装置	20			

注：SPI プログラミングでの最小 SCK High/Low 期間は、2 t_{LCL} ($t_{\text{CK}} < 12\text{MHz}$) 3 t_{LCL} ($t_{\text{CK}} \geq 12\text{MHz}$) です。

21.10 並列プログラミング特性

図 21-6 並列プログラミング タイミング (一般的な必要条件)

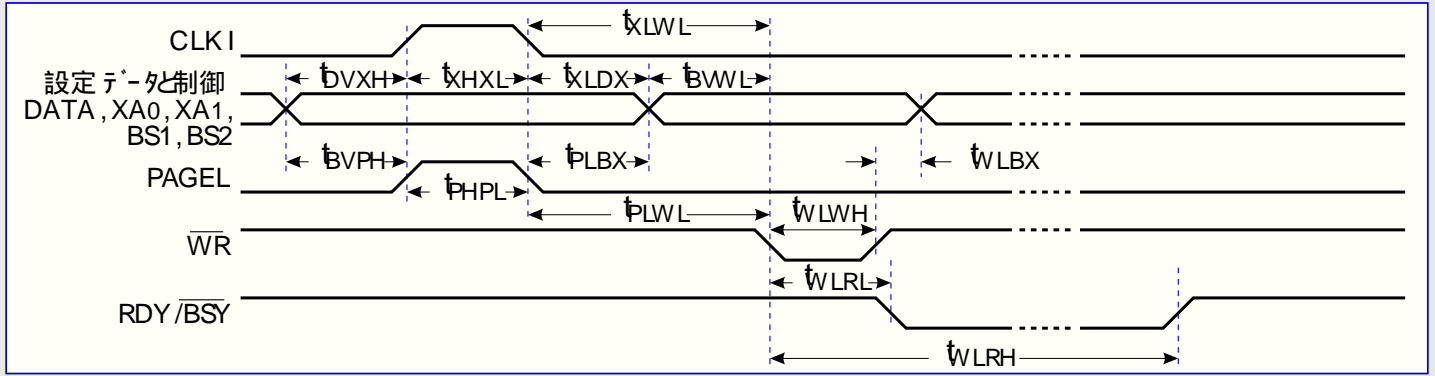
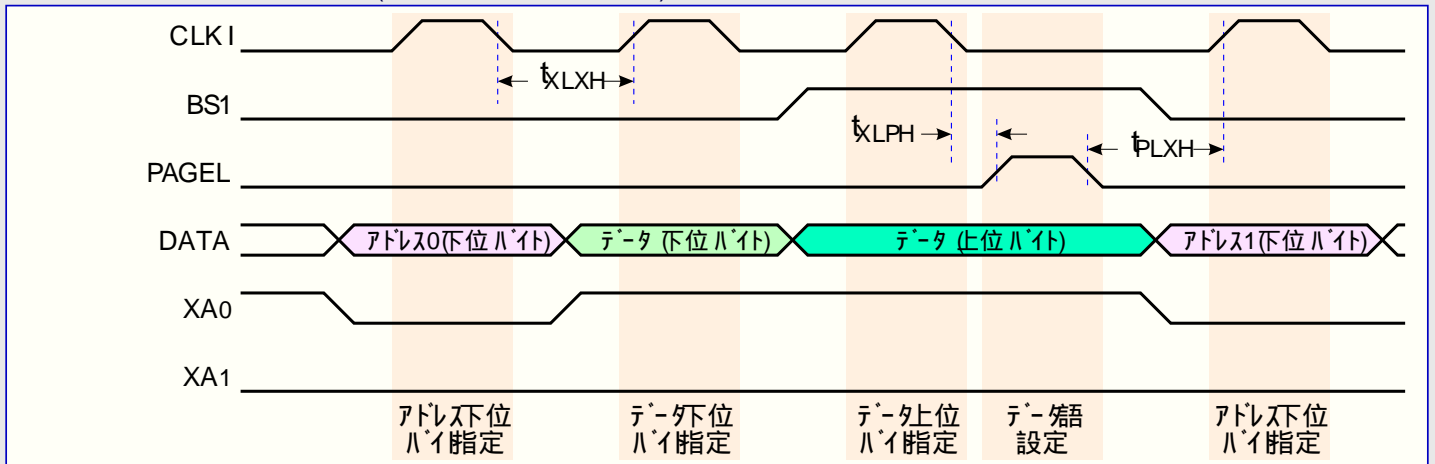
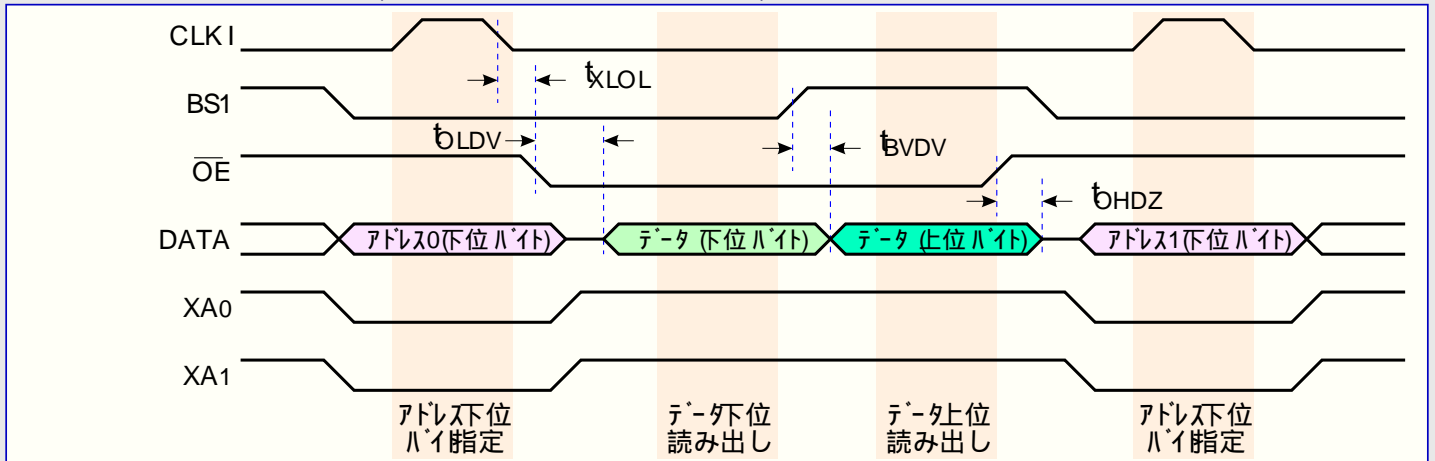


図 21-7 並列プログラミング タイミング (ページ設定での必要条件)



注: 図 21-6 で示されるタイミング必要条件 (即ち、 t_{DVXH} , t_{HXHL} , t_{LDX}) は設定操作にも適用されます。

図 21-8 並列プログラミング タイミング (同一ページ読み出しでの必要条件)



注: 図 21-6 で示されるタイミング必要条件 (即ち、 t_{DVXH} , t_{HXHL} , t_{LDX}) は読み出し操作にも適用されます。

表 21-9. 並列プログラミング特性 (TA=25℃, VCC=5V±10%)

シンボル	項目	Min	Typ	Max	単位
V _{PP}	プログラミング許可電圧	11.5		12.5	V
I _{PP}	プログラミング許可電流			250	μA
t _{VX} H	CLKI ₁ に対するデータ制御のセットアップ時間	67			ns
t _{LX} H	CLKI ₁ から次 CLKI ₁ までの待機時間	200			
t _{HXL}	CLKI ₁ Highパルス幅	150			
t _{LX} D	CLKI ₁ パルス 後のデータ制御の保持時間	67			
t _{LWL}	CLKI ₁ パルス 後のWR ₁ 待機時間	0			
t _{LPH}	CLKI ₁ パルス 後のPAGELパルス 待機時間	0			
t _{PLX} H	PAGELパルス 後のCLKI ₁ パルス 待機時間	150			
t _{BPH}	PAGELパルス に対するBS1セットアップ時間	67			
t _{PHL}	PAGEL Highパルス幅	150			
t _{LBX}	PAGELパルス 後のBS1保持時間	67			
t _{WLBX}	WRパルス 後のBS1/BS2保持時間	67			
t _{PLWL}	PAGELパルス 後のWRパルス 待機時間	67			
t _{BWL}	WRパルス に対するBS1セットアップ時間	67			
t _{WLWH}	WR Lowパルス幅	150			
t _{WLRL}	WRパルス 後のRDY/BSY ₁ 遅延時間	0		1	μs
t _{WLRH}	書き込み時間 (WR からRDY/BSY ₁)	3.7		4.5	ms
t _{WLRH_CE}	チップ消去時間 (WR からRDY/BSY ₁)	7.5		9	
t _{LCL}	CLKI ₁ パルス 後のOE 待機時間	0			ns
t _{BVDV}	BS1有効からのDATA遅延時間	0		250	
t _{LDV}	OE 後のDATA出力遅延時間			250	
t _{HDZ}	OE 後のDATAフローティング遅延時間			250	

注 1: フラッシュメモリ、EEPROM、ヒューズビット、ロックビット書き込み指令に対して有効です。

注 2: チップ消去指令に対して有効です。

21.11 直列フロッグリング特性

図 21-9. 直列フロッグリング タイミング

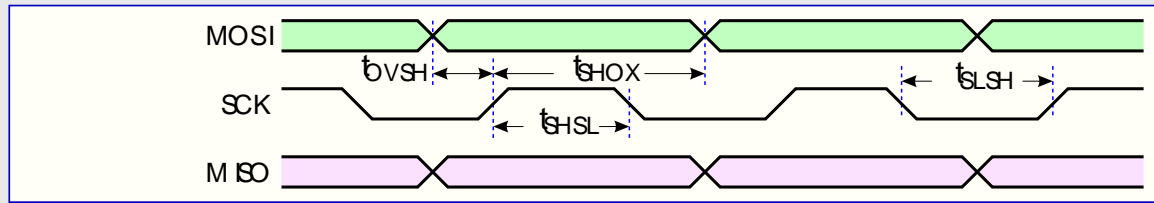


図 21-10. 直列フロッグリング ハイ通信波形

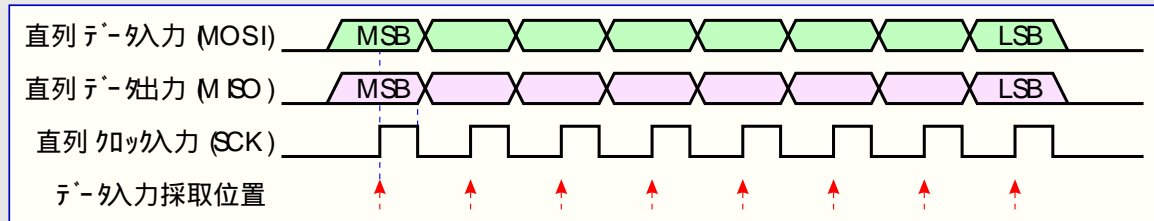


表 21-10. 直列フロッグリング特性 (別記を除いて、 $T_A = -40 \sim 85$, $V_{CC} = 1.8 \sim 5.5V$)

シンボル	項目	Min	Typ	Max	単位
$1/t_{LCL}$	発振器周波数	2.7~ 4.5V	0	6	MHz
		4.5~ 5.5V	0	12	
t_{LCL}	発振器周期	2.7~ 4.5V	166		ns
		4.5~ 5.5V	83		
t_{HSL}	SCKパルスレベル幅	$2 t_{LCL}$			
t_{LSH}	SCKパルスレベル幅	$2 t_{LCL}$			
t_{VSH}	SCK に対するMOSセットアップ時間	t_{LCL}			
t_{HOX}	SCK に対するMOS保持時間	$2 t_{LCL}$			

22. 代表特性

本項内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全 I/O ピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使用されています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/O ピンの負荷、I/O ピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は (一つのピンに対して) CL 負荷容量 \times V_{CC} 動作電圧 $\times f_{SW}$ (I/O ピンの平均切り替え周波数) として推測できます。

データは検査範囲より高い周波数特性を示します。データは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ消費した差電流を表します。

22.1 標準動作消費電流

図 22-1 標準動作消費電流 対 周波数 (100kHz~ 1MHz)

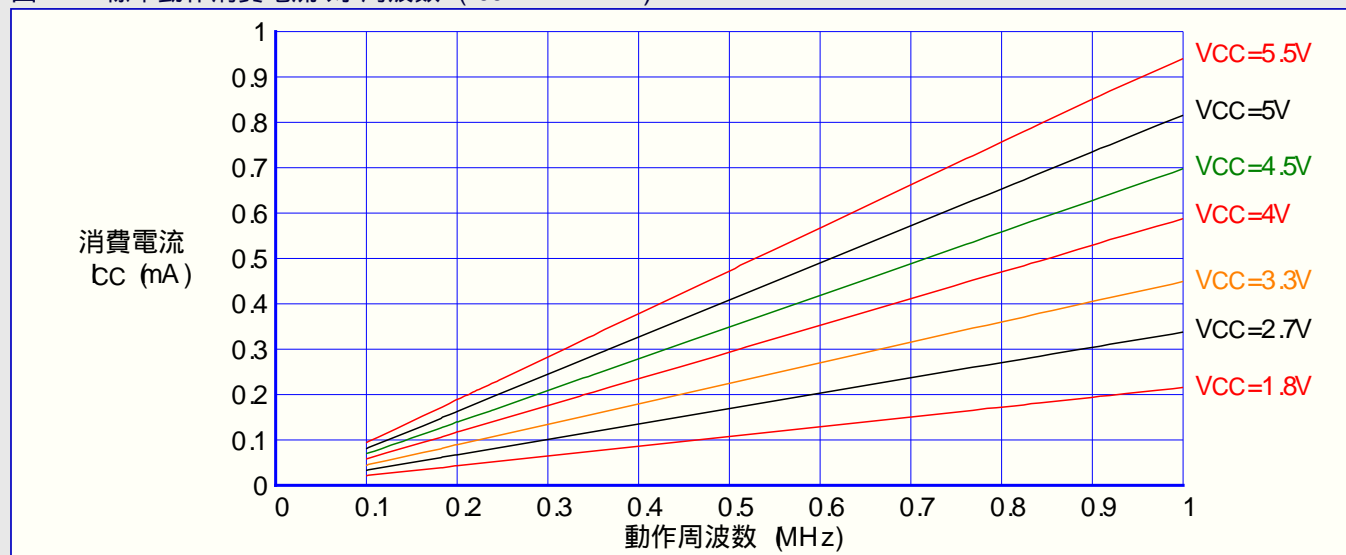


図 22-2 標準動作消費電流 対 周波数 (1MHz~ 12MHz)

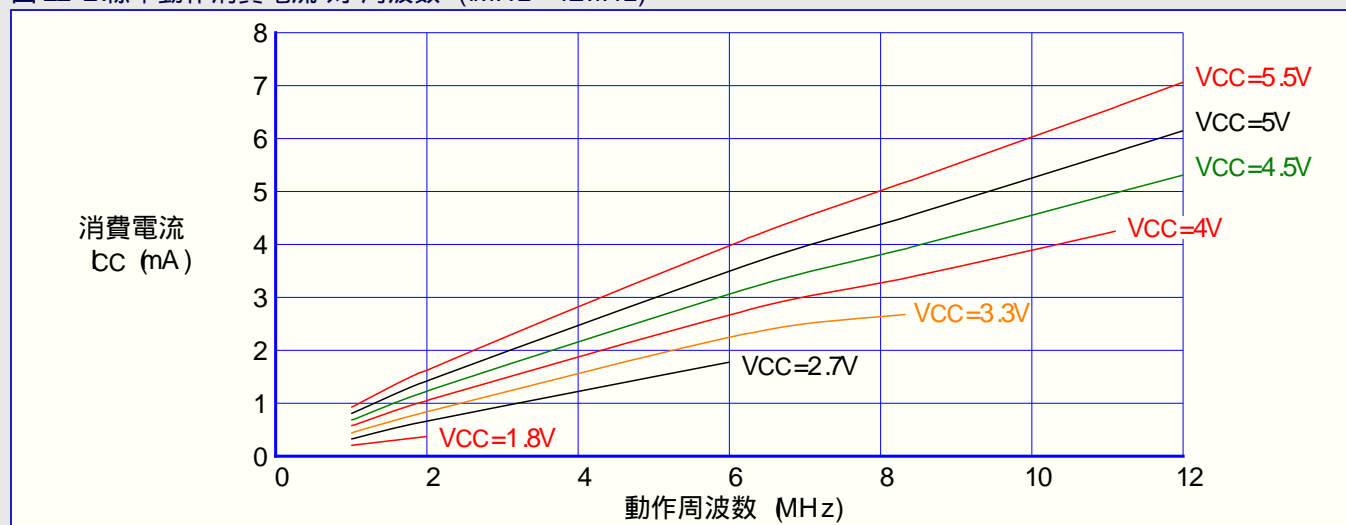


図 22-3 標準動作消費電流 対 動作電圧 (内蔵発振器, 8MHz)

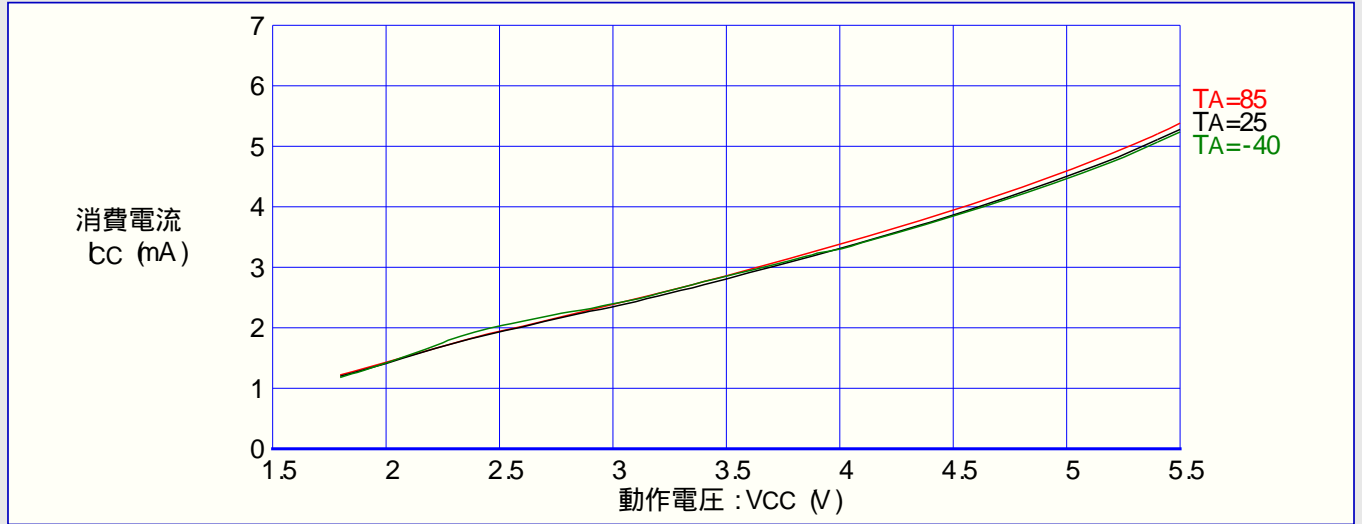


図 22-4 標準動作消費電流 対 動作電圧 (内蔵発振器, 1MHz)

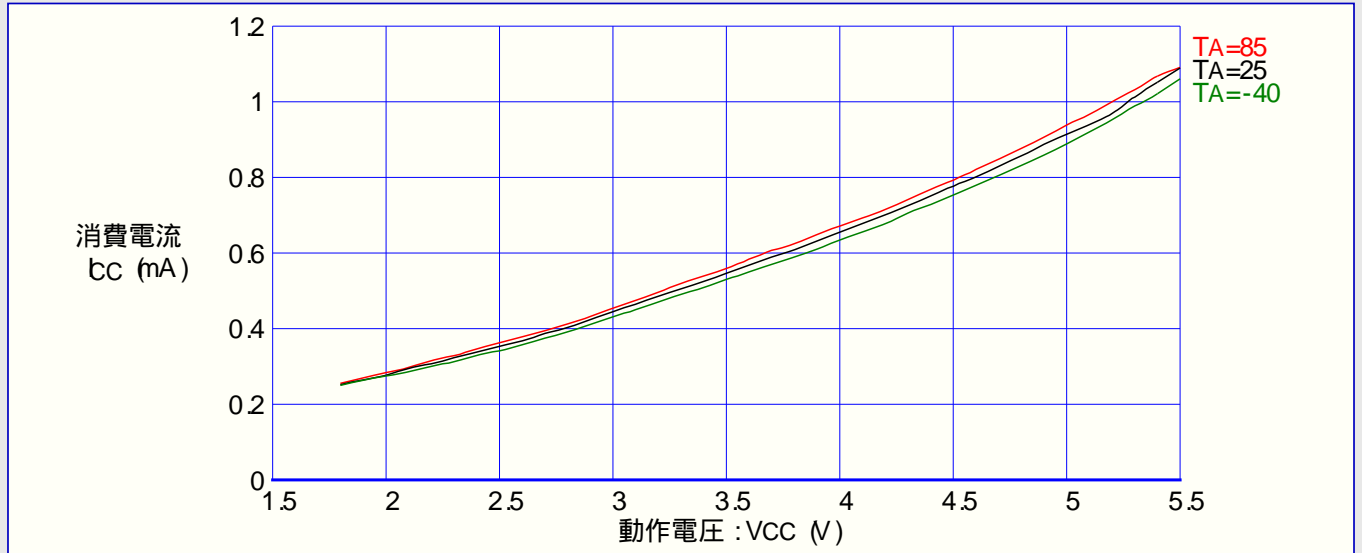
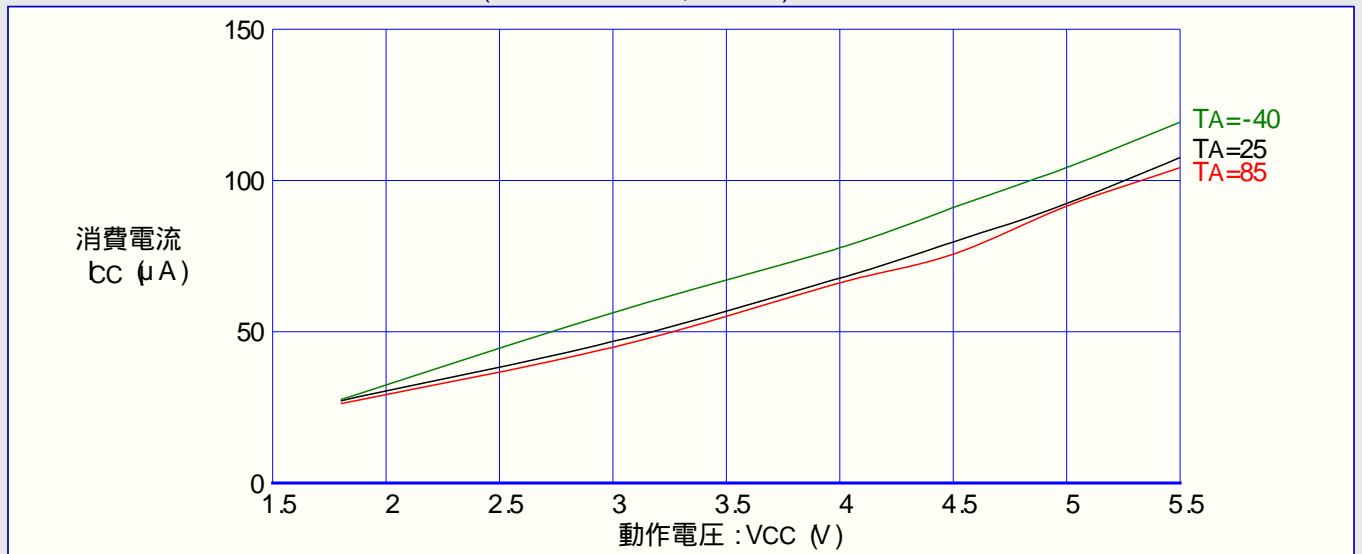


図 22-5 標準動作消費電流 対 動作電圧 (内蔵WDT発振器, 128kHz)



22.2. アイドル動作消費電流

図 22-6. アイドル動作消費電流 対 周波数 (100kHz~ 1MHz)

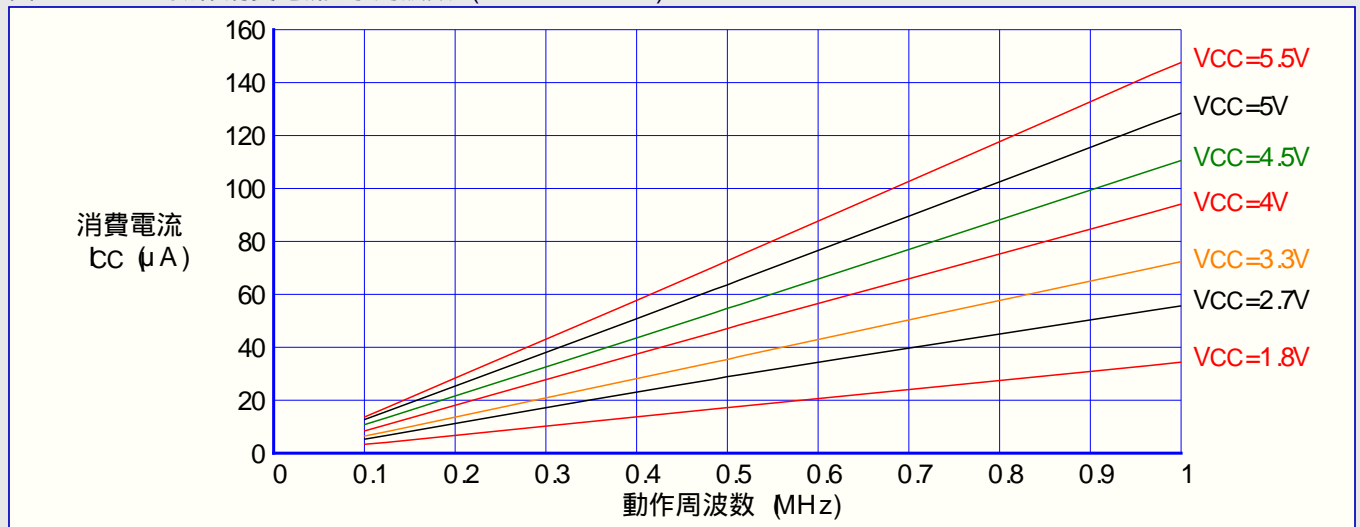


図 22-7. アイドル動作消費電流 対 周波数 (1MHz~ 12MHz)

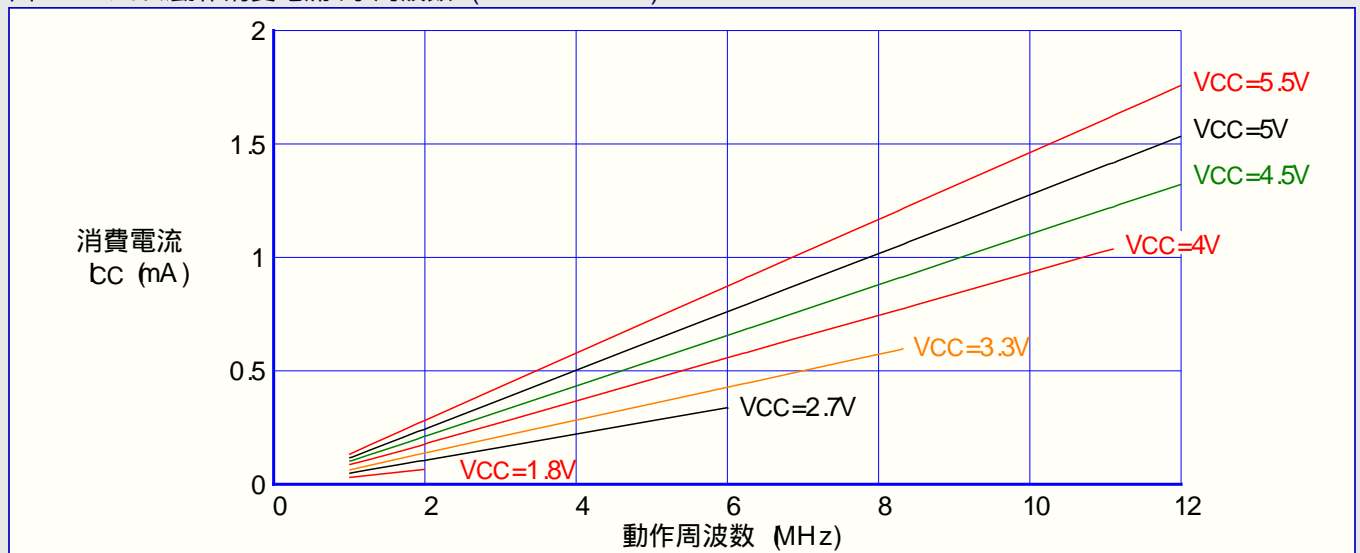


図 22-8. アイドル動作消費電流 対 動作電圧 内蔵発振器, 8MHz

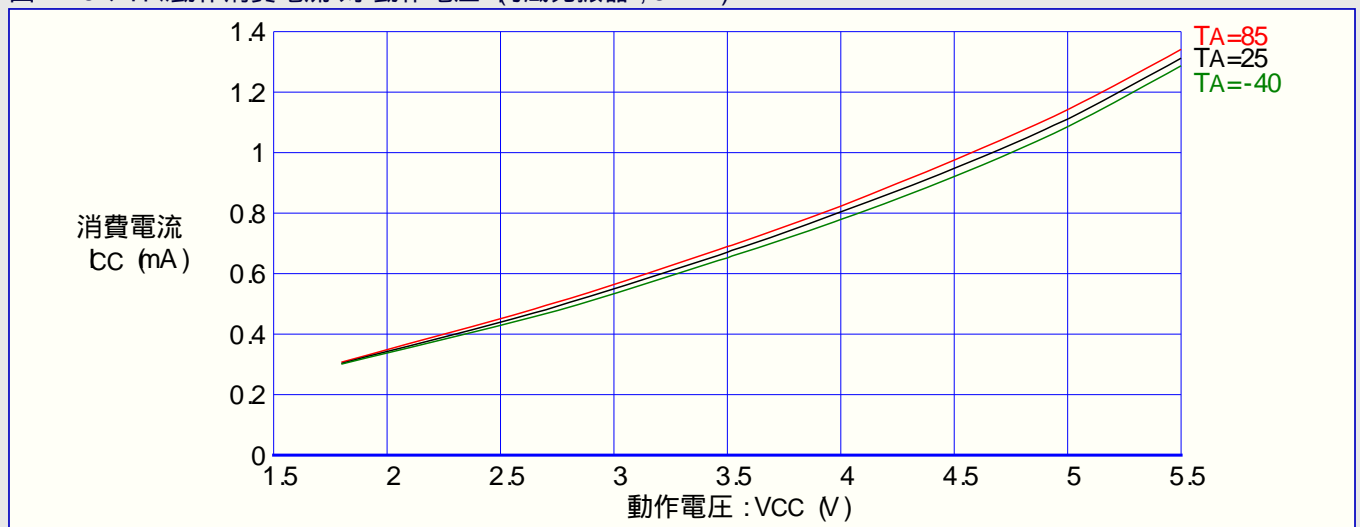


図 22-9.アイドル動作消費電流 対 動作電圧 内蔵発振器, 1MHz

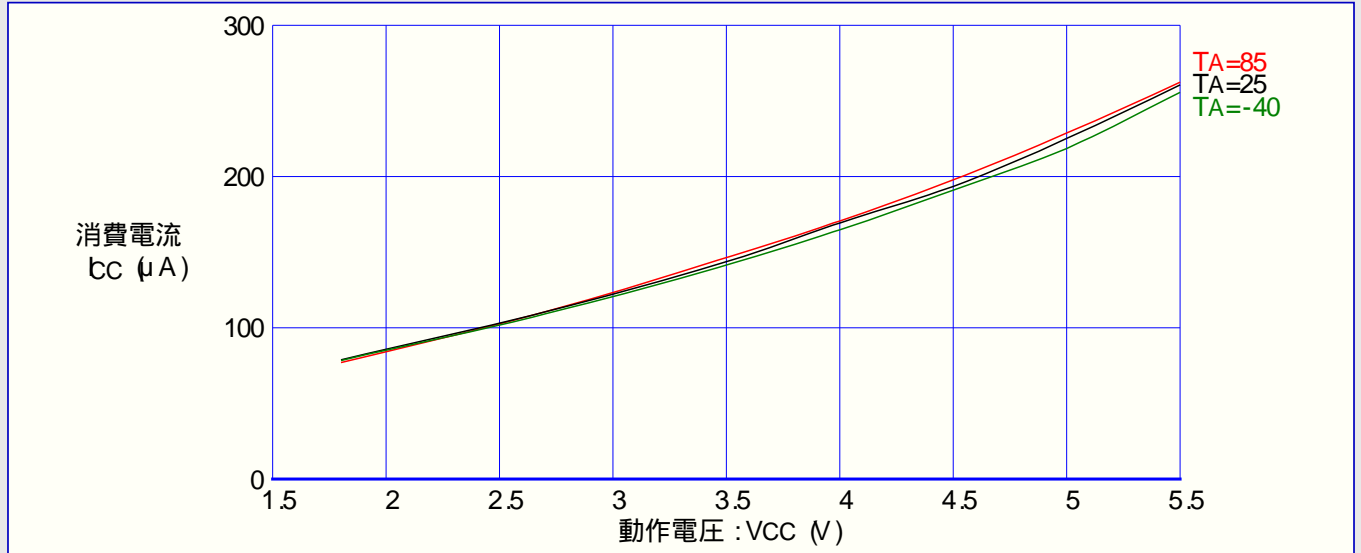
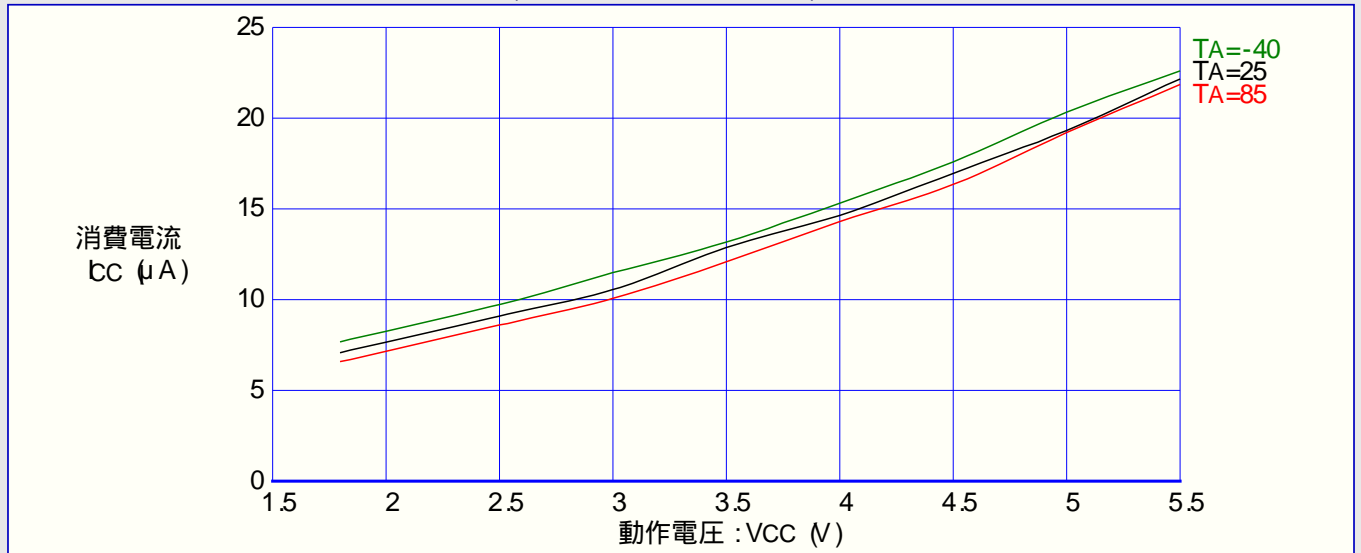


図 22-10.アイドル動作消費電流 対 動作電圧 内蔵WDT発振器, 128kHz



22.3.ハワ-タ-ン動作消費電流

図 22-11.ハワ-タ-ン動作消費電流 対 動作電圧 (ウォッチドック タイマ 禁止)

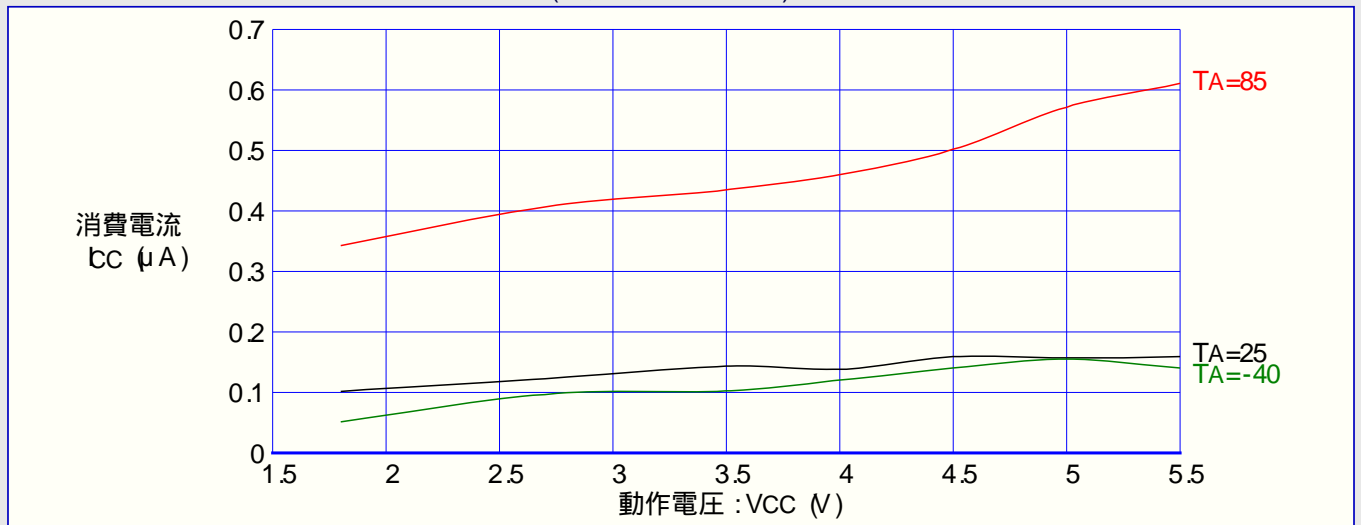
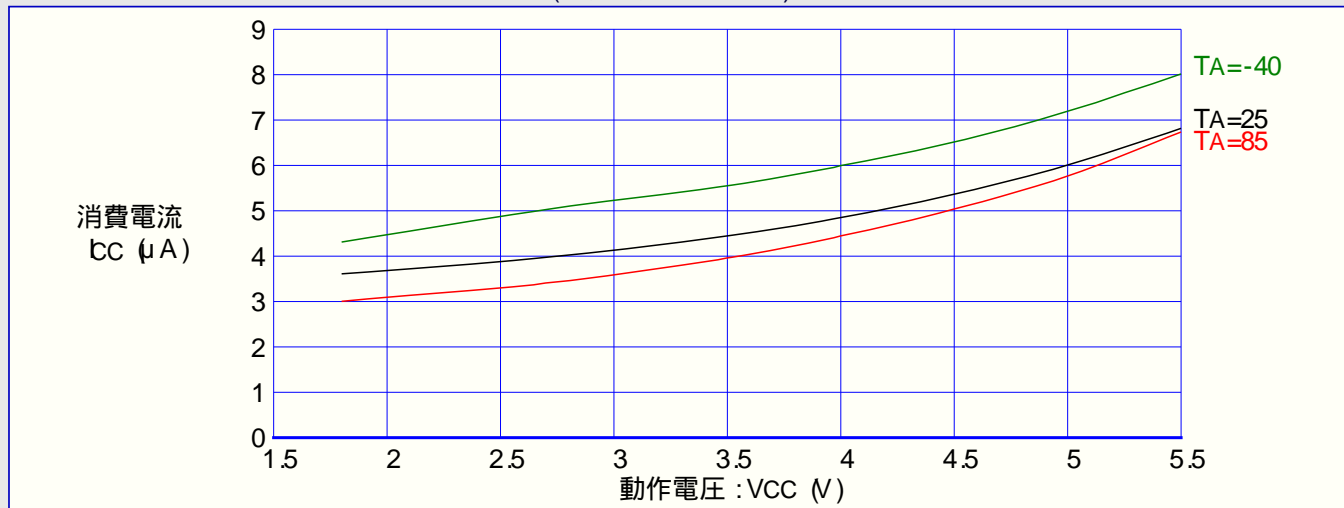


図 22-12. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグタイマ許可)



22.4. ピンプルアップ

図 22-13. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

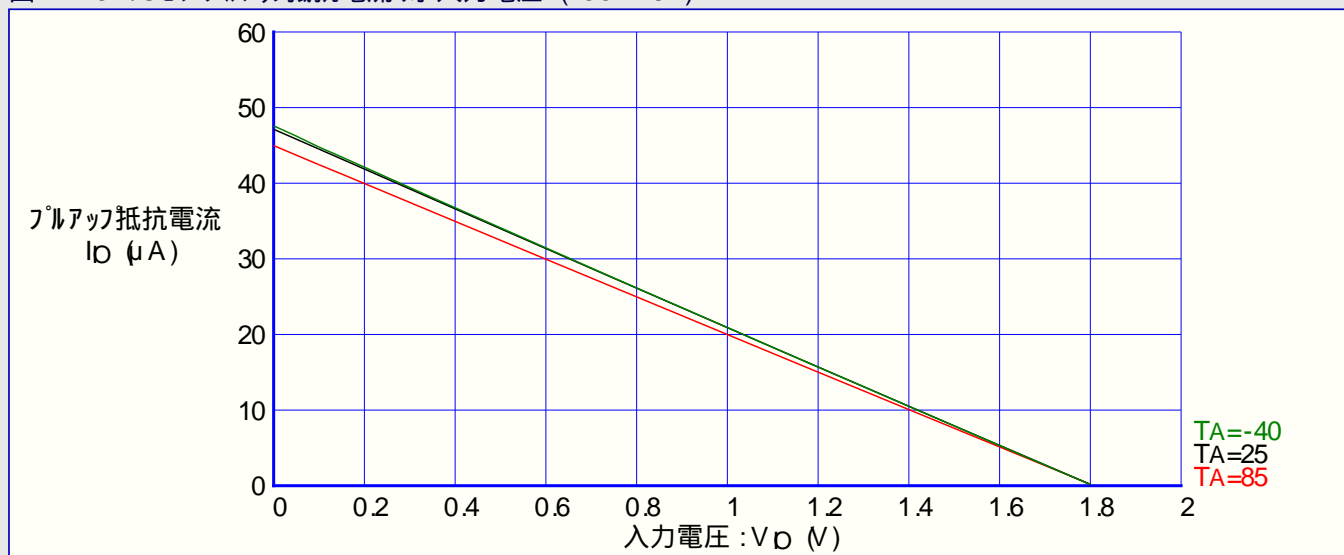


図 22-14. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

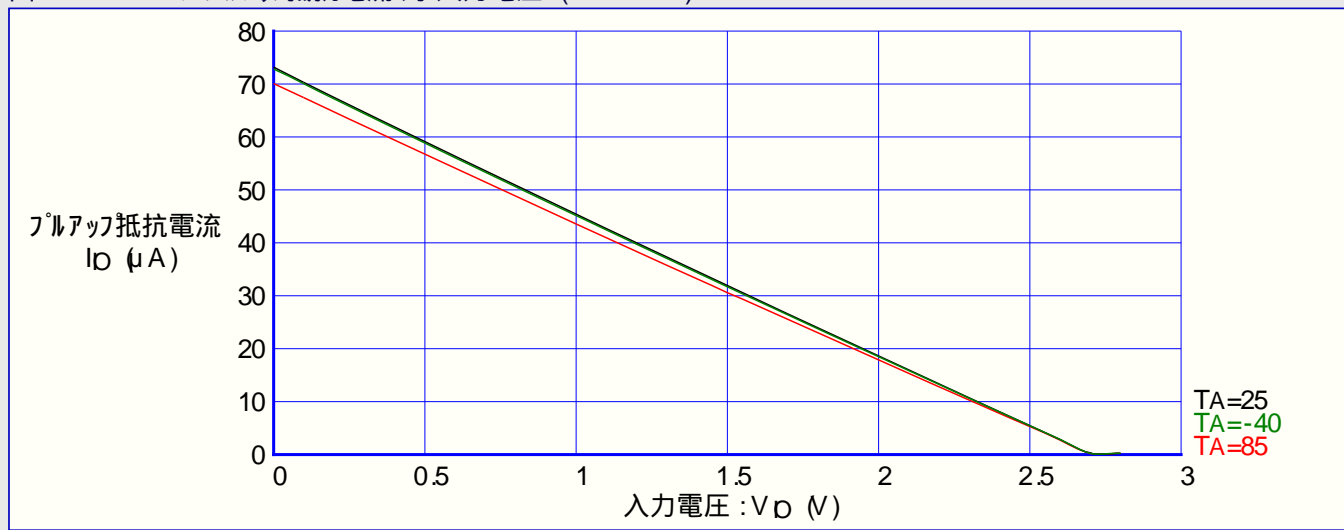


図 22-15. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

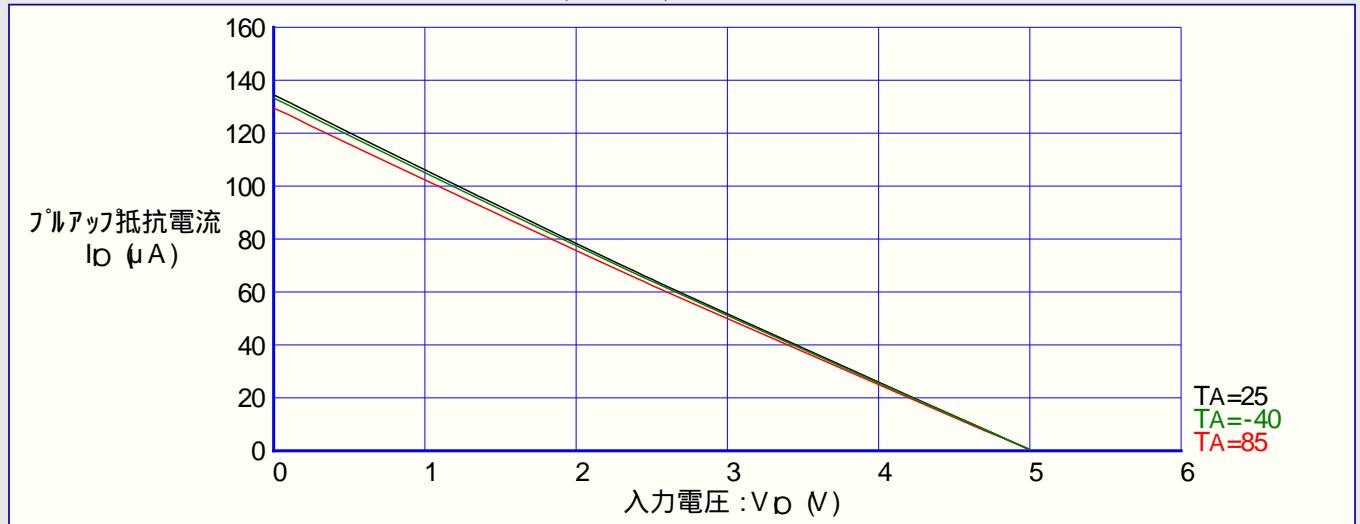


図 22-16. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

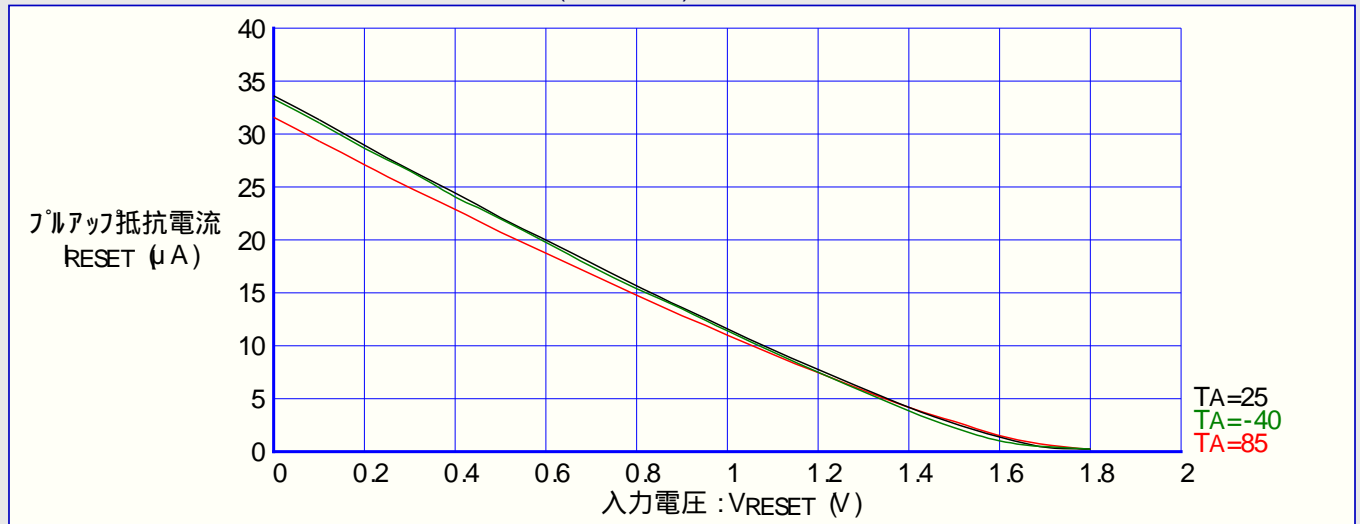


図 22-17. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

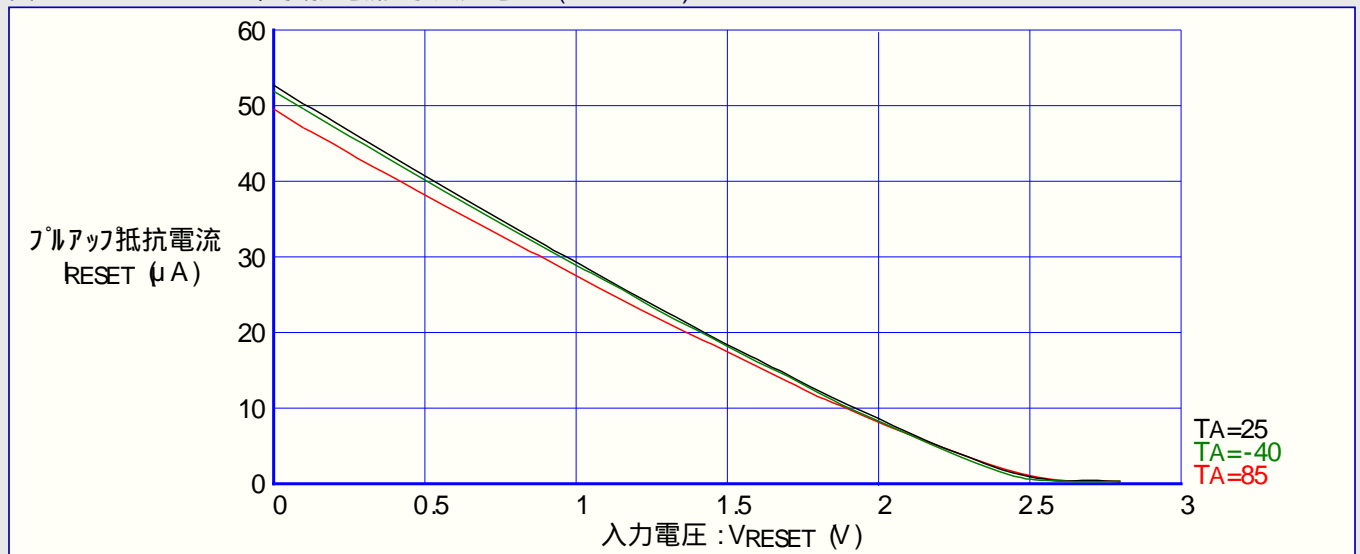


図 22-18. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)

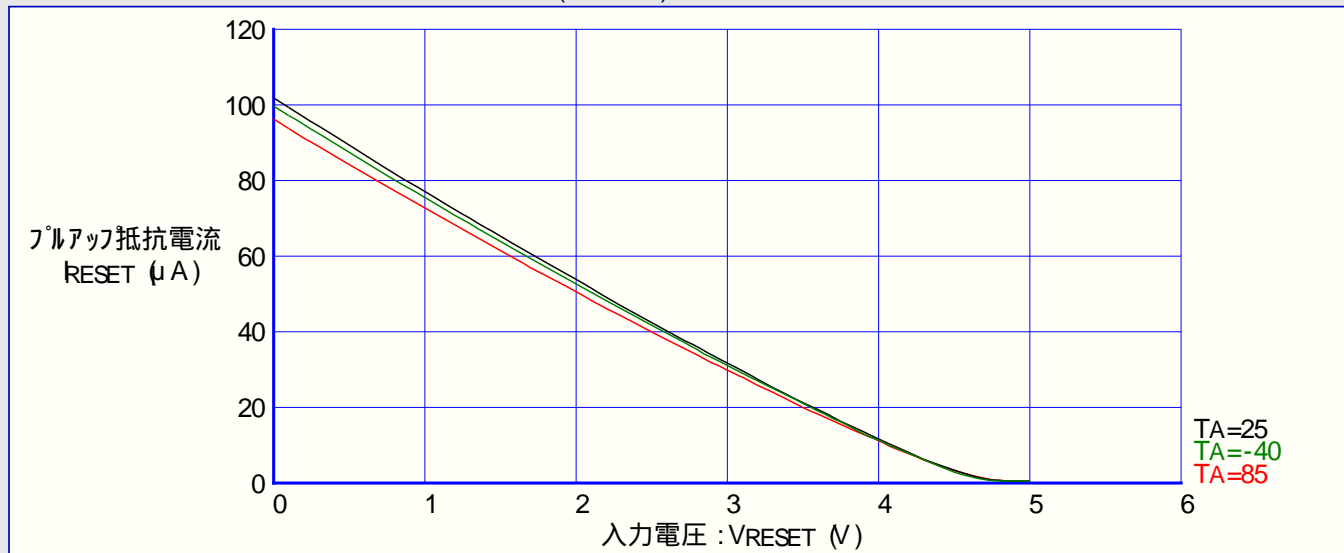
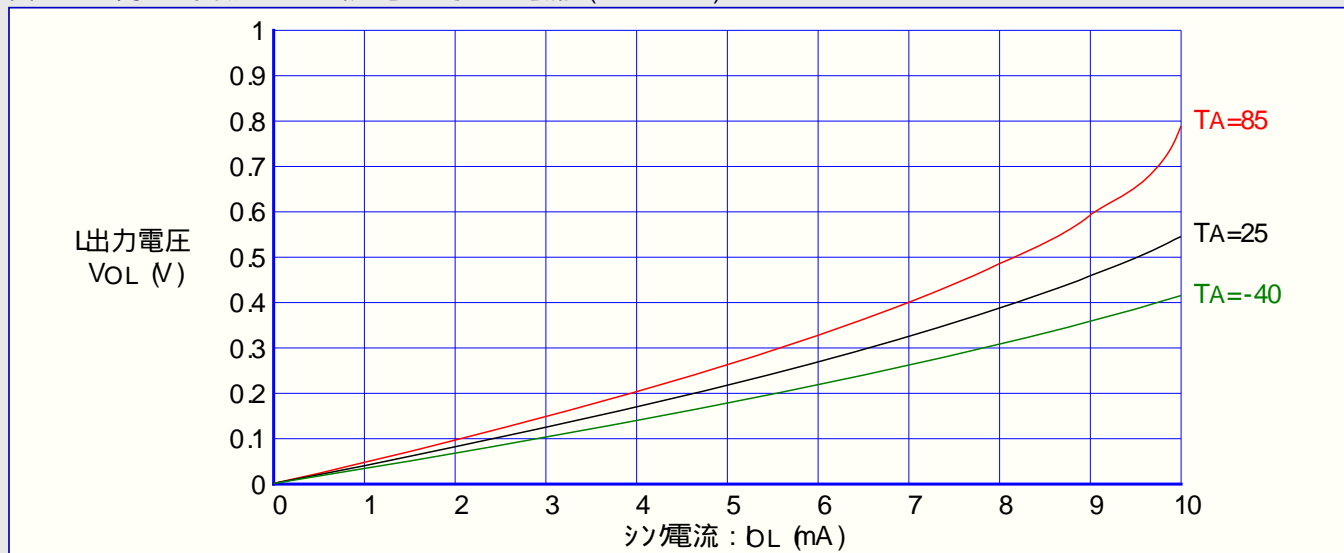
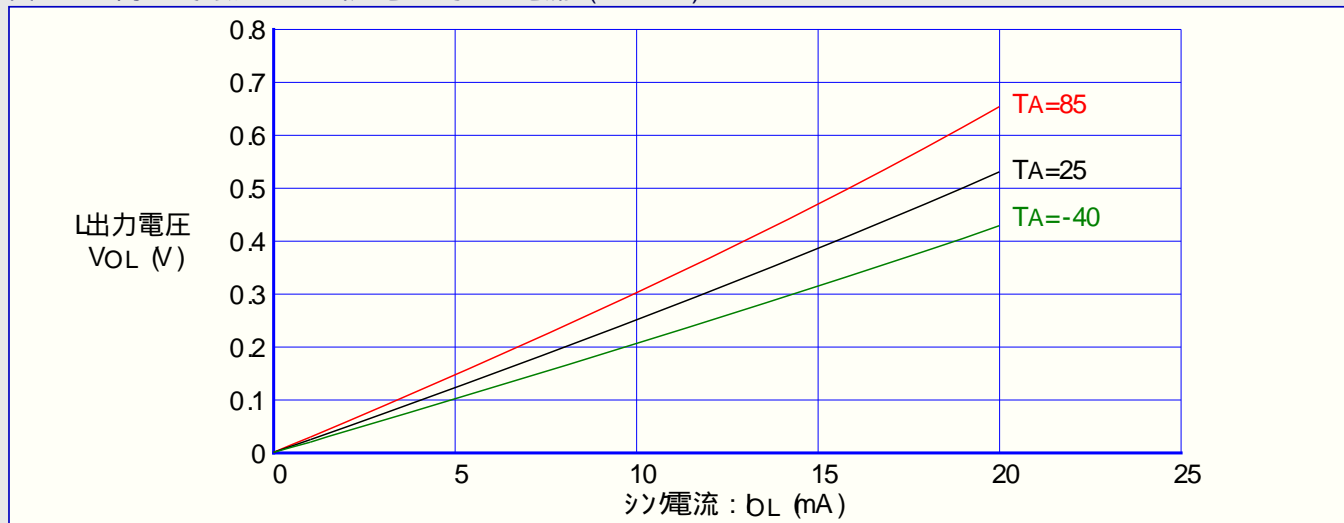
22.5. I^2C 駆動能力図 22-19. 高 I^2C 駆動 I/Oレゾ出力電圧 対 シン電流 (VCC=1.8V)図 22-20. 高 I^2C 駆動 I/Oレゾ出力電圧 対 シン電流 (VCC=3V)

図 22-21 高シフト駆動 I/Oポート出力電圧 対 シフト電流 (VCC=5V)

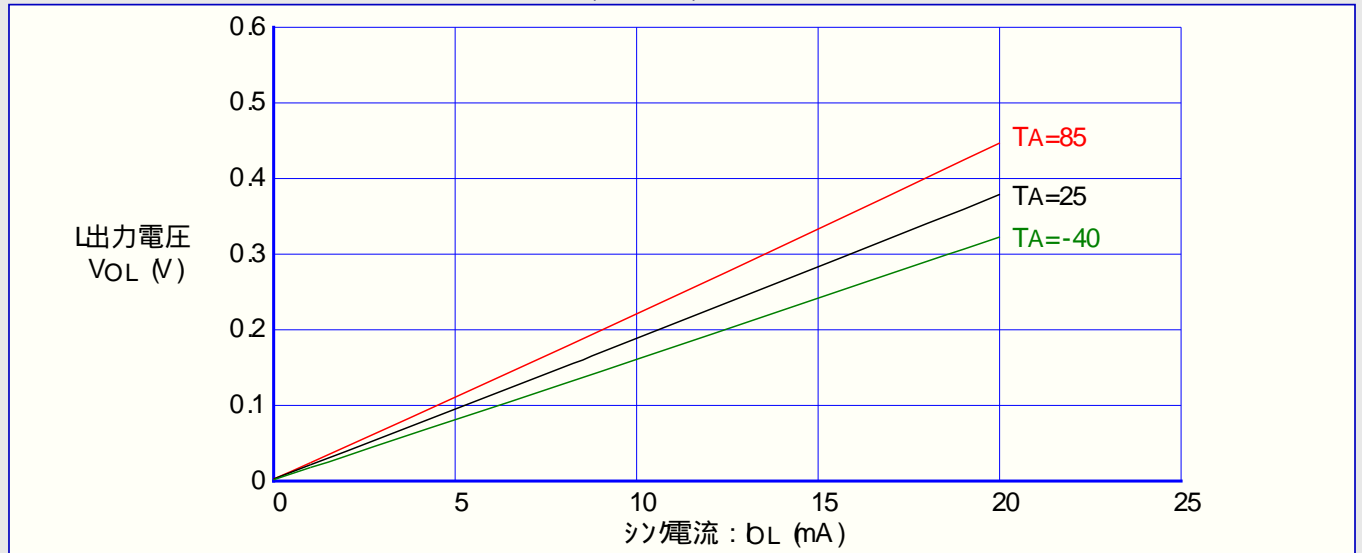


図 22-22 標準 I/Oポート出力電圧 対 シフト電流 (VCC=1.8V)

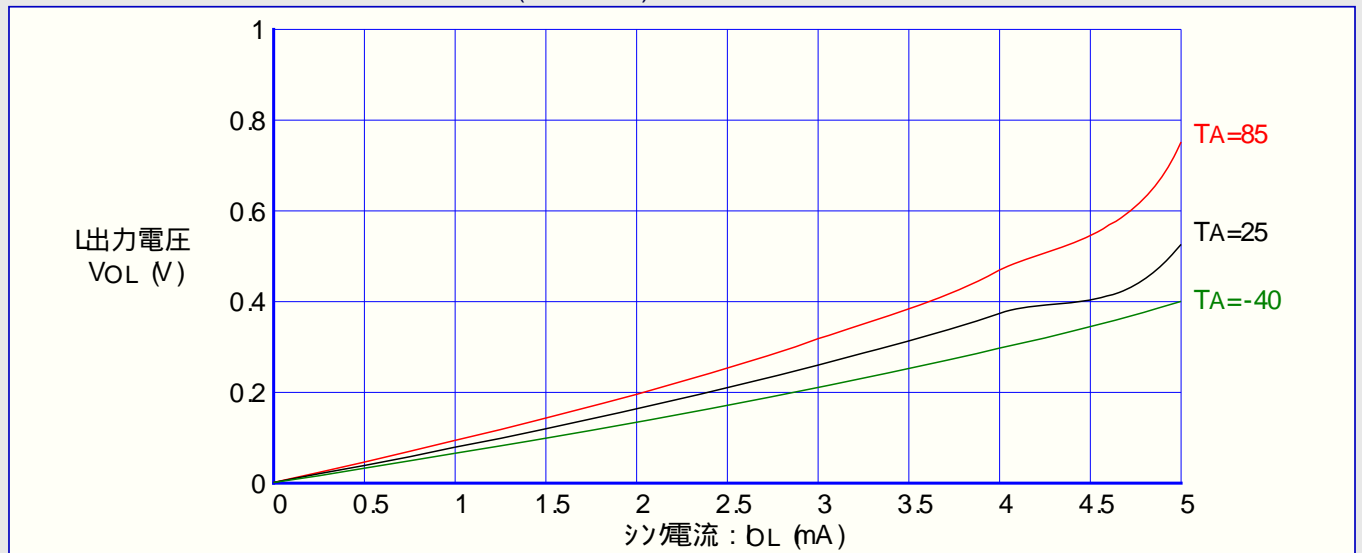


図 22-23 標準 I/Oポート出力電圧 対 シフト電流 (VCC=3V)

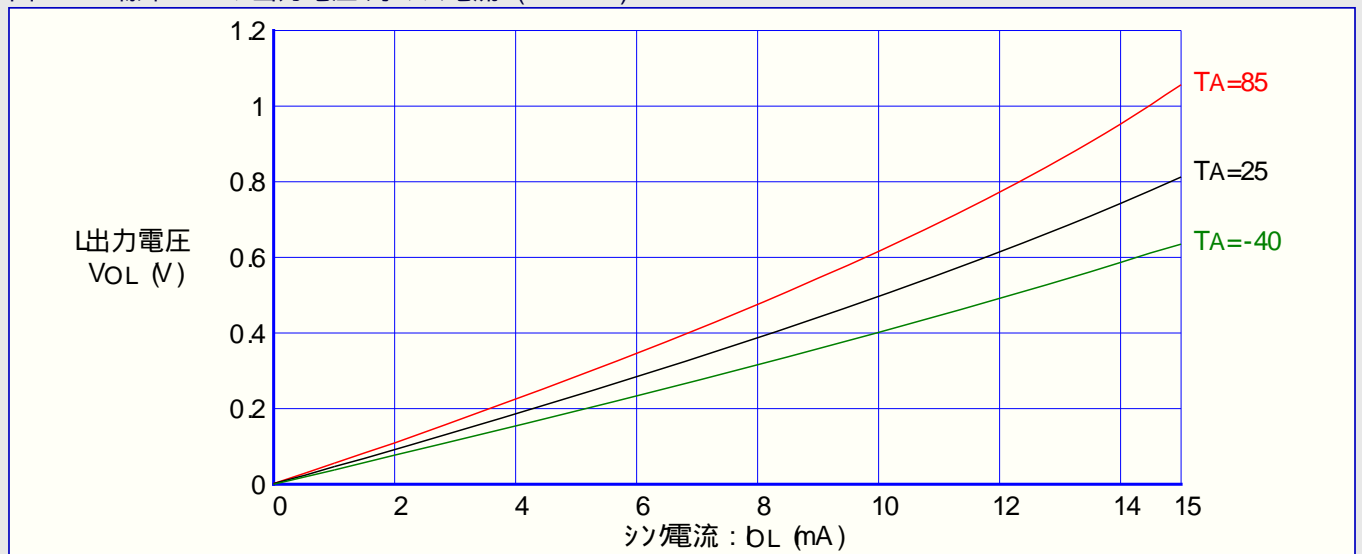


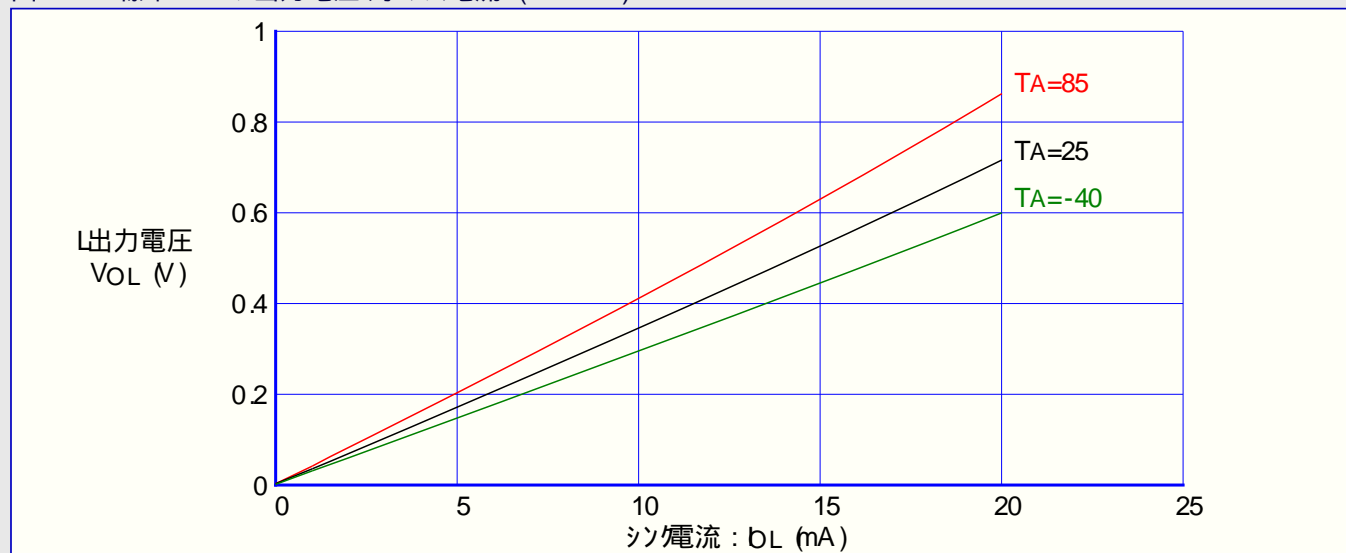
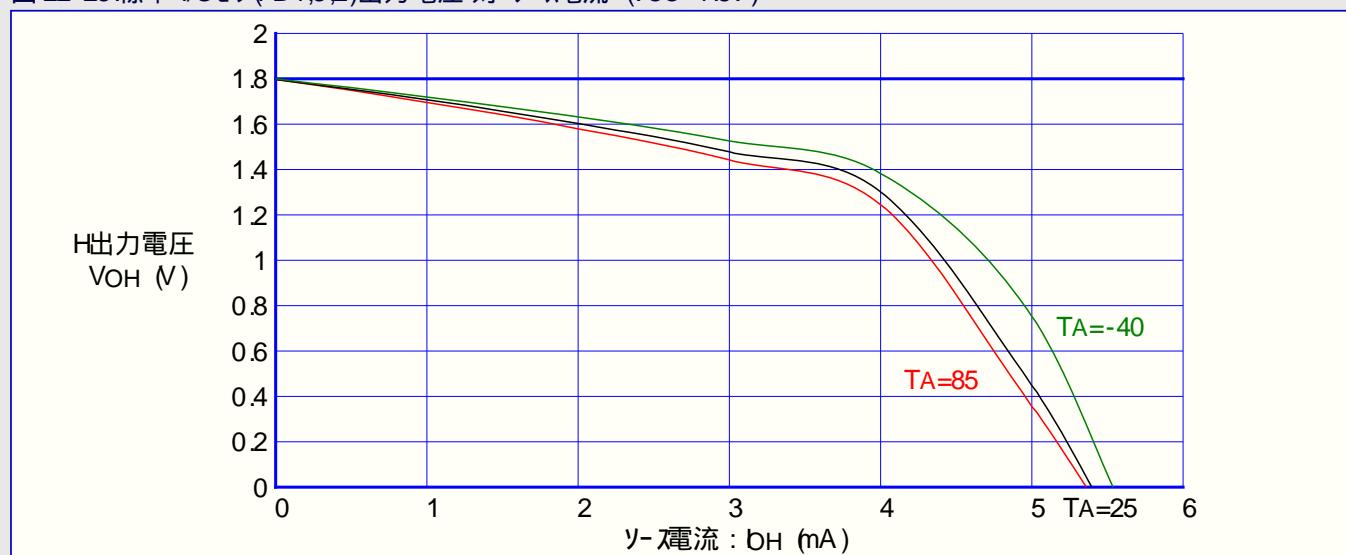
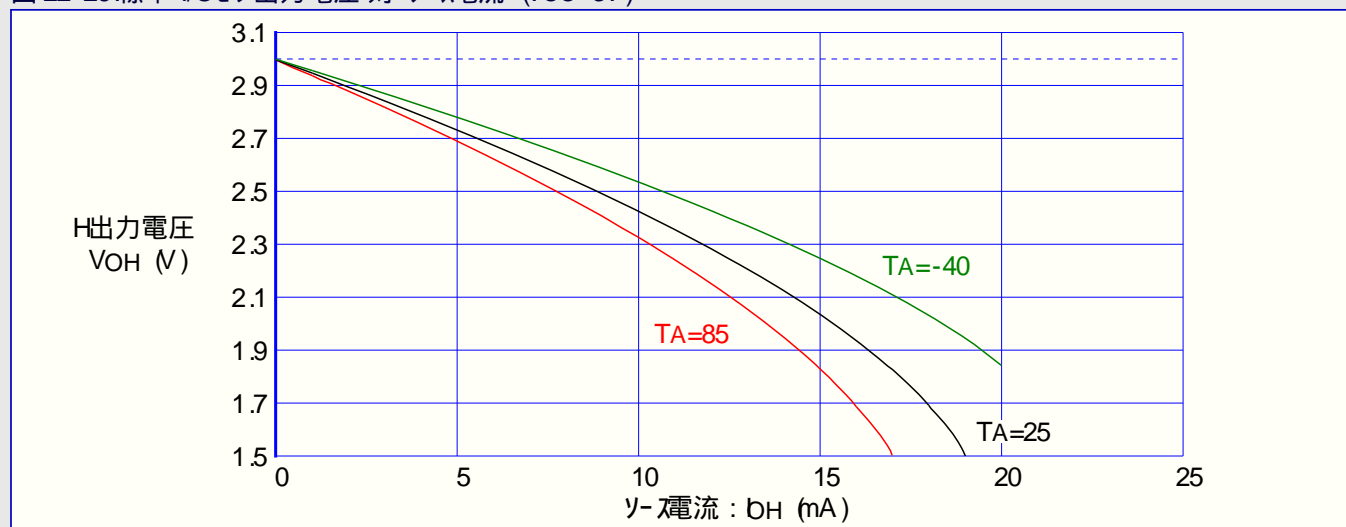
図 22-24 標準 I/Oピン出力電圧 対 シン電流 ($V_{CC}=5V$)図 22-25 標準 I/Oピン(PB4,3,2)出力電圧 対 ソース電流 ($V_{CC}=1.8V$)図 22-26 標準 I/Oピン出力電圧 対 ソース電流 ($V_{CC}=3V$)

図 22-27 標準 I/Oピン出力電圧 対 ソース電流 (VCC=5V)

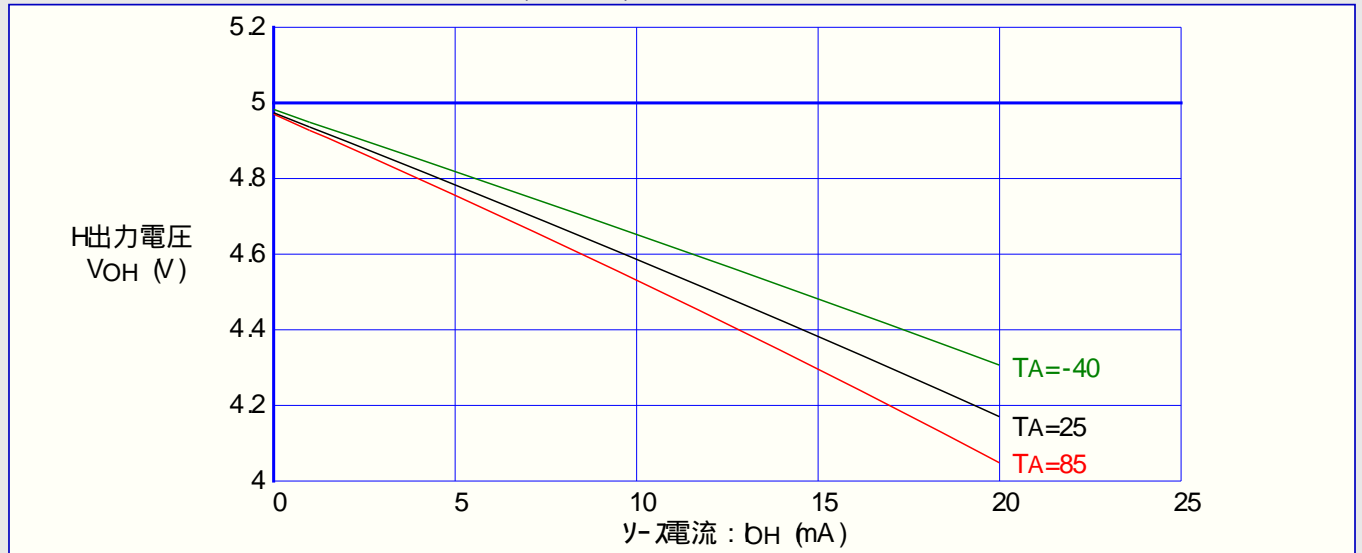


図 22-28. I/Oとしての RESETピン出力電圧 対 シンク電流 (VCC=1.8V)

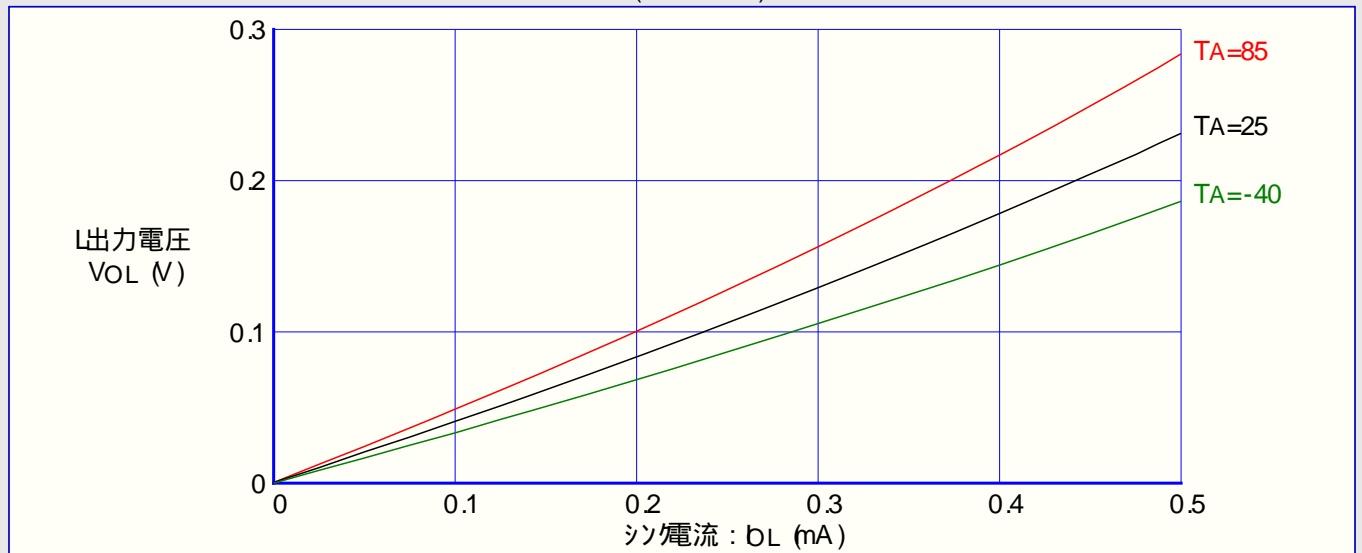


図 22-29. I/Oとしての RESETピン出力電圧 対 シンク電流 (VCC=3V)

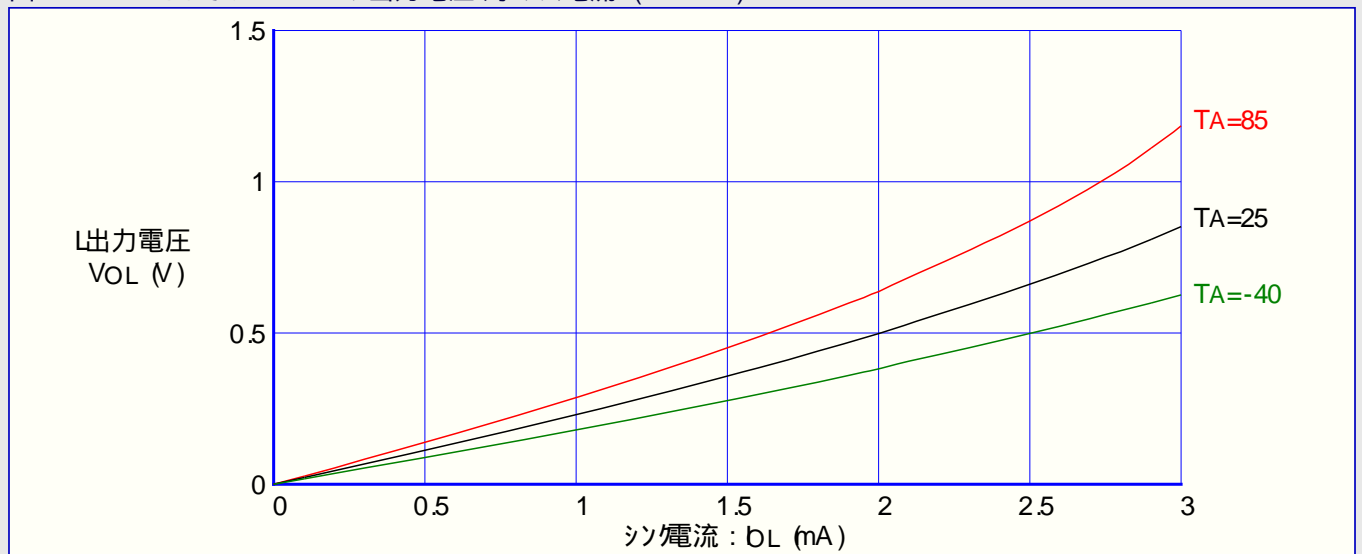


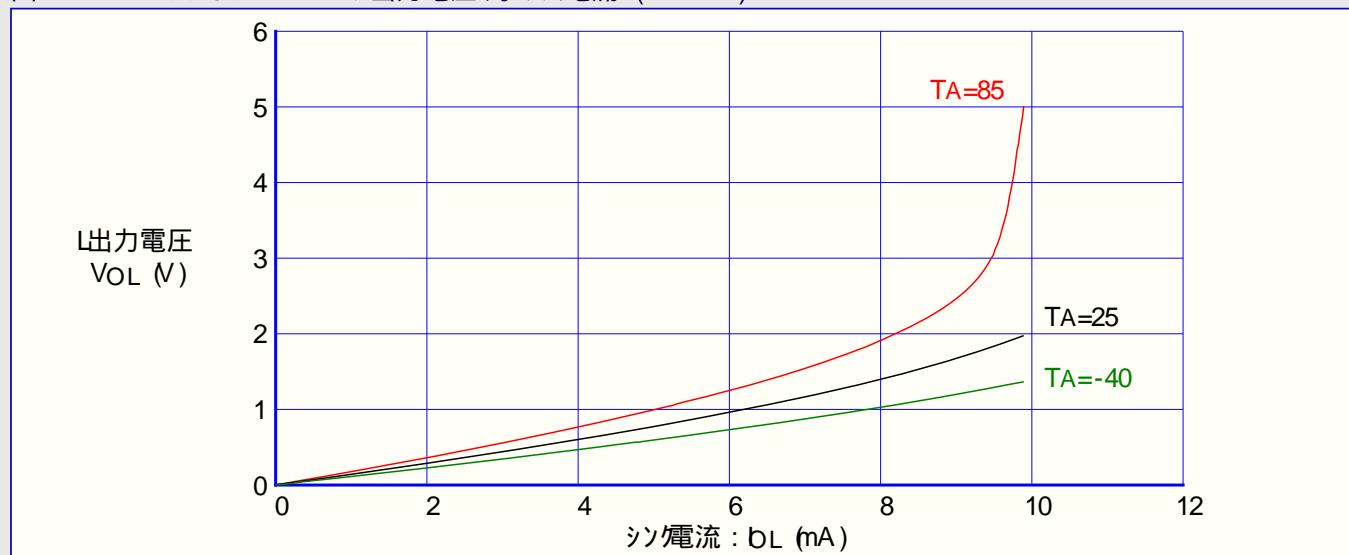
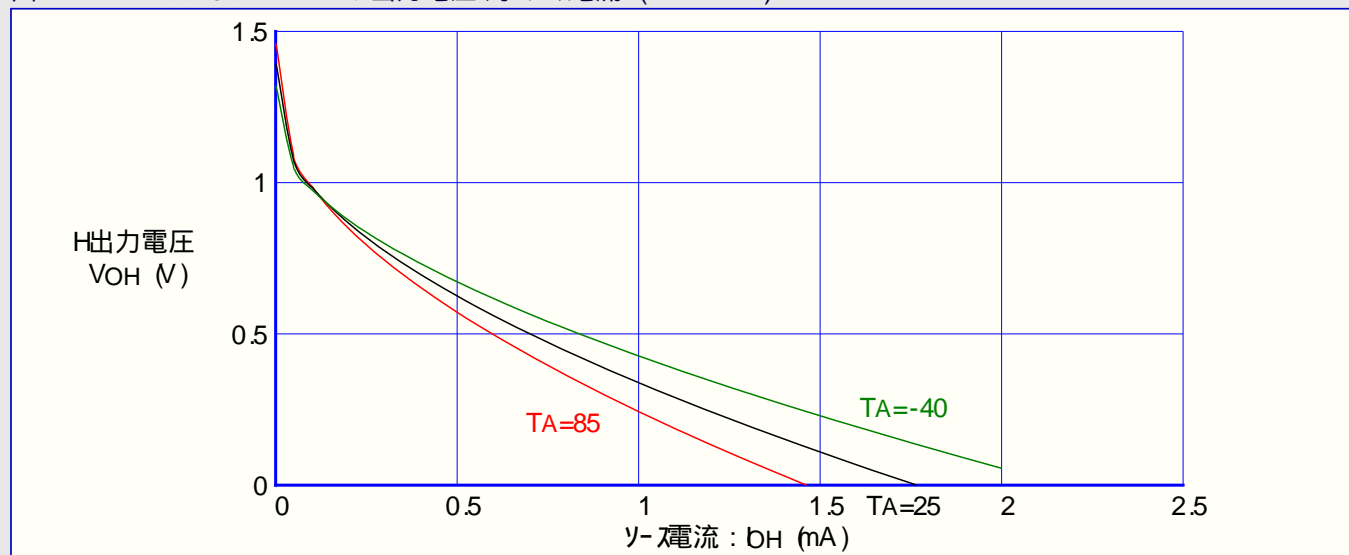
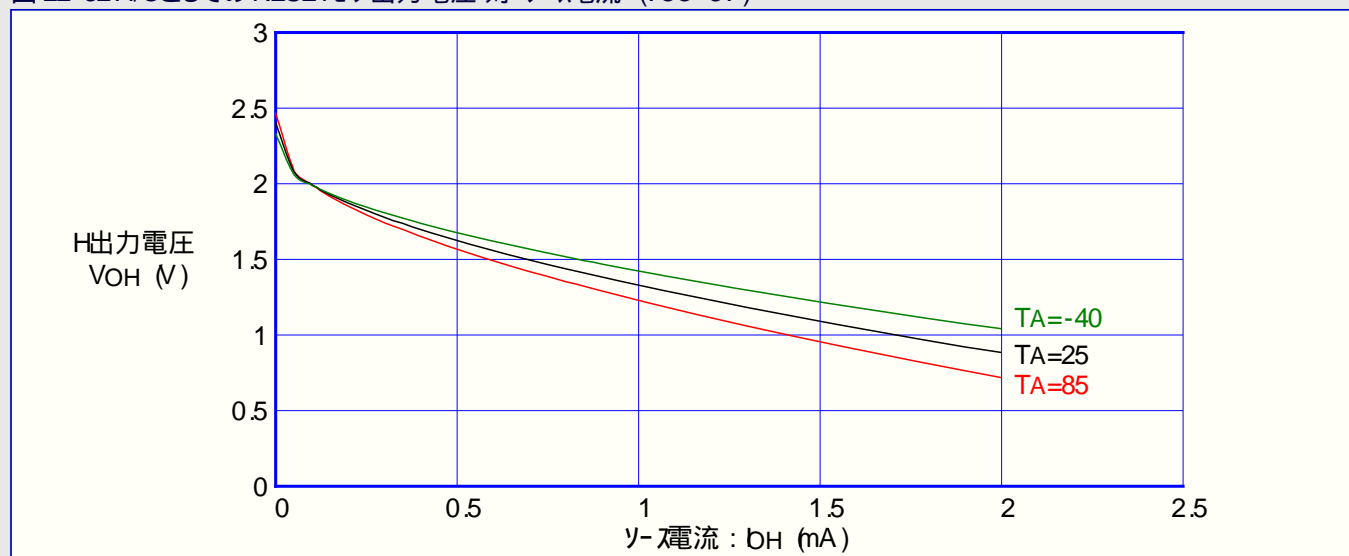
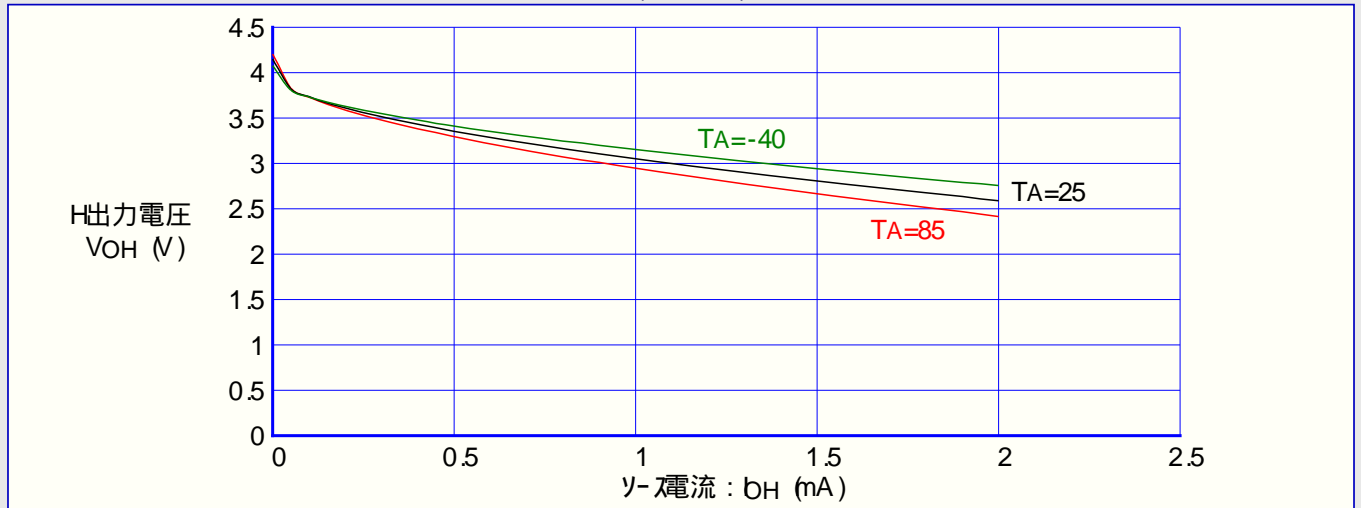
図 22-30. I/Oとしての RESET \overline{B} 出力電圧 対 シン電流 (VCC=5V)図 22-31. I/Oとしての RESET \overline{B} 出力電圧 対 ソース電流 (VCC=1.8V)図 22-32. I/Oとしての RESET \overline{B} 出力電圧 対 ソース電流 (VCC=3V)

図 22-33. I/Oとしての RESET ピン 出力電圧 対 ソース電流 ($V_{CC}=5V$)



22.6. ピン閾値とヒステリシス

図 22-34. I/O ピン 入力閾値 (スレッショルド電圧 対 動作電圧 (V_{IH} , 読み値))

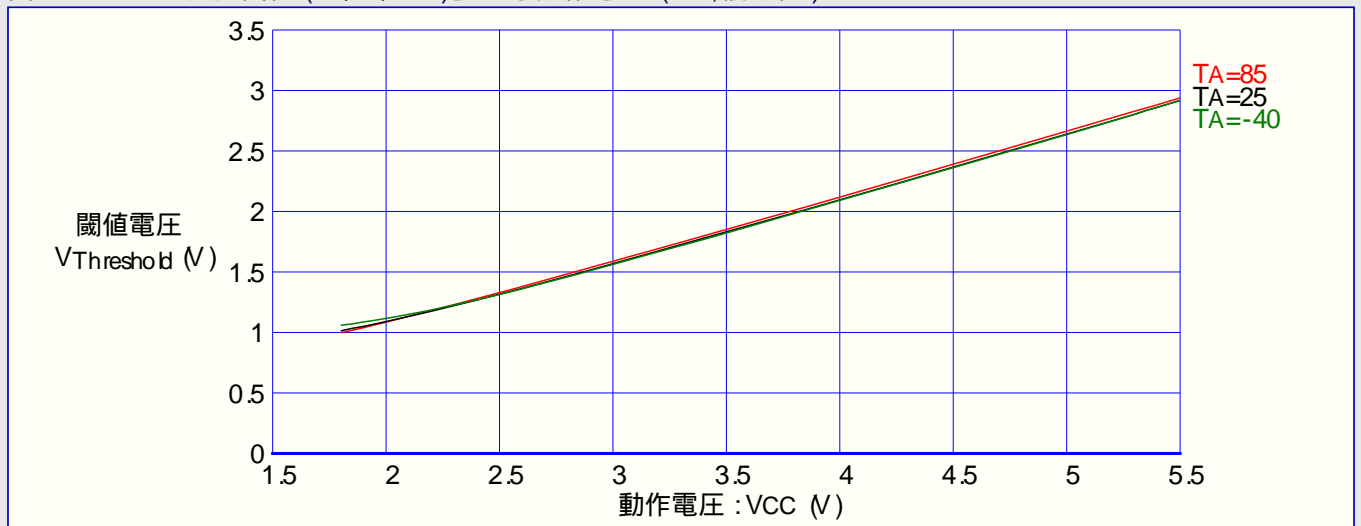


図 22-35. I/O ピン 入力閾値 (スレッショルド電圧 対 動作電圧 (V_{IL} , 読み値))

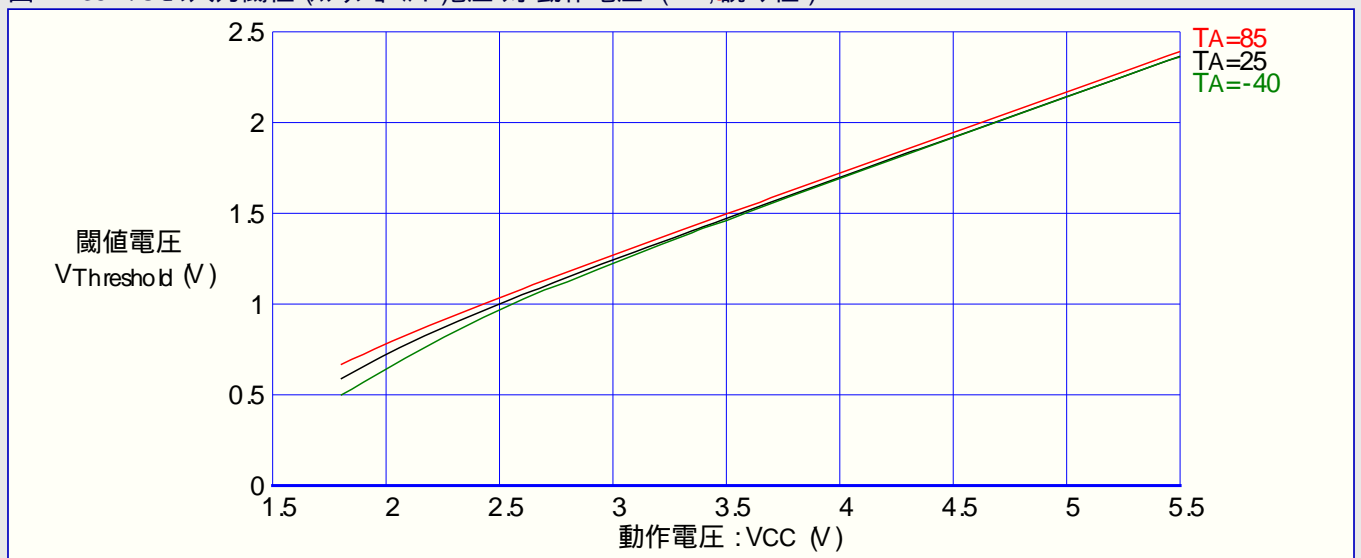


図 22-36. I/Oピン入力ヒステリシス電圧 対 動作電圧

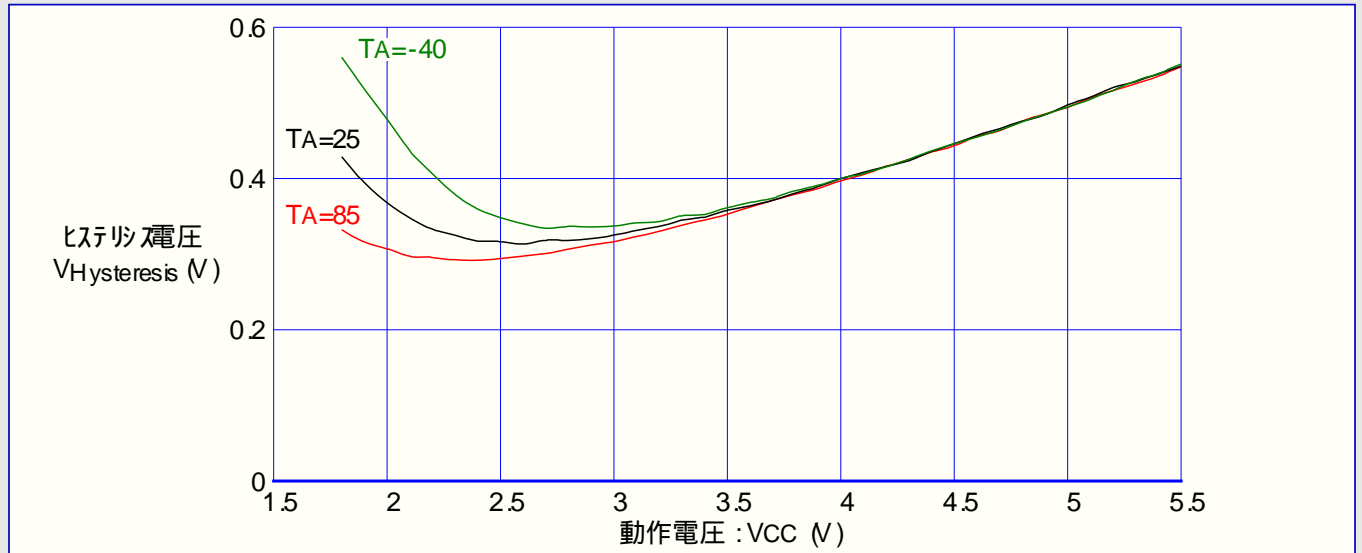


図 22-37. I/Oとしての RESETピン入力閾値 (スレッショルド電圧 対 動作電圧 (V_{IH} , 読み値))

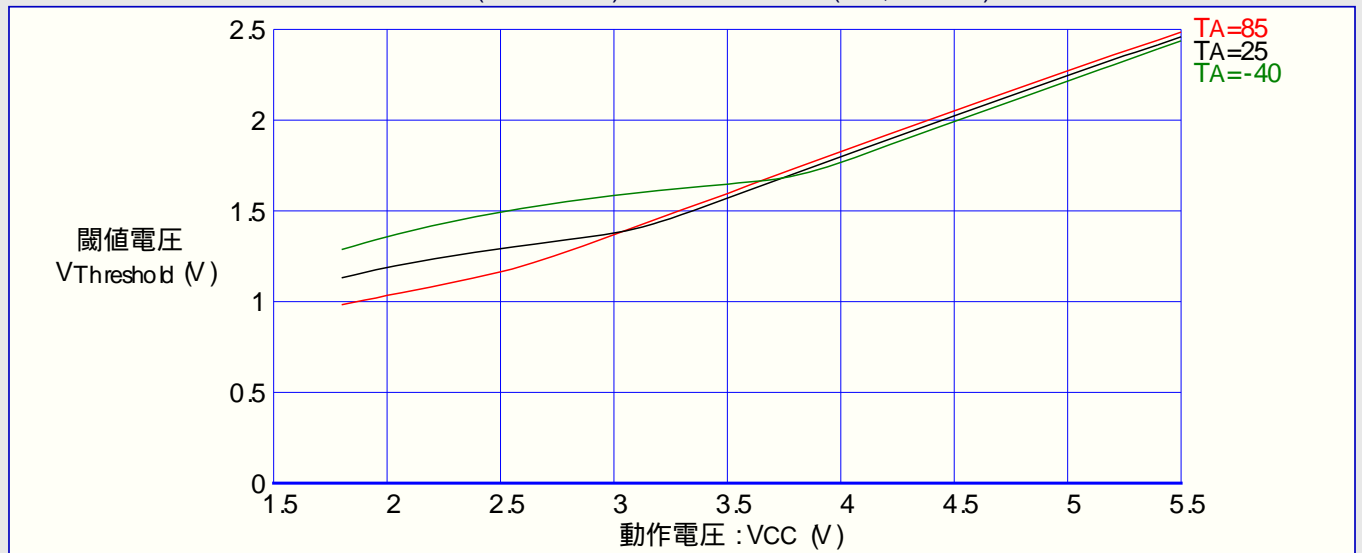


図 22-38. I/Oとしての RESETピン入力閾値 (スレッショルド電圧 対 動作電圧 (V_{IL} , 読み値))

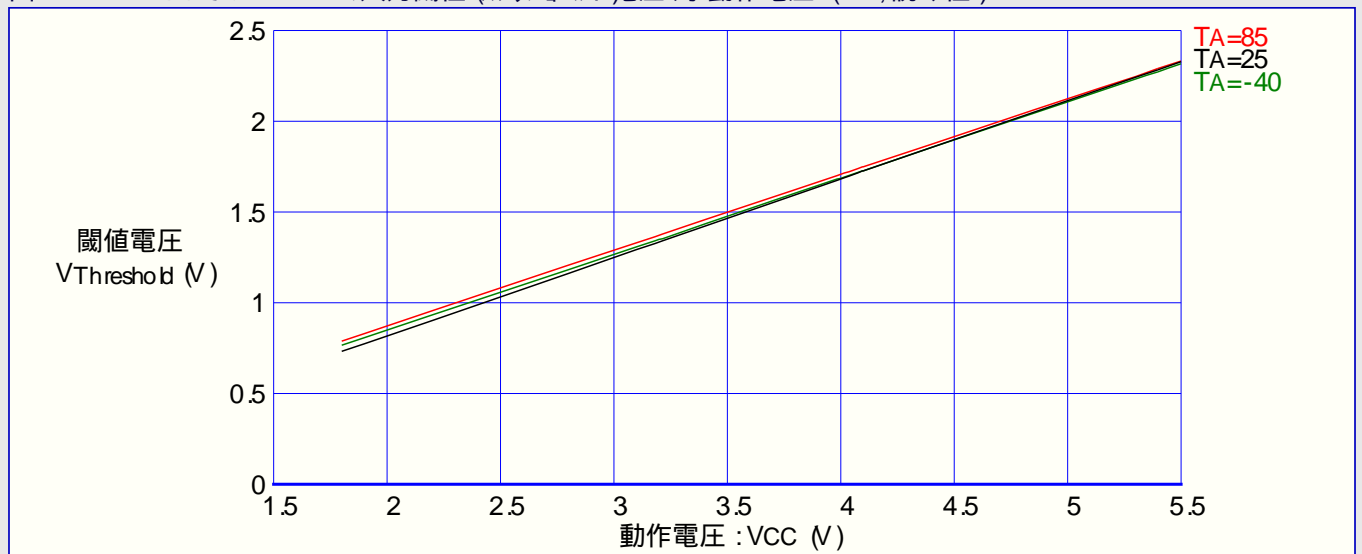
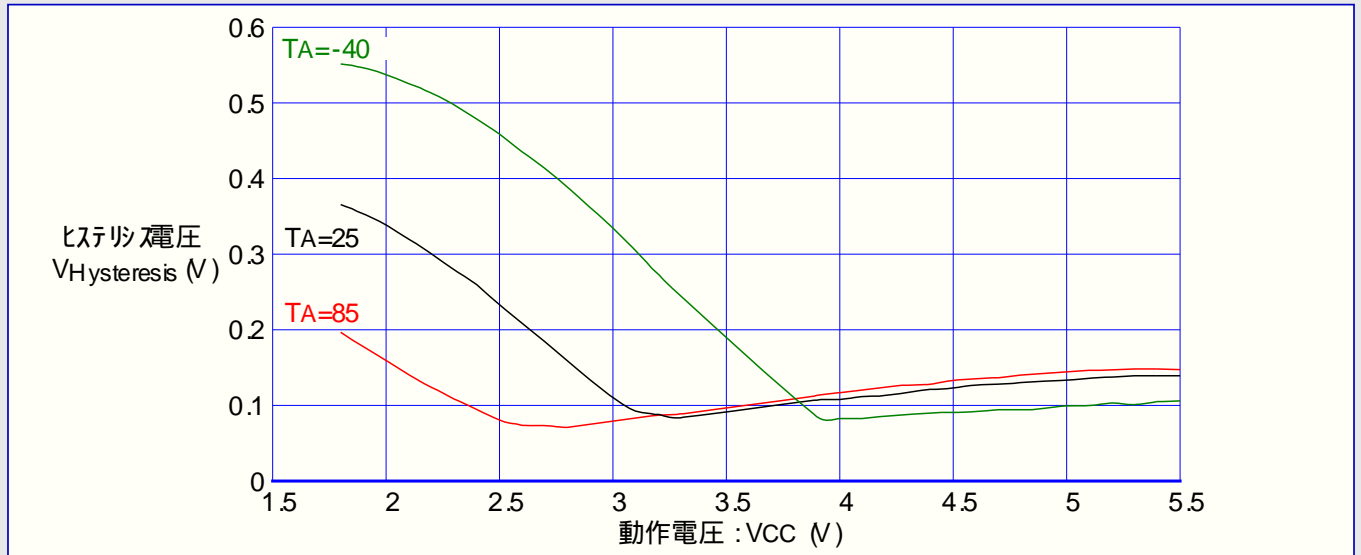


図 22-39. I/Oとしての RESET[®] 入力ヒステリシス電圧 対 動作電圧



22.7. 低電圧検出器 (BOD 閾値)

図 22-40. 低電圧検出器 (BOD 閾値 (スレッショルド電圧 対 動作温度 検出電圧 4.3V))

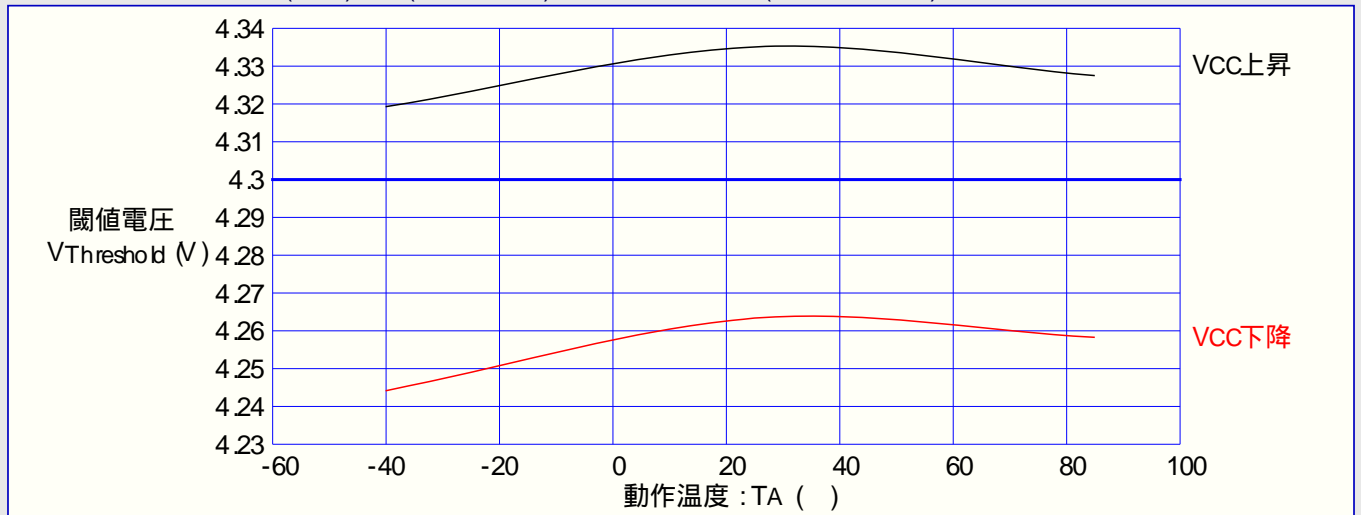


図 22-41. 低電圧検出器 (BOD 閾値 (スレッショルド電圧 対 動作温度 検出電圧 2.7V))

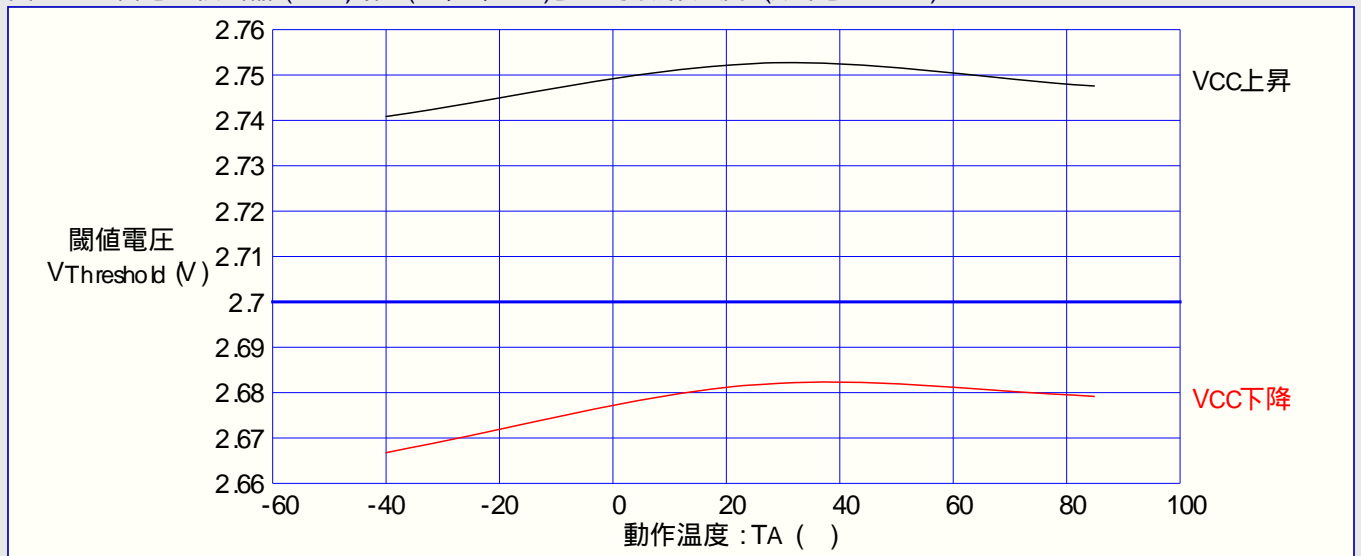
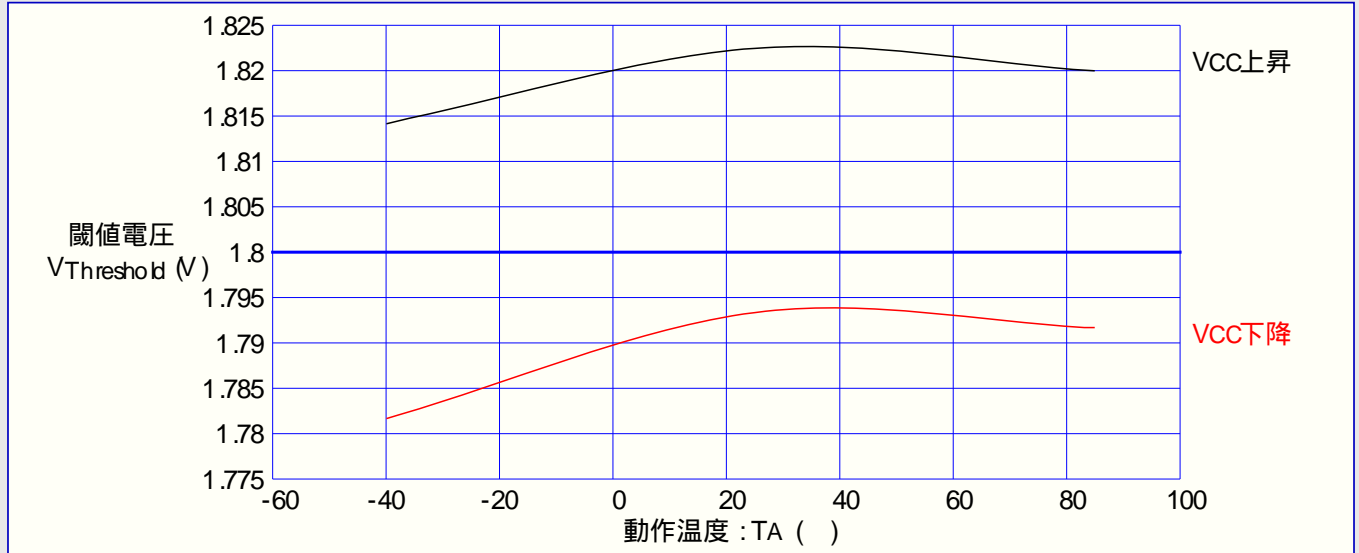


図 22-42. 低電圧検出器 (BOD 閾値 (スレッショルド) 電圧 対 動作温度 検出電圧 1.8V)



22.8. 内部発振器周波数

図 22-43. 128kHz オシロスコピック発振器周波数 対 動作電圧

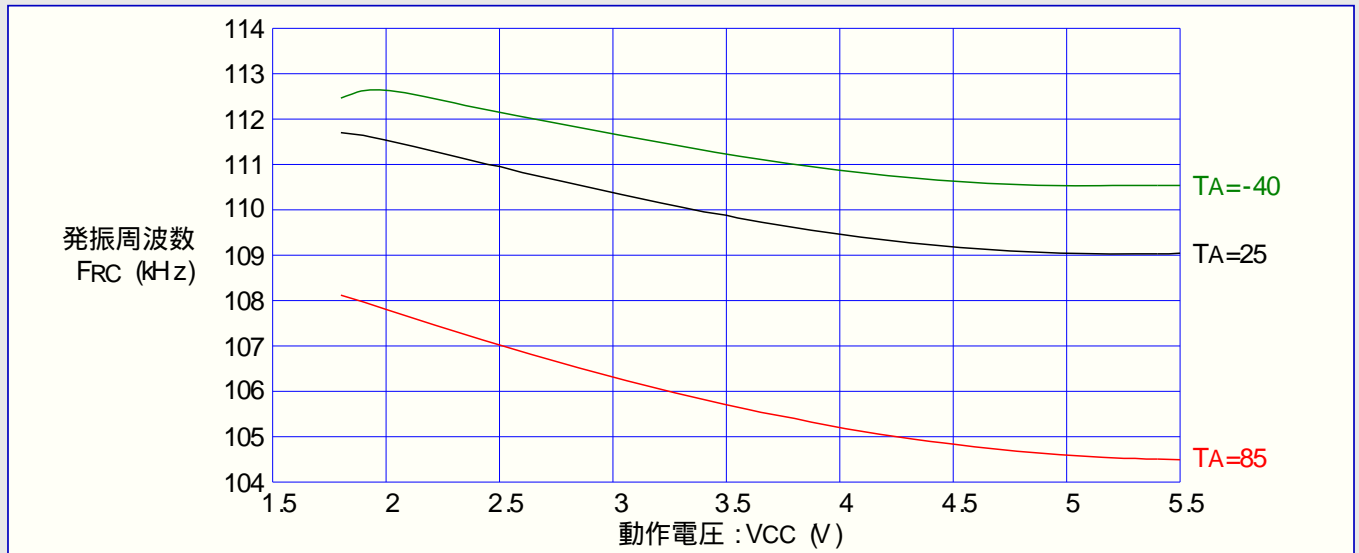


図 22-44. 128kHz オシロスコピック発振器周波数 対 動作温度

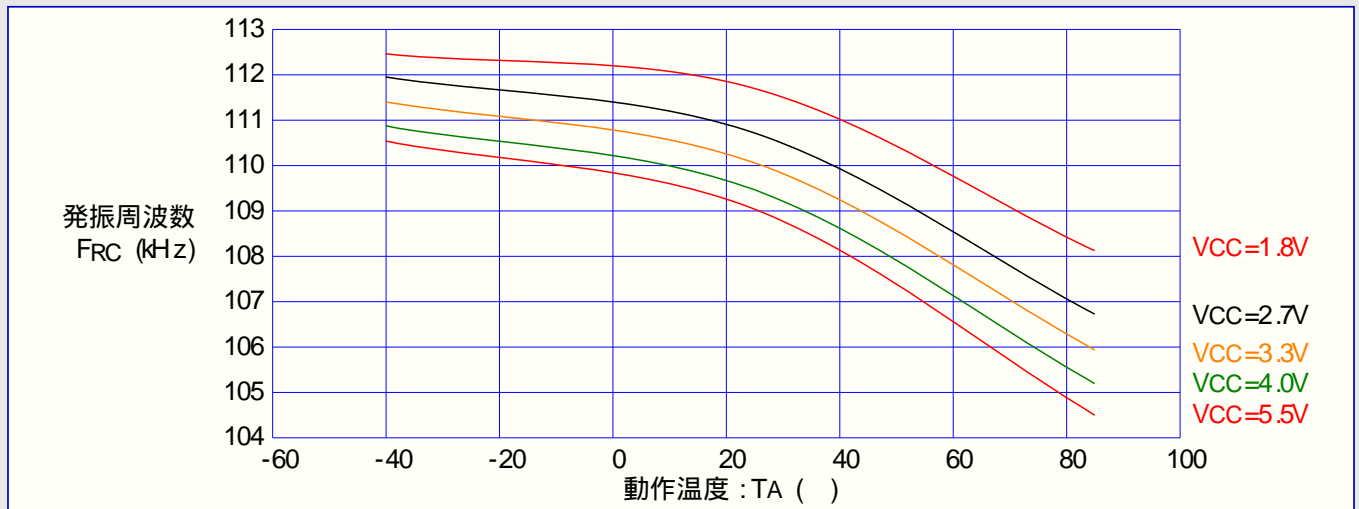


図 22-45 校正済み 8MHz 内蔵発振器周波数 対 動作電圧

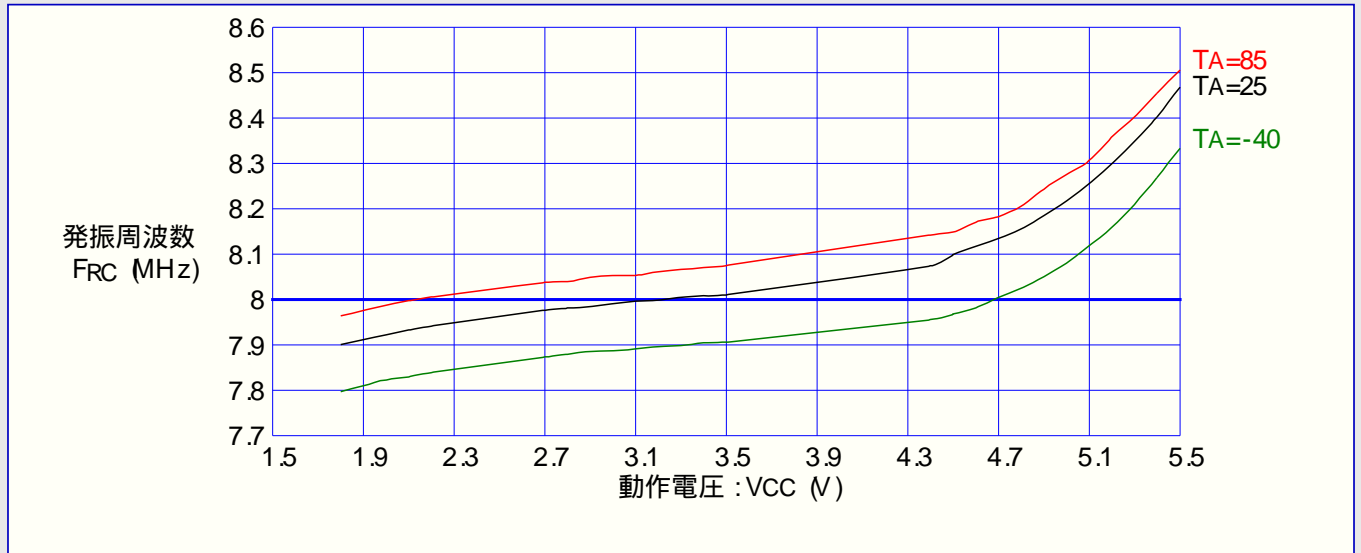


図 22-46 校正済み 8MHz 内蔵発振器周波数 対 動作温度

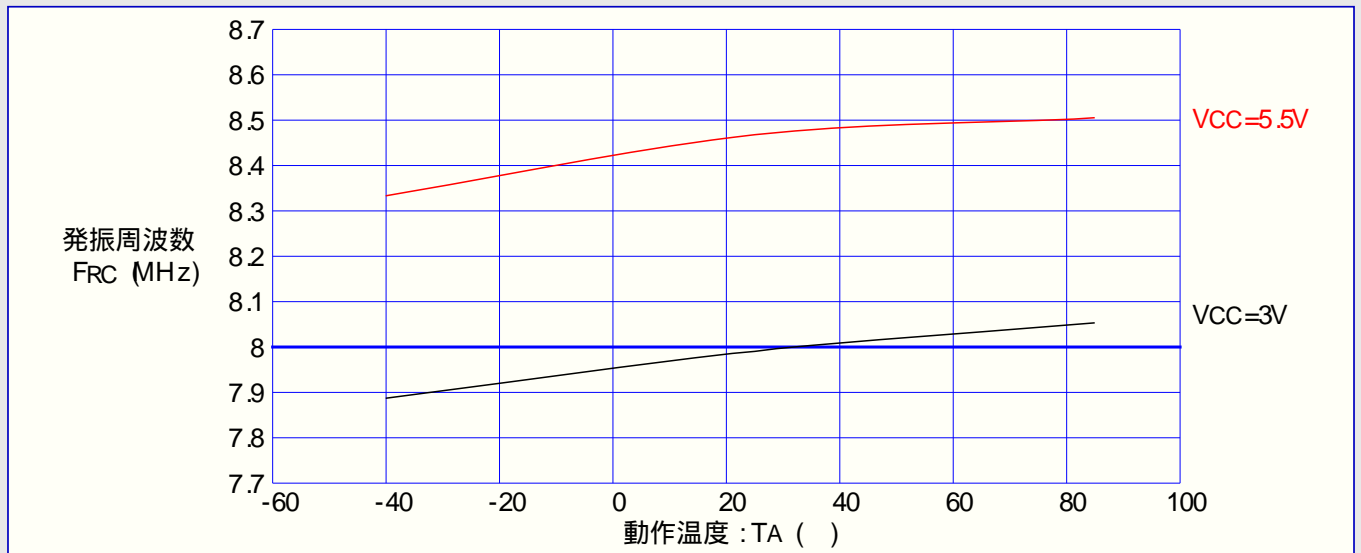
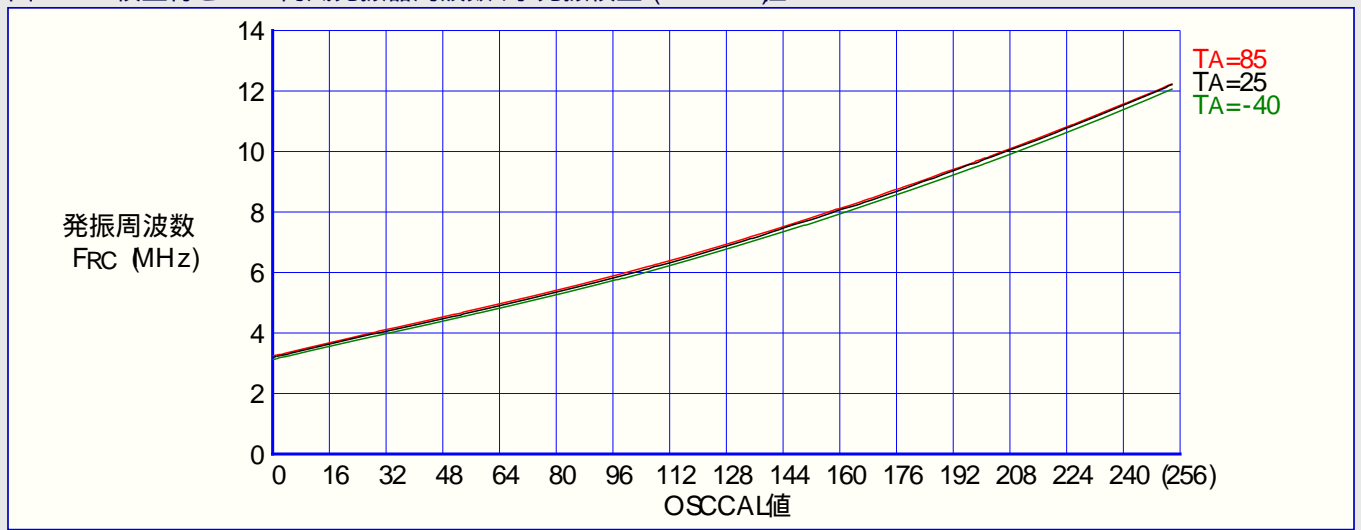


図 22-47 校正付き 8MHz 内蔵発振器周波数 対 発振校正 OSCAL 値



22.9 周辺機能部消費電流

図 22-48. 低電圧検出器 (BOD)消費電流 対 動作電圧

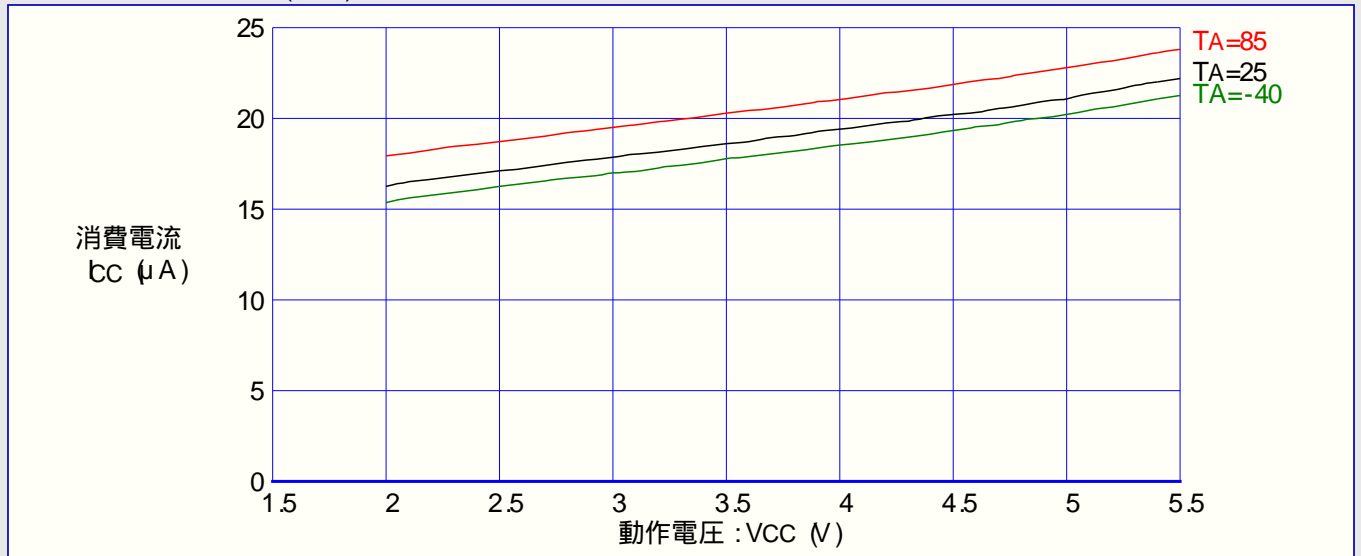


図 22-49. A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

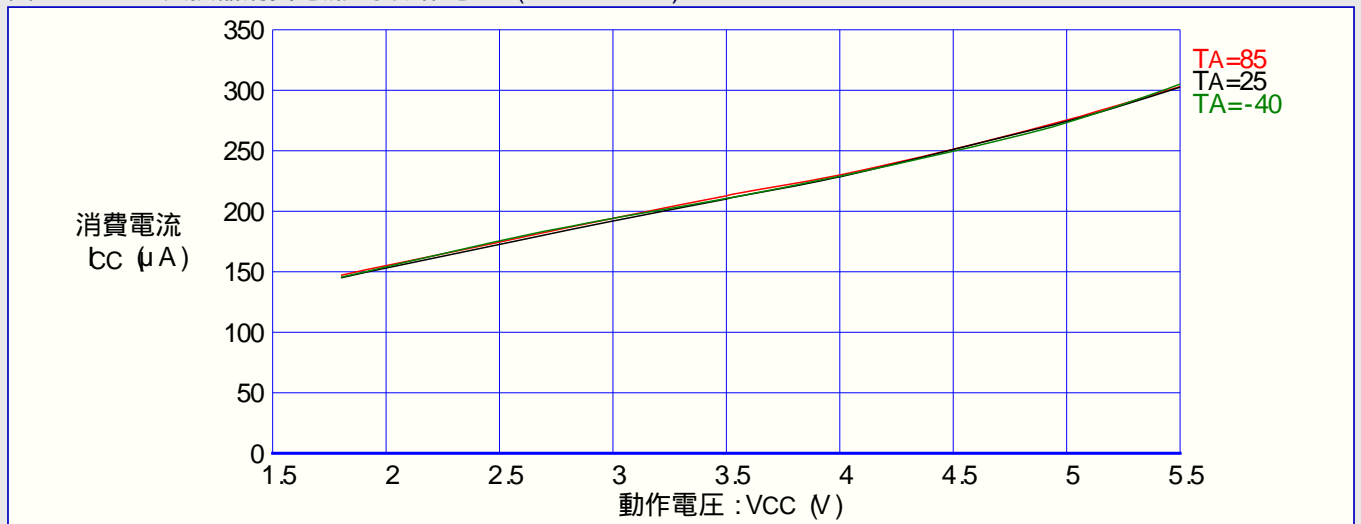


図 22-50. 7つの比較器消費電流 対 動作電圧

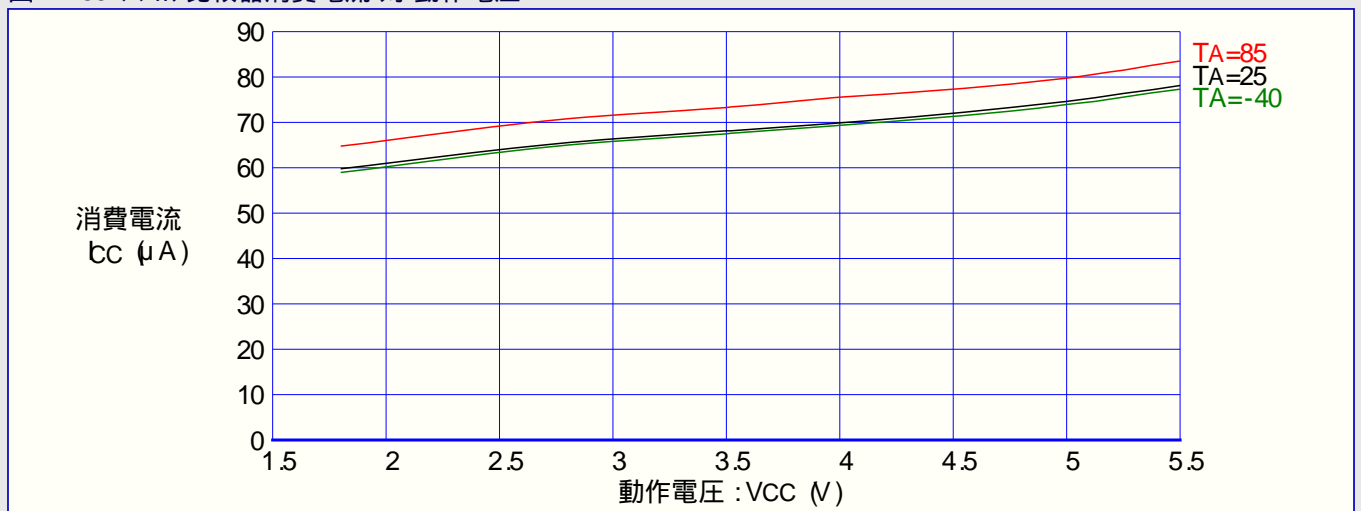
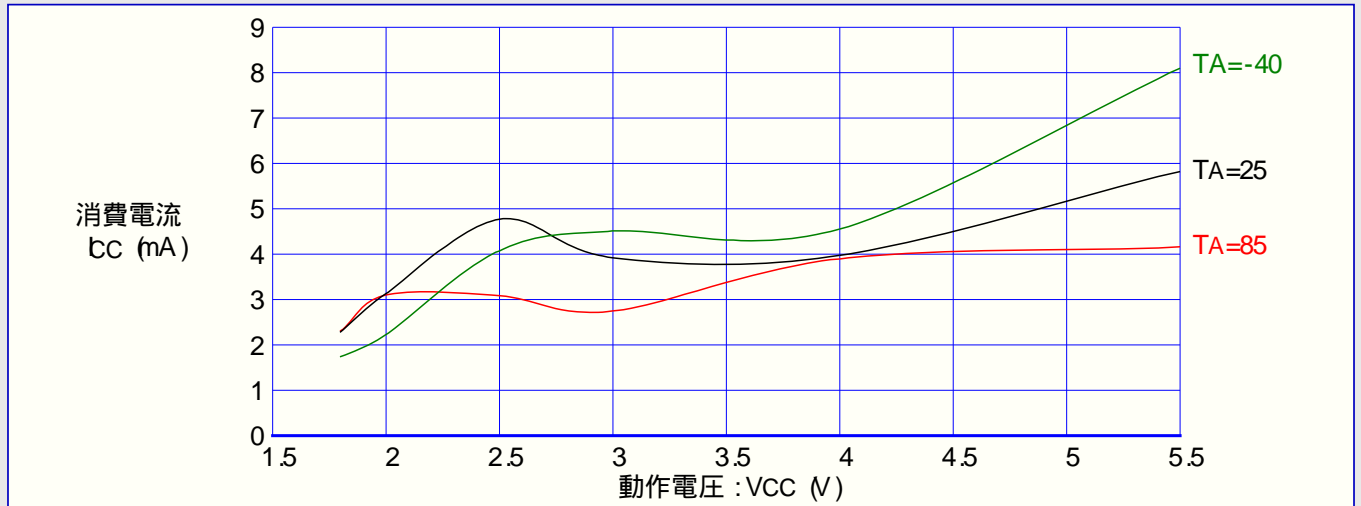


図 22-51. プログラミング電流 対 動作電圧



22.10. リット消費電流とリットハル幅

図 22-52. リット消費 供給 電流 対 周波数 (100kHz~ 1MHz)

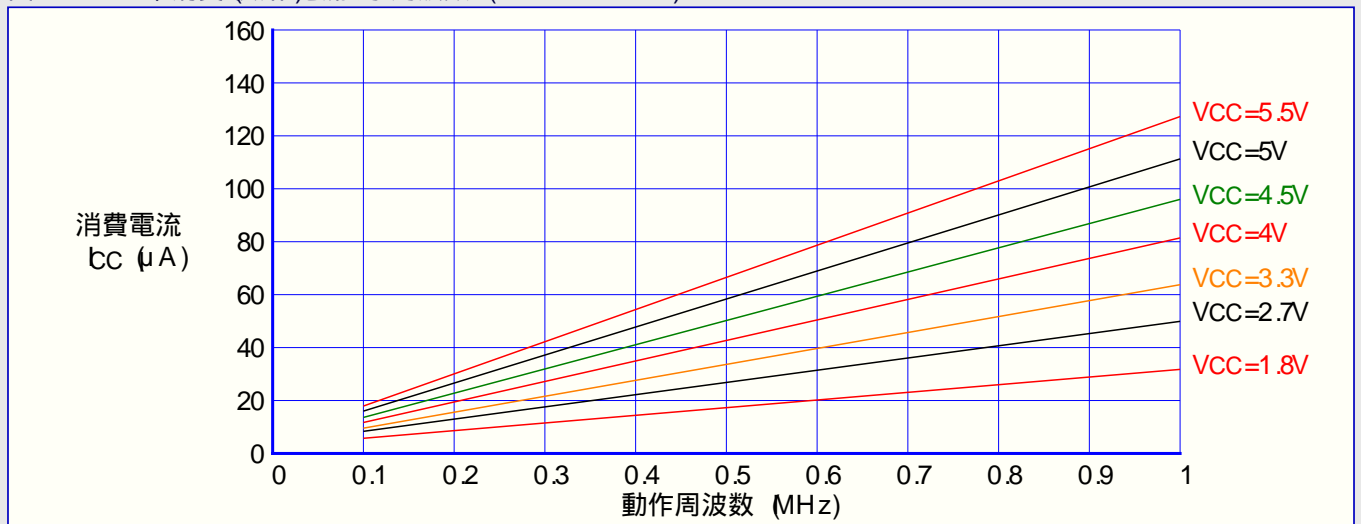


図 22-53. リット消費 供給 電流 対 周波数 (1MHz~ 12MHz)

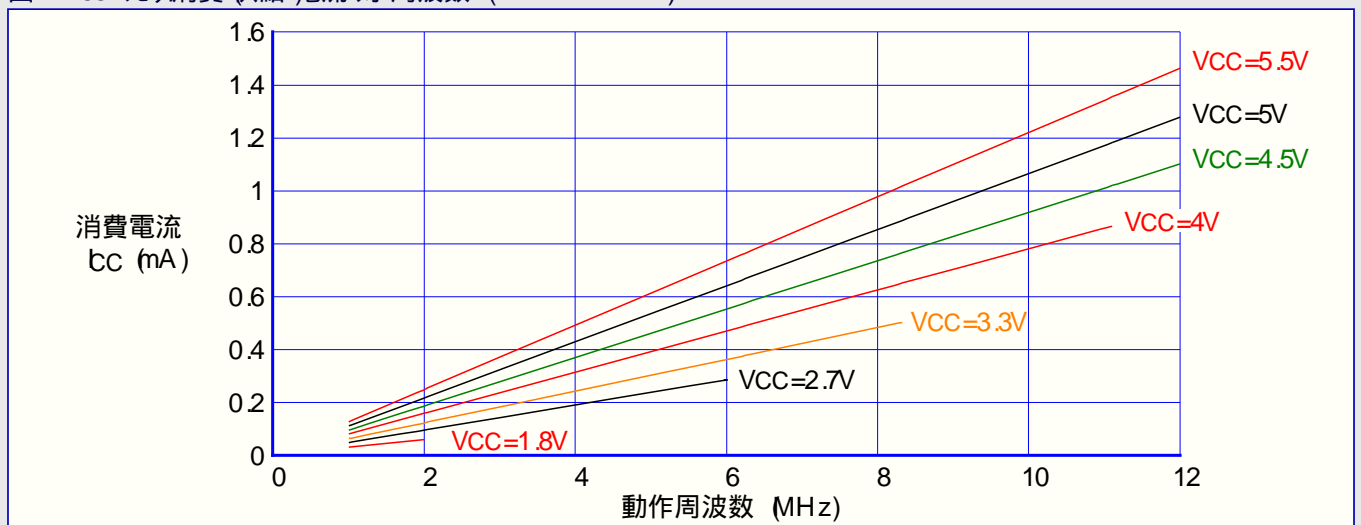
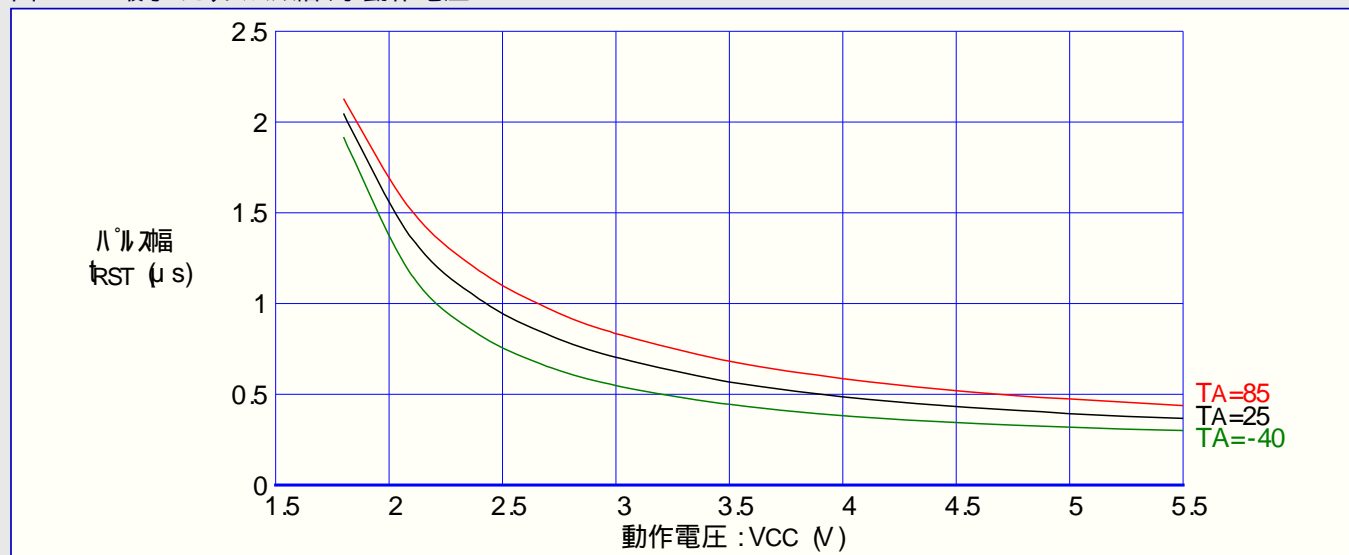


図 22-54. 最小リセットパルス幅 対 動作電圧



23. I/Oレジスタ一覧

拡張 I/Oレジスタ領域 (1/2)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(-\$FF)	予約									
(\$BF)	予約									
(\$BE)	TWHSR	-	-	-	-	-	-	-	TWHS	103
(\$BD)	TWAMR	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	-	103
(\$BC)	TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE	101
(\$BB)	TWDR	2線直列インターフェースデータレジスタ								102
(\$BA)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	102
(\$B9)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	102
(\$B8)	TWBR	2線直列インターフェースビット速度レジスタ								101
(\$B7)	予約									
(\$B6)	予約									
(\$B5)	予約									
(\$B4)	予約									
(\$B3)	予約									
(\$B2)	予約									
(\$B1)	予約									
(\$B0)	予約									
(\$AF)	予約									
(\$AE)	予約									
(\$AD)	予約									
(\$AC)	予約									
(\$AB)	予約									
(\$AA)	予約									
(\$A9)	予約									
(\$A8)	予約									
(\$A7)	予約									
(\$A6)	予約									
(\$A5)	予約									
(\$A4)	予約									
(\$A3)	予約									
(\$A2)	予約									
(\$A1)	予約									
(\$A0)	予約									
(\$9F)	予約									
(\$9E)	予約									
(\$9D)	予約									
(\$9C)	予約									
(\$9B)	予約									
(\$9A)	予約									
(\$99)	予約									
(\$98)	予約									
(\$97)	予約									
(\$96)	予約									
(\$95)	予約									
(\$94)	予約									
(\$93)	予約									
(\$92)	予約									
(\$91)	予約									
(\$90)	予約									
(\$8F)	予約									
(\$8E)	予約									
(\$8D)	予約									
(\$8C)	予約									
(\$8B)	OCR1BH									74
(\$8A)	OCR1BL									
(\$89)	OCR1AH									74
(\$88)	OCR1AL									
(\$87)	ICR1H									74
(\$86)	ICR1L									
(\$85)	TCNT1H									73
(\$84)	TCNT1L									
(\$83)	予約									
(\$82)	TCCR1C	FOC1A	FOC1B	-	-	-	-	-	-	73
(\$81)	TCCR1B	CNC1	CES1	-	WGM13	WGM12	CS12	CS11	CS10	72
(\$80)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	71

拡張 I/Oレジスタ領域 (2/2)

アドレス	レジスタ名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	WGM10	頁2
\$7F)	D DR1	-	-	-	-	-	-	A N1D	A N0D	105
\$7E)	D DR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	114
\$7D)	予約									
\$7C)	ADMUX	-	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0	112
\$7B)	ADCSRB	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	104,113
\$7A)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	112
\$79)	ADCH	A/Dデータレジスタ上位バイト (ADC9~8またはADC9~2)								114
\$78)	ADCL	A/Dデータレジスタ下位バイト (ADC7~6またはADC1~0)								
\$77)	予約									
\$76)	予約									
\$75)	予約									
\$74)	予約									
\$73)	予約									
\$72)	予約									
\$71)	予約									
\$70)	予約									
\$6F)	TMSK1	-	-	CE1	-	-	OC E1B	OC E1A	TO E1	75
\$6E)	TMSK0	-	-	-	-	-	OC E0B	OC E0A	TO E0	56
\$6D)	PCMSK2	PC NT23	PC NT22	PC NT21	PC NT20	PC NT19	PC NT18	PC NT17	PC NT16	36
\$6C)	PCMSK1	PC NT15	PC NT14	PC NT13	PC NT12	PC NT11	PC NT10	PC NT9	PC NT8	36
\$6B)	PCMSK0	PC NT7	PC NT6	PC NT5	PC NT4	PC NT3	PC NT2	PC NT1	PC NT0	36
\$6A)	PCMSK3	-	-	-	-	PC NT27	PC NT26	PC NT25	PC NT24	36
\$69)	E CRA	-	-	-	-	ISC 11	ISC 10	ISC 01	ISC 00	33
\$68)	PC CR	-	-	-	-	PC E3	PC E2	PC E1	PC E0	35
\$67)	予約									
\$66)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								20
\$65)	予約									
\$64)	PRR	PRTW I	-	PRT M0	-	PRT M1	PRSP I	-	PRADC	25
\$63)	予約									
\$62)	予約									
\$61)	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	20
\$60)	WDTCSR	WD F	WD E	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	30

注: 暗背景のレジスタとビットは28ピン外周器で利用できません。

注意: 将来のデバイスとの共通性のため、アクセスされる場合の予約ビットは0を書かれるべきです。予約したI/Oメモリアドレスは決して書かれるべきではありません。

アドレス範囲\$00~\$3F内のI/OレジスタはSBとCB命令を使用する直接的なビットアクセスが可能です。これらのレジスタではSBとSBIC命令を使用することによって単一ビット値が検査できます。

いくつかの状態ビットはそれらへ論理1を書くことによってクリア(0)されます。他の多くのAVRの様ではなく、CBとSB命令は指定ビットだけを操作し、故にこのような状態フラグを含むレジスタで使用できます。CBとSB命令は\$00~\$1Fのレジスタだけで動作します。

I/O指定命令INとOUTを使用する時はI/Oアドレス\$00~\$3Fが使用されなければなりません。LDとST命令を使用してデータ空間としてI/Oレジスタをアドレス指定する時はこれらのアドレスに\$20が加算されなければなりません。ATtiny48/88はINとOUT命令で予約した64位置で支援できるより多くの周辺部機能の複合マイクロコントローラです。SRAM(データ空間)内の拡張I/O空間はST/STS/STDとLD/LDS/LDD命令だけが使用できます。

標準 I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	7
\$3E (\$5E)	SPH	-	-	-	-	-	-	(SP9)	SP8	8
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	予約									
\$3B (\$5B)	予約									
\$3A (\$5A)	予約									
\$39 (\$59)	予約									
\$38 (\$58)	予約									
\$37 (\$57)	SPMCSR	-	RWWSB	-	CTPB	RFLB	PGWRT	PGERS	SELFPRGEN	120
\$36 (\$56)	予約									
\$35 (\$55)	MCUCR	-	BODS	BODSE	PUD	-	-	-	-	24,49
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	29
\$33 (\$53)	SMCR	-	-	-	-	-	SM1	SM0	SE	24
\$32 (\$52)	予約									
\$31 (\$51)	DWDR	デバッグ/ウェアレジスタ								115
\$30 (\$50)	ACSR	ACD	ACBG	ACO	ACI	ACE	ACIC	ACIS1	ACIS0	105
\$2F (\$4F)	予約									
\$2E (\$4E)	SPDR	SPIデータレジスタ								83
\$2D (\$4D)	SPSR	SPIF	WCOL	-	-	-	-	-	SP12X	82
\$2C (\$4C)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	82
\$2B (\$4B)	GPDR2	汎用 I/Oレジスタ2								16
\$2A (\$4A)	GPDR1	汎用 I/Oレジスタ1								16
\$29 (\$49)	予約									
\$28 (\$48)	OCR0B	タイマ/カウンタ0比較Bレジスタ								56
\$27 (\$47)	OCR0A	タイマ/カウンタ0比較Aレジスタ								55
\$26 (\$46)	TCNT0	タイマ/カウンタ0								55
\$25 (\$45)	TCCR0A	-	-	-	-	CTC0	CS02	CS01	CS00	55
\$24 (\$44)	予約									
\$23 (\$43)	GTCCR	TSM	-	-	-	-	-	-	PSRSYNC	77
\$22 (\$42)	予約									
\$21 (\$41)	EEARL	-	-	EEPROMアドレスレジスタ下位バイト (EEAR5~0)						14
\$20 (\$40)	EEDR	EEPROMデータレジスタ								14
\$1F (\$3F)	EECR	-	-	EEPROM1	EEPROM0	EERE	EEMPE	EEPE	EERE	14
\$1E (\$3E)	GPDR0	汎用 I/Oレジスタ0								16
\$1D (\$3D)	EMSK	-	-	-	-	-	-	NT1	NT0	34
\$1C (\$3C)	EIFR	-	-	-	-	-	-	NTF1	NTF0	34
\$1B (\$3B)	PCIFR	-	-	-	-	PCIF3	PCIF2	PCIF1	PCIF0	35
\$1A (\$3A)	予約									
\$19 (\$39)	予約									
\$18 (\$38)	予約									
\$17 (\$37)	予約									
\$16 (\$36)	TIFR1	-	-	CF1	-	-	OCF1B	OCF1A	TOV1	75
\$15 (\$35)	TIFR0	-	-	-	-	-	OCF0B	OCF0A	TOV0	56
\$14 (\$34)	予約									
\$13 (\$33)	予約									
\$12 (\$32)	予約									
\$11 (\$31)	予約									
\$10 (\$30)	予約									
\$0F (\$2F)	予約									
\$0E (\$2E)	PORTA	-	-	-	-	PORTA3	PORTA2	PORTA1	PORTA0	49
\$0D (\$2D)	DDRA	-	-	-	-	DDA3	DDA2	DDA1	DDA0	49
\$0C (\$2C)	PINA	-	-	-	-	PNA3	PNA2	PNA1	PNA0	49
\$0B (\$2B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	50
\$0A (\$2A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	50
\$09 (\$29)	PND	PND7	PND6	PND5	PND4	PND3	PND2	PND1	PND0	50
\$08 (\$28)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	50
\$07 (\$27)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	50
\$06 (\$26)	PNC	PNC7	PNC6	PNC5	PNC4	PNC3	PNC2	PNC1	PNC0	50
\$05 (\$25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	50
\$04 (\$24)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	50
\$03 (\$23)	PNB	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	50
\$02 (\$22)	予約									
\$01 (\$21)	予約									
\$00 (\$20)	予約									

注:暗背景のレジスタとビットは28ピン外周器で利用できません。(付きビットはATtiny88でのみ利用可能です。

訳注)原書本位置の注意は前頁に移動しました。

24. 命令一覧 (1/2)

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd Rd + Rr	IT H SVN ZC	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd Rd + Rr + C	IT H SVN ZC	1
ADW	Rd,K6	即値の語ワード長加算	RdH RdL RdH RdL + K6	IT H SVN ZC	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd Rd - Rr	IT H SVN ZC	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd Rd - K	IT H SVN ZC	1
SBW	Rd,K6	即値の語ワード長減算	RdH RdL RdH RdL - K6	IT H SVN ZC	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd Rd - Rr - C	IT H SVN ZC	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd Rd - K - C	IT H SVN ZC	1
AND	Rd,Rr	汎用レジスタ間の論理積 (AND)	Rd Rd AND Rr	IT H S0N ZC	1
ANDI	Rd,K	汎用レジスタと即値の論理積 (AND)	Rd Rd AND K	IT H S0N ZC	1
OR	Rd,Rr	汎用レジスタ間の論理和 (OR)	Rd Rd OR Rr	IT H S0N ZC	1
ORI	Rd,K	汎用レジスタと即値の論理和 (OR)	Rd Rd OR K	IT H S0N ZC	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和 (Ex-OR)	Rd Rd EOR Rr	IT H S0N ZC	1
COM	Rd	1の補数 論理反転	Rd \$FF - Rd	IT H S0N Z1	1
NEG	Rd	2の補数	Rd \$00 - Rd	IT H SVN ZC	1
SBR	Rd,K	汎用レジスタの複数ビットセット(1)	Rd Rd OR K	IT H S0N ZC	1
CBR	Rd,K	汎用レジスタの複数ビットクリア(0)	Rd Rd AND (\$FF - K)	IT H S0N ZC	1
INC	Rd	汎用レジスタの増加 (+1)	Rd Rd + 1	IT H SVN ZC	1
DEC	Rd	汎用レジスタの減少 (-1)	Rd Rd - 1	IT H SVN ZC	1
TST	Rd	汎用レジスタのゼロとマイナスイ検査	Rd Rd AND Rd	IT H S0N ZC	1
CLR	Rd	汎用レジスタの全0設定 (= \$00)	Rd Rd EOR Rd	IT H 0001C	1
SER	Rd	汎用レジスタの全1設定 (= \$FF)	Rd \$FF	IT H SVN ZC	1
分岐命令					
RMP	k	相対分岐	PC PC + k + 1	IT H SVN ZC	2
JMP		レジスタ間接分岐	PC Z	IT H SVN ZC	2
RCALL	k	相対サブルーチン呼び出し	STACK PC, PC PC + k + 1	IT H SVN ZC	3
CALL		レジスタ間接サブルーチン呼び出し	STACK PC, PC Z	IT H SVN ZC	3
RET		サブルーチンからの復帰	PC STACK	IT H SVN ZC	4
RETI		割り込みからの復帰	PC STACK	1IT H SVN ZC	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rなら, PC PC + 2or3	IT H SVN ZC	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	IT H SVN ZC	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	IT H SVN ZC	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	IT H SVN ZC	1
SBRC	Rr,b	汎用レジスタのビットがクリア(0)でスキップ	Rr(b)=0なら, PC PC + 2or3	IT H SVN ZC	1/2,3
SBRS	Rr,b	汎用レジスタのビットがセット(1)でスキップ	Rr(b)=1なら, PC PC + 2or3	IT H SVN ZC	1/2,3
SBIC	P,b	I/Oレジスタのビットがクリア(0)でスキップ	P(b)=0なら, PC PC + 2or3	IT H SVN ZC	1/2,3
SBS	P,b	I/Oレジスタのビットがセット(1)でスキップ	P(b)=1なら, PC PC + 2or3	IT H SVN ZC	1/2,3
BRBS	s,k	ステータスフラグがセット(1)で分岐	SREG(s)=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRBC	s,k	ステータスフラグがクリア(0)で分岐	SREG(s)=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BREQ	k	一致で分岐	Z=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRNE	k	不一致で分岐	Z=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRCS	k	キャリーフラグがセット(1)で分岐	C=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRCC	k	キャリーフラグがクリア(0)で分岐	C=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRSH	k	符号なしの > で分岐	C=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRLO	k	符号なしの < で分岐	C=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRMI	k	- (マイナス) で分岐	N=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRPL	k	+ (プラス) で分岐	N=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRGE	k	符号付きの > で分岐	(N EOR V)=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRLT	k	符号付きの < で分岐	(N EOR V)=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRHS	k	ハーフキャリーフラグがセット(1)で分岐	H=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRHC	k	ハーフキャリーフラグがクリア(0)で分岐	H=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRTS	k	一時フラグがセット(1)で分岐	T=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRTC	k	一時フラグがクリア(0)で分岐	T=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRVS	k	2の補数溢れフラグがセット(1)で分岐	V=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRVC	k	2の補数溢れフラグがクリア(0)で分岐	V=0なら, PC PC + K + 1	IT H SVN ZC	1/2
BRE	k	割り込み許可で分岐	I=1なら, PC PC + K + 1	IT H SVN ZC	1/2
BRD	k	割り込み禁止で分岐	I=0なら, PC PC + K + 1	IT H SVN ZC	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ (R0~ R31) X, Y, Z : X, Y, Zレジスタ
b : ビット (0~ 7) k : アドレス定数 (7, 12, 16ビット) q : 符号なし6ビット定数 変位) s : ステータスフラグ (C Z N V X H T, I)

命令一覧 (2/2)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	Rd Rr	I TH SV N Z C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	Rd+1 Rd Rr+1 Rr	I TH SV N Z C	1
LDI	Rd,K	即値の取得	Rd K	I TH SV N Z C	1
LD	Rd,X	Xレジスタ間接での取得	Rd (X)	I TH SV N Z C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	Rd (X), X X+1	I TH SV N Z C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	X X-1, Rd (X)	I TH SV N Z C	2
LD	Rd,Y	Yレジスタ間接での取得	Rd (Y)	I TH SV N Z C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	Rd (Y), Y Y+1	I TH SV N Z C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	Y Y-1, Rd (Y)	I TH SV N Z C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	Rd (Y+q)	I TH SV N Z C	2
LD	Rd,Z	Zレジスタ間接での取得	Rd (Z)	I TH SV N Z C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	Rd (Z), Z Z+1	I TH SV N Z C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	Z Z-1, Rd (Z)	I TH SV N Z C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	Rd (Z+q)	I TH SV N Z C	2
LDS	Rd,k	データ空間 (SRAM) から直接取得	Rd (k)	I TH SV N Z C	2
ST	X Rr	Xレジスタ間接での設定	(X) Rr	I TH SV N Z C	2
ST	X+Rr	事後増加付きXレジスタ間接での設定	(X) Rr, X X+1	I TH SV N Z C	2
ST	-X Rr	事前減少付きXレジスタ間接での設定	X X-1, (X) Rr	I TH SV N Z C	2
ST	Y Rr	Yレジスタ間接での設定	(Y) Rr	I TH SV N Z C	2
ST	Y+Rr	事後増加付きYレジスタ間接での設定	(Y) Rr, Y Y+1	I TH SV N Z C	2
ST	-Y Rr	事前減少付きYレジスタ間接での設定	Y Y-1, (Y) Rr	I TH SV N Z C	2
STD	Y+q Rr	変位付きYレジスタ間接での設定	(Y+q) Rr	I TH SV N Z C	2
ST	Z Rr	Zレジスタ間接での設定	(Z) Rr	I TH SV N Z C	2
ST	Z+Rr	事後増加付きZレジスタ間接での設定	(Z) Rr, Z Z+1	I TH SV N Z C	2
ST	-Z Rr	事前減少付きZレジスタ間接での設定	Z Z-1, (Z) Rr	I TH SV N Z C	2
STD	Z+q Rr	変位付きZレジスタ間接での設定	(Z+q) Rr	I TH SV N Z C	2
STS	k Rr	データ空間 (SRAM) に直接設定	(k) Rr	I TH SV N Z C	2
LPM		プログラム領域からZレジスタ間接での取得	R0 (Z)	I TH SV N Z C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	Rd (Z)	I TH SV N Z C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd (Z), Z Z+1	I TH SV N Z C	3
SPM		プログラム領域へZレジスタ間接での設定	(Z) R1 R0	I TH SV N Z C	-
N	Rd,P	I/Oレジスタからの入力	Rd P	I TH SV N Z C	1
OUT	P Rr	I/Oレジスタへの出力	P Rr	I TH SV N Z C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK Rr	I TH SV N Z C	2
POP	Rd	スタックから汎用レジスタへ復帰	Rd STACK	I TH SV N Z C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビットセット(1)	I/O (P,b) 1	I TH SV N Z C	2
CBI	P,b	I/Oレジスタのビットクリア(0)	I/O (P,b) 0	I TH SV N Z C	2
LSL	Rd	論理的左シフト	Rd(n+1) Rd(n), Rd(0) 0	I TH SV N Z C	1
LSR	Rd	論理的右シフト	Rd(n) Rd(n+1), Rd(7) 0	I TH SV N Z C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) C, Rd(n+1) Rd(n), C Rd(7)	I TH SV N Z C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) C, Rd(n) Rd(n+1), C Rd(0)	I TH SV N Z C	1
ASR	Rd	算術的右シフト	Rd(n) Rd(n+1), n=0~6	I TH SV N Z C	1
SWAP	Rd	ニフル(4ビット)上位/下位交換	Rd(7~4) Rd(3~0)	I TH SV N Z C	1
BSET	s	ステータスレジスタのビットセット(1)	SREG(s) 1	1 1 1 1 1 1 1 1	1
BCLR	s	ステータスレジスタのビットクリア(0)	SREG(s) 0	0 0 0 0 0 0 0 0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	T Rr(b)	I TH SV N Z C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	Rd(b) T	I TH SV N Z C	1
SEC		キャリーフラグをセット(1)	C 1	I TH SV N Z C	1
CLC		キャリーフラグをクリア(0)	C 0	I TH SV N Z C	1
SEN		負フラグをセット(1)	N 1	I TH SV N Z C	1
CLN		負フラグをクリア(0)	N 0	I TH SV N Z C	1
SEZ		ゼロフラグをセット(1)	Z 1	I TH SV N Z C	1
CLZ		ゼロフラグをクリア(0)	Z 0	I TH SV N Z C	1
SEI		全割込み許可	I 1	1 TH SV N Z C	1
CLI		全割込み禁止	I 0	0 TH SV N Z C	1
SES		符号フラグをセット(1)	S 1	I TH 1 V N Z C	1
CLS		符号フラグをクリア(0)	S 0	I TH 0 V N Z C	1
SEV		2の補数溢れフラグをセット(1)	V 1	I TH S 1 N Z C	1
CLV		2の補数溢れフラグをクリア(0)	V 0	I TH S 0 N Z C	1
SET		一時フラグをセット(1)	T 1	I 1 TH SV N Z C	1
CLT		一時フラグをクリア(0)	T 0	I 0 TH SV N Z C	1
SEH		ハーフキャリーフラグをセット(1)	H 1	I TH 1 SV N Z C	1
CLH		ハーフキャリーフラグをクリア(0)	H 0	I TH 0 SV N Z C	1
MCU制御命令					
NOP		無操作		I TH SV N Z C	1
SLEEP		スリープ動作開始	スリープ動作参照	I TH SV N Z C	1
WDR		ウォッチドッグタイミリセット	ウォッチドッグタイマ参照	I TH SV N Z C	1
BREAK		一時停止	内蔵デバウンスRE機能専用	I TH SV N Z C	N/A

25. 注文情報

デバイス	速度 (MHz)	電源電圧	注文コード (注2)	外囲器	動作範囲
ATtiny48	12 (注3)	1.8~ 5.5V	ATtiny48-AU	32A	工業用 (-40 ~ 85)
			ATtiny48-MMU	28M1	
			ATtiny48-MMH	32M1-A	
			ATtiny48-MU	28P3	
			ATtiny48-PU		
ATtiny88	12 (注3)	1.8~ 5.5V	ATtiny88-AU	32A	
			ATtiny88-MMU	28M1	
			ATtiny88-MMH	32M1-A	
			ATtiny88-MU	28P3	
			ATtiny88-PU		

注：このデバイスはワエラ-チップ単体形状でも供給できます。最低数量と詳細な注文情報については最寄のATMEL営業所へお問い合わせください。

注2:有害物質使用制限に関する欧州指令 (RoHS指令) 適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

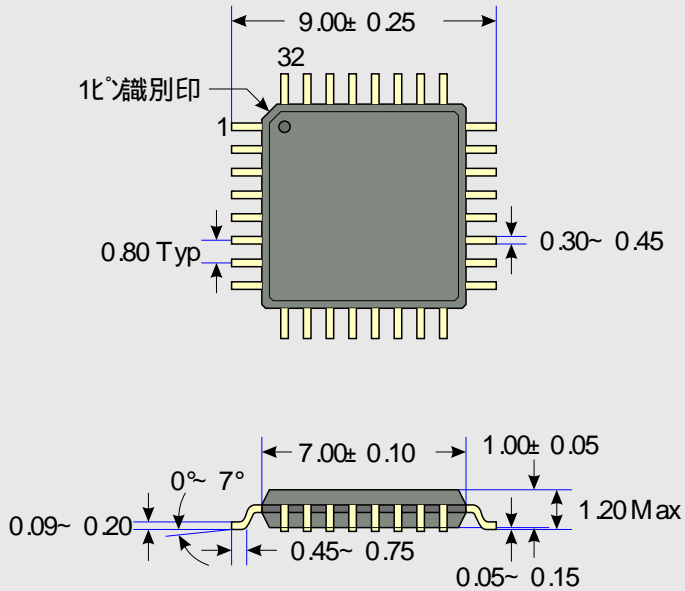
注3:速度と電源電圧の関係については134頁の図21-1をご覧ください。

外囲器形式	
32A	32リード 1.0mm厚 プラスティック クアッドフラット外囲器 (TQFP)
28P3	28ピン 300μm 幅 プラスティック テュアル インライン外囲器 (PDIP)
28M1	28ピン 4x 4x 1mm 0.45mmピッチ クアッドフラット ノーリード/マイクロリード フレーム外囲器 (QFN/MLF)
32M1-A	32ピン 5x 5x 1mm 0.5mmピッチ クアッドフラット ノーリード/マイクロリード フレーム外囲器 (QFN/MLF)

26. 外周器情報

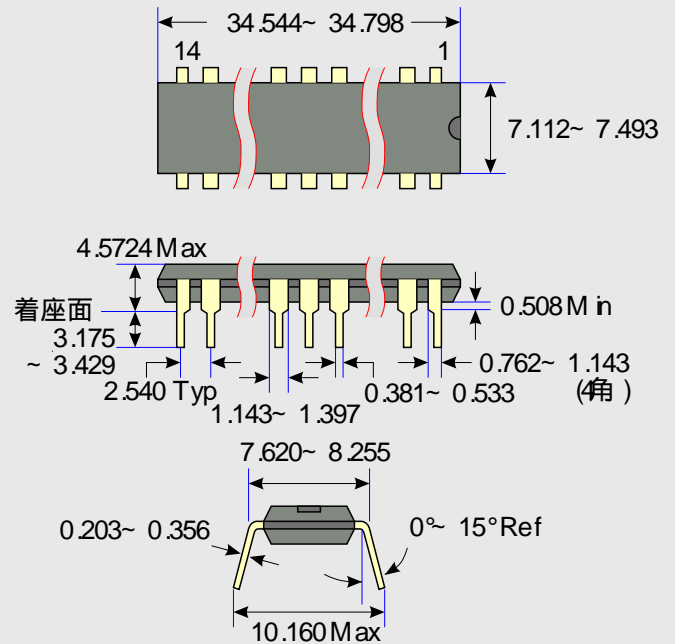
26.1. 32A

32リード 0.8mmピッチ プラスティック クアッド フラット 外周器 (TQFP)
 寸法 : mm
 JEDEC規格 MS-026 ABA



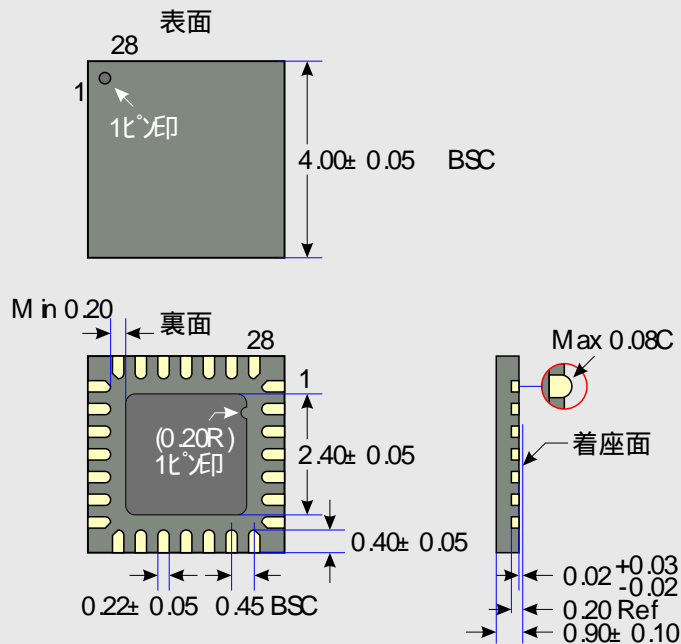
26.2. 28P3

28ピン 300μm 幅 プラスティックデュアル インライン 外周器 (PDIP)
 寸法 : mm



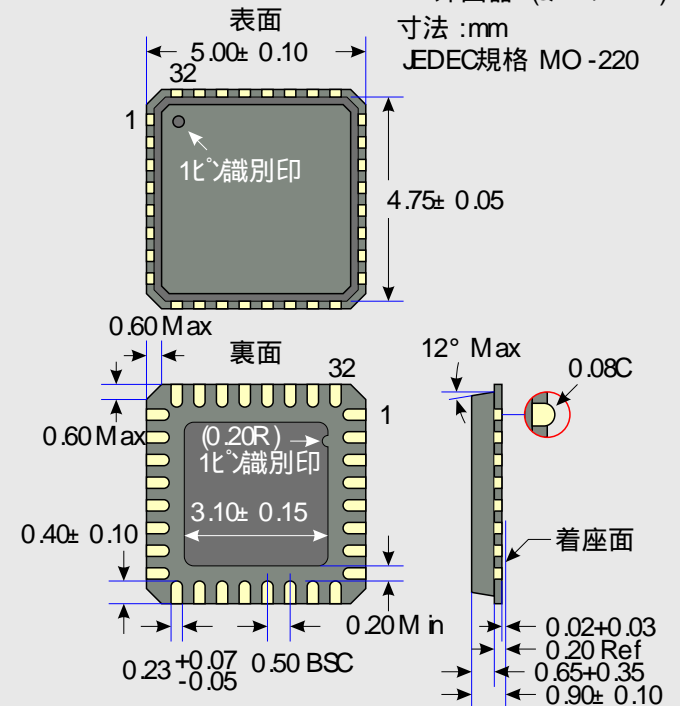
26.3. 28M1

28ピン 0.45mmピッチ クアッド フラット ノーリード/マイクロ リード フレーム
 外周器 (QFN/MLF)
 寸法 : mm



26.4. 32M1-A

32ピン 0.5mmピッチ クアッド フラット ノーリード/マイクロ リード フレーム
 外周器 (QFN/MLF)
 寸法 : mm
 JEDEC規格 MO-220



27. 障害情報

この章の改訂番号は ATtiny48/88 の改訂版を参照してください。

ATtiny48 改訂 AB : 試供されていません。

ATtiny48 改訂 C : 既知の障害はありません。

ATtiny88 改訂 A : 試供されていません。

ATtiny88 改訂 BC : 既知の障害はありません。

28. 更新記録

本項内の頁参照が本資料の現状版を参照していることに注意してください。

28.1. 8008A-06/08

1. 初版

28.2. 8008B-06/08

1. 37頁で「入出力ポートの序説」を更新
2. 133頁の「DC特性」を更新
3. 143頁に「代表特性」を追加

28.3. 8008C-03/09

1. 更新項目
 - ・ 1頁の「特徴」
 - ・ 9頁の「リセット割り込みの扱い」
 - ・ 15頁の「EEPROM制御レジスタ(EECR)」
 - ・ 84頁の「特徴」
 - ・ 87頁の「ビット速度発生器」
 - ・ 101頁の「TWIビット速度レジスタ(TWBR)」
 - ・ 103頁の「TWI高速レジスタ(TWHSR)」
 - ・ 104頁の「アナログ比較器」
 - ・ 106頁の「概要」
 - ・ 107頁の「操作」
 - ・ 107頁の「変換の開始」
 - ・ 129頁の「ロックビット書き込み」
 - ・ 133頁の「絶対最大定格」
 - ・ 133頁の「DC特性」
 - ・ 134頁の「速度勾配」
 - ・ 162頁の「I/Oレジスタ一覧」
2. 追加項目
 - ・ 17頁の「高速 TWI ロック - C k_{TWHS}」
 - ・ 136頁の「アナログ比較器特性」
3. 17頁の図 6-1を更新
4. リート枠合成に於ける変更を反映するために 167頁の注文コードを更新

目次

特徴	1	11.1. 特徴	51
1. ピン配置	2	11.2. 概要	51
1.1. ピン説明	3	11.3. タイマ/カウンタのクロック	52
2. 概要	4	11.4. 計数器部	52
2.1. 構成図	4	11.5. 出力比較部	52
2.2. ATtiny48とATtiny88間の違い	5	11.6. 動作種別	53
3. 付加情報	5	11.7. タイマ/カウンタのタイミング	54
3.1. 資料	5	11.8. 8ビットタイマ/カウンタ用レジスタ	55
3.2. コード例について	5	12. 16ビットタイマ/カウンタ1	57
3.3. テンダー保持力	5	12.1. 特徴	57
3.4. お断り	5	12.2. 概要	57
4. AVR CPU コア	6	12.3. 16ビットレジスタのアクセス	59
4.1. 序説	6	12.4. タイマ/カウンタのクロック	61
4.2. 構造概要	6	12.5. 計数器部	61
4.3. ALU (Arithmetic Logic Unit)	6	12.6. 捕獲入力部	62
4.4. ステータスレジスタ	7	12.7. 比較出力部	63
4.5. 汎用レジスタファイル	8	12.8. 比較一致出力部	65
4.6. スタックポインタ	8	12.9. 動作種別	66
4.7. 命令実行タイミング	9	12.10. タイマ/カウンタのタイミング	70
4.8. レジスタ割り込みの扱い	9	12.11. 16ビットタイマ/カウンタ用レジスタ	71
5. メモリ	11	13. タイマ/カウンタ0とタイマ/カウンタ1の前置分周器	76
5.1. 実装書き換え可能なプログラム用フラッシュメモリ	11	13.1. 内部クロック	76
5.2. テンダー用SRAMメモリ	11	13.2. 前置分周器レジスタ	76
5.3. テンダー用EEPROMメモリ	12	13.3. 外部クロック	76
5.4. I/Oメモリ (レジスタ)	14	13.4. タイマ/カウンタ前置分周器制御用レジスタ	77
5.5. メモリ関係レジスタ	14	14. SPI直列周辺インターフェース)	78
6. システムクロックとクロック任意選択	17	14.1. 特徴	78
6.1. クロック系統とその配給	17	14.2. 概要	78
6.2. クロック元	17	14.3. SSビットの機能	80
6.3. 校正付き内蔵発振器	18	14.4. テンダー搬送形式	81
6.4. 128kHz内部発振器	19	14.5. SP用レジスタ	82
6.5. 外部クロック信号	19	15. 2線直列インターフェース (TWI)	84
6.6. システムクロック出力バッファ	19	15.1. 特徴	84
6.7. システムクロック前置分周器	20	15.2. 2線直列インターフェースバスの定義	84
6.8. クロック関係レジスタ	20	15.3. テンダー搬送とフレーム形式	84
7. 電力管理とスリープ動作	22	15.4. 複数主装置バスシステムの調停と同期	86
7.1. スリープ動作種別	22	15.5. TWI部の概要	87
7.2. ソフトウェア低電圧検出器 (BOD 禁止)	22	15.6. TWIの使用法	89
7.3. 消費電力の最小化	23	15.7. 転送種別	91
7.4. 電力管理用レジスタ	24	15.8. 複数主装置システムでのバス競合と調停	100
8. システム制御とレジスタ	26	15.9. TWI用レジスタ	101
8.1. AVRのレジスタ	26	16. アナログ比較器	104
8.2. レジスタ要因	26	16.1. アナログ比較器入力選択	104
8.3. 内部基準電圧	28	16.2. アナログ比較器用レジスタ	104
8.4. ウォッチドッグタイマ	28	17. A/D変換器	106
8.5. レジスタ関係レジスタ	29	17.1. 特徴	106
9. 割り込み	31	17.2. 概要	106
9.1. 割り込みベクタ	31	17.3. 操作	107
9.2. 外部割り込み	32	17.4. 変換の開始	107
9.3. 外部割り込み用レジスタ	33	17.5. 前置分周と変換タイミング	108
10. 入出力ポート	37	17.6. チャネル変更と基準電圧選択	109
10.1. 序説	37	17.7. 雑音低減機能	110
10.2. 標準デジタル入出力としてのポート	37	17.8. アナログ入力回路	110
10.3. 兼用ポート機能	41	17.9. アナログ雑音低減技術	110
10.4. I/Oポート用レジスタ	49	17.10. A/D変換の精度定義	111
11. 8ビットタイマ/カウンタ0 (PWM)	51	17.11. A/D変換の結果	111
		17.12. 温度測定	111

17.13.	A/D変換用レジスタ	112
18.	デバッグWRE内蔵デバッグ機能	115
18.1.	特徴	115
18.2.	概要	115
18.3.	物理インターフェース	115
18.4.	ソフトウェア中断点	115
18.5.	デバッグWREの制限	115
18.6.	デバッグWRE用レジスタ	115
19.	フラッシュの自己プログラミング	116
19.1.	自己プログラミングでのフラッシュアドレス指定	116
19.2.	自己プログラミング用レジスタ	120
20.	メモリプログラミング	121
20.1.	プログラムメモリとデータメモリ用ロックビット	121
20.2.	ヒューズビット	122
20.3.	識票バイト	123
20.4.	校正値バイト	123
20.5.	ページ容量	123
20.6.	並列プログラミング	124
20.7.	並列プログラミング手順	125
20.8.	直列プログラミング	130
21.	電気的特性	133
21.1.	絶対最大定格	133
21.2.	DC特性	133
21.3.	速度勾配	134
21.4.	ノイズ特性	135
21.5.	システムとリセットの特性	136
21.6.	アナログ比較器特性	136
21.7.	A/D変換器特性 (暫定)	137
21.8.	2線直列インターフェース特性	138
21.9.	SPIタイミング特性	139
21.10.	並列プログラミング特性	140
21.11.	直列プログラミング特性	142
22.	代表特性	143
22.1.	標準動作消費電流	143
22.2.	アイドル動作消費電流	145
22.3.	パワーダウン動作消費電流	146
22.4.	ピンプルアップ	147
22.5.	ピン駆動能力	149
22.6.	ピン閾値とヒステリシス	154
22.7.	低電圧検出器 (BOD 閾値)	156
22.8.	内部発振器周波数	157
22.9.	周辺機能部消費電流	159
22.10.	リセット消費電流とリセットパルス幅	160
23.	I/Oレジスタ一覧	162
24.	命令一覧	165
25.	注文情報	167
26.	外圍器情報	168
27.	障害情報	169
28.	更新記録	170



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1 (408) 441-0311
FAX 1 (408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川 1-24-8
東熱新川ビル 9F
アトメル システム株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はATMEL製品と関連して提供されています。本資料またはATMEL製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。ATMELのウェブサイトに表示する販売の条件とATMELの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、ATMELはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえATMELがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み、直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してATMELに責任がないでしょう。ATMELは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。ATMELはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、ATMEL製品は車載応用に対して適当ではなく、使用されるべきではありません。ATMEL製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2009. 全権利予約済 ATMEL®、AVR®とそれらの組み合わせ、AVR®とその他はATMEL Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2009.

本データシートはATMELのATtiny48/86英語版データシートRev.8008C-03/09の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には(内に英語表記や略称などを残す形で表記しています。

青字の部分はリクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の項番号が異なります。